

---

---

8603 - DISPOSITIVOS  
SEMICONDUCTORES

---

---

1º CUATRIMESTRE 2023

# Índice

1. Introducción a la Materia	2
2. Física de semiconductores (I)	15
3. Física de semiconductores (II)	39
4. Física de semiconductores (III)	65
5. Juntura PN (I)	88
6. Juntura PN (II)	110
7. El diodo de juntura PN (I)	132
8. El diodo de juntura PN (II)	158
9. El diodo de juntura PN (III)	181
10.El Transistor Bipolar de Juntura (I)	200
11.El Transistor Bipolar de Juntura (II)	224
12.El Transistor Bipolar de Juntura (III)	244
13.Juntura MOS (I)	278
14.Juntura MOS (II)	303
15.MOSFET (I)	331
16.MOSFET (II)	348
17.MOSFET (III)	375
18.Amplificador Emisor Común	406
19.Amplificador Source Común y Copia de Corriente Espejo	429
20.El Inversor CMOS	454
21.Lógica Combinacional Estática CMOS	475
22.El Proceso de Fabricación CMOS	494
23.Dispositivos de Potencia	556

# Clase 1 - Introducción a la materia Dispositivos Semiconductores

Marzo de 2023

## Índice de temas:

1. Equipo docente
2. Vías de comunicación
3. Horario y modalidad de las clases
4. Material del curso
5. Trabajos Prácticos
6. Ejercicios Obligatorios en clase
7. Condiciones de regularización de la cursada
8. Modalidades de final integrador
9. ¿Cómo encaja la materia en la carrera?
10. ¿Qué vamos a estudiar?
11. ¿Cómo vamos a encarar los temas?
12. Bibliografía

## 1. Equipo docente

- **Profesores:** Sebastián Carbonetto y Martín González
- **Jefe de Trabajos Prácticos:** Federico Zacchigna
- **Ayudantes:** Diego Fanego, Lucas Hirsch, Juan Pablo Goyret

## 2. Vías de comunicación

- **Campus:** espacio donde se centra la actividad de la materia: <http://campusgrado.fi.uba.ar/>
- **Grupo de Google:** para comunicaciones oficiales y consultas varias:  
<http://groups.google.com/group/8603ds/>
- **Casilla de correo:** [8603@fi.uba.ar](mailto:8603@fi.uba.ar)  
(exclusiva para consultas administrativas)

### 3. Horario y modalidad de las clases

Las clases son **Teórico-Práctico Mixto** con modalidad **presencial** los días *Martes y Miércoles de 19 hs. a 22 hs.* e incluyen:

- estudio de la teoría para comprender el funcionamiento de los dispositivos;
- resolución de problemas e implementación de simulaciones;
- trabajos prácticos en laboratorio;
- ejercicios obligatorios.

## 4. Material del curso

El material del curso se irá habilitando en el campus.

### Página de cátedra (PC):

- Presentaciones clase teóricas y prácticas.
- Guías de ejercicios.
- Bibliografía.

### Aula virtual (AV):

- Calendario.
- Planilla de notas.
- Guías de TPs

Para acceder al material del curso se sugiere identificarse con mail institucional (es decir *@fi.uba.ar*).

En caso de no tener acceso a su cuenta institucional, deberá tramitarla a través de la mesa de ayuda de la facultad: [ayuda@fi.uba.ar](mailto:ayuda@fi.uba.ar).

## 5. Trabajos Prácticos

- Grupos de 3 personas ([esperar confirmación](#)).
- Son 4 TPs con cálculos, simulación y medición: Diodo, TBJ, MOSFET y Amplificadores.
- Software: LTSpice, Octave (leer tutorial en página web).
- Existe un seguimiento de los informes entregados, por lo que se espera una evolución en los mismos.
- La información con la fecha límite para formar grupos y días de medición y entrega de los informes se encuentra en el Calendario disponible en el Campus.

**IMPORTANTE: SI SE DETECTAN INFORMES COPIADOS EL GRUPO PERDERÁ LA CURSADA Y DEBERÁN RECURSAR SIN DERECHO A RÉPLICA.**

## 6. Ejercicios Obligatorios en clase

- Son 3 ejercicios de los siguientes temas: Diodos, TBJ, MOSFET
- Cada uno de estos ejercicios podrán contar con varios ítems que apuntan a evaluar los conceptos básicos estudiados sobre el tema en cuestión.
- Son individuales, presenciales y obligatorios.
- Se calificarán como APROBADO o DESAPROBADO.
- La información con los días en los que se realizarán estos ejercicios se encuentra en el Calendario disponible en el Campus.

## 7. Condiciones de regularización de la cursada

- **Asistencia a los trabajos prácticos**

Se debe asistir a la totalidad de las clases de laboratorio de la materia.

- **Informes de los trabajos prácticos**

Los trabajos prácticos se evalúan en los informes.

**Todos** los informes deben estar **entregados en tiempo y forma y aprobados** ( $\geq 4$ ).

- **Ejercicios obligatorios:**

Se deben tener aprobados 2 de 3 (como mínimo). Se realizan de forma presencial y a libro cerrado.

- **Nota:**

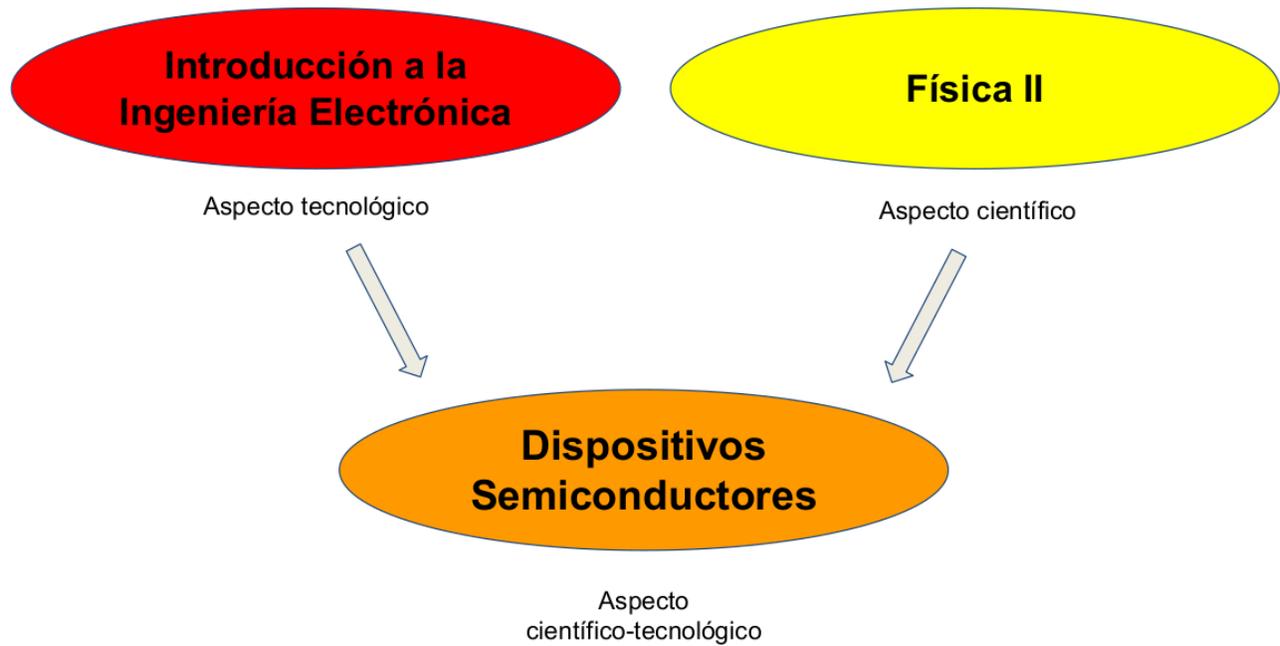
Se obtiene usando el promedio de las notas de los informes y la **nota de concepto**.

## 8. Modalidades de final integrador

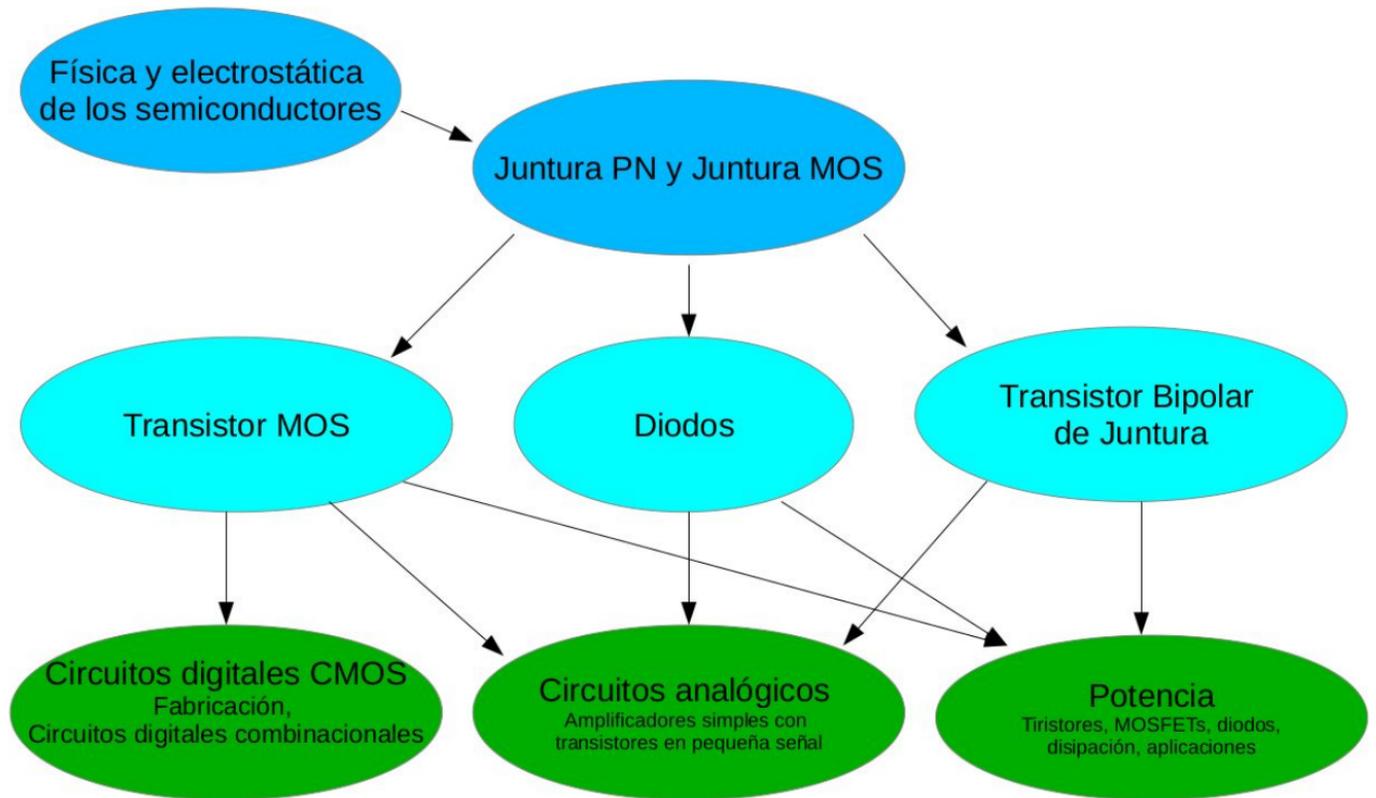
Habr  dos modalidades que depender n del momento en que la persona se presente a rendir:

- **Modalidad 1:** si se presenta en alguna de las 5 fechas de final a continuaci n de la cursada, ser n preguntas sobre los informes entregados.
- **Modalidad 2:** si se presenta en cuatrimestres posteriores a la cursada, ser n varias preguntas te ricas y pr cticas (escrito y oral) sobre todos los temas estudiados y a libro cerrado.

## 9. ¿Cómo encaja la materia en la carrera?



## 10. ¿Qué vamos a estudiar?



## 11. ¿Cómo vamos a encarar los temas?

Aprovechando los conceptos y modelos de Física II y algunas cosas básicas de la mecánica cuántica, vamos a estudiar los dispositivos semiconductores más básicos usando la siguiente metodología:

1. **Ecuación analítica** (dentro de lo posible) para comprender los procesos físicos y termodinámicos involucrados
2. **Modelo de primer orden** para entender los conceptos básicos del funcionamiento.
3. **Modelos de segundo orden** mediante simulación para observar como afectan las simplificaciones llevadas a cabo en los pasos anteriores.
4. **Mediciones** para comprender las limitaciones de nuestros modelos y simulaciones y para conocer que siempre será necesario llevar a cabo pruebas de laboratorio para chequear si el circuito implementado funciona como nosotros lo diseñamos.

## 12. Bibliografía

- R. S. Muller, T. I. Kamins, “*Device Electronics for Integrated Circuits*”, Willey, 3º Edición, 2002. ISBN: 978-0-471-59398-0.
- P. Julian, “*Introducción a los dispositivos semiconductores: principios y modelos*”, Editorial de la Universidad Nacional del Sur, 2012.
- P. R. Gray, R. G. Meyer, “*Análisis y Diseño de Circuitos Integrados Analógicos*”, Prentice Hall, 3º Edición, 1995. ISBN: 968-880-528-9.
- R. T. Howe, C. G. Sodini, “*Microelectronics: An Integrated Approach*”, Prentice Hall, 1996. ISBN: 0135885183.
- B. Van Zeghbroeck, “*Principles of Electronic Devices*”, online.
- S. Sedra, “*Microelectronic Circuits*” Oxford, 7º Edición, ISBN: 978-0-19-933913-6.

## Clase 2 <sup>1</sup> - Física de semiconductores (I)

### Contenido:

1. Modelo de enlace del Silicio: electrones y huecos
2. Generación y recombinación
3. Equilibrio térmico
4. Semiconductor intrínseco
5. Semiconductor extrínseco

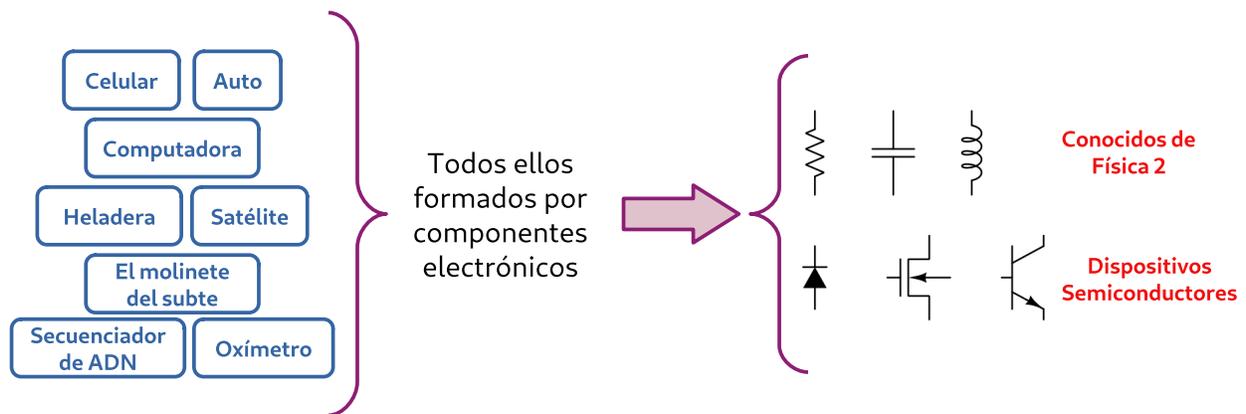
### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 1, §§1.1.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 2. §§2.1–2.3.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 2, §§2.1–2.3.

---

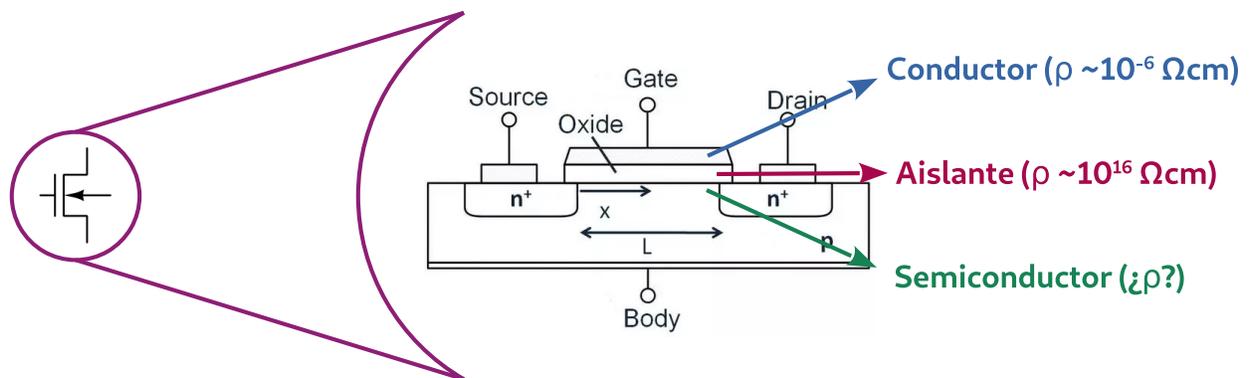
<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## ¿Qué son los *dispositivos semiconductores*?



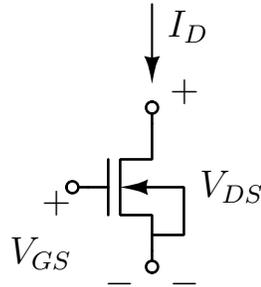
## ¿Por qué estudiar *física de semiconductores*?

Tomemos como ejemplo el MOSFET



En su estructura, tenemos diversos materiales con características eléctricas muy diversas.

¿Qué queremos saber de cualquier dispositivo semiconductor?



$$I_D = f(V_{GS}; V_{DS})$$

Queremos hallar la relación entre la corriente que circula y las tensiones aplicadas.

Pero... ¿cómo se mueven los electrones en un sólido?

## Preguntas disparadoras

- ¿Cómo conducen electricidad los semiconductores?
- ¿Qué es un “hueco” ?
- ¿Cuántos electrones y huecos hay en un semiconductor en equilibrio térmico a una cierta temperatura?
- ¿Cómo se puede manipular la conductividad de un semiconductor?

# 1. Modelo de enlace del Silicio: electrones y huecos

El Si se ubica en la Columna IV de la tabla periódica:

	IIIA	IVA	VA	VIA
	5 B	6 C	7 N	8 O
	13 Al	14 Si	15 P	16 S
IIB	30 Zn	31 Ga	32 Ge	33 As
	48 Cd	49 In	50 Sn	51 Sb
			51 Sb	52 Te

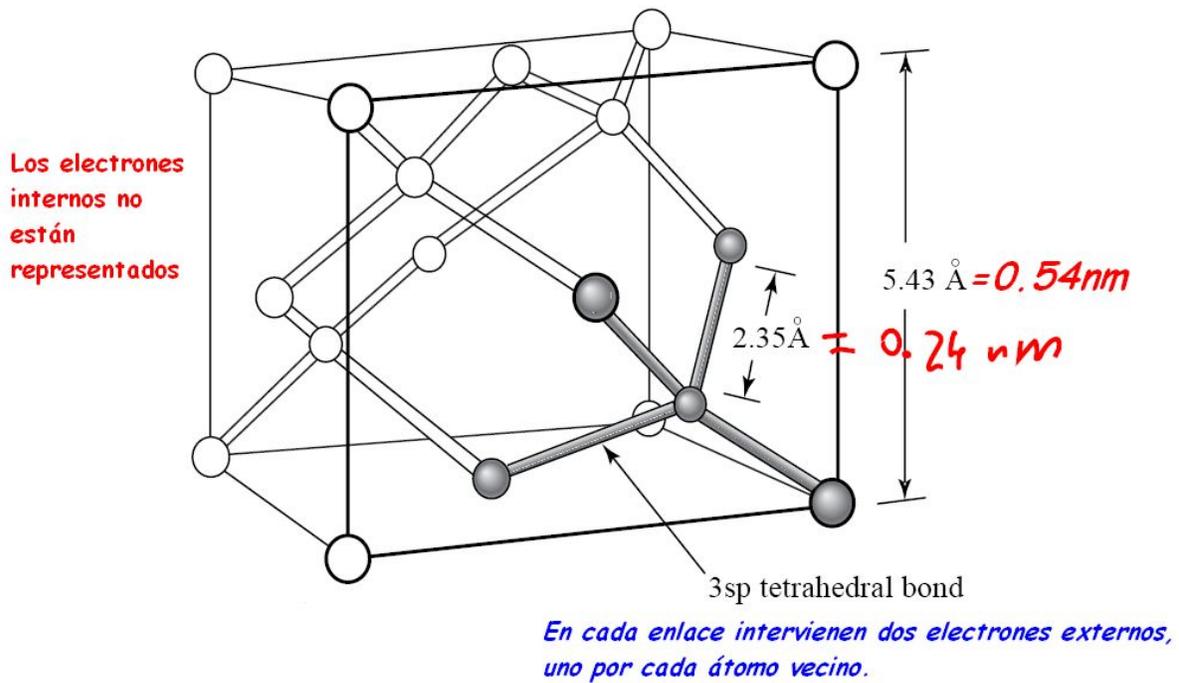
Estructura electrónica del átomo de Si:

- 10 electrones interiores (fuertemente ligados)
- 4 electrones (débilmente ligados, responsables de la mayoría de las propiedades químicas)

Otros semiconductores:

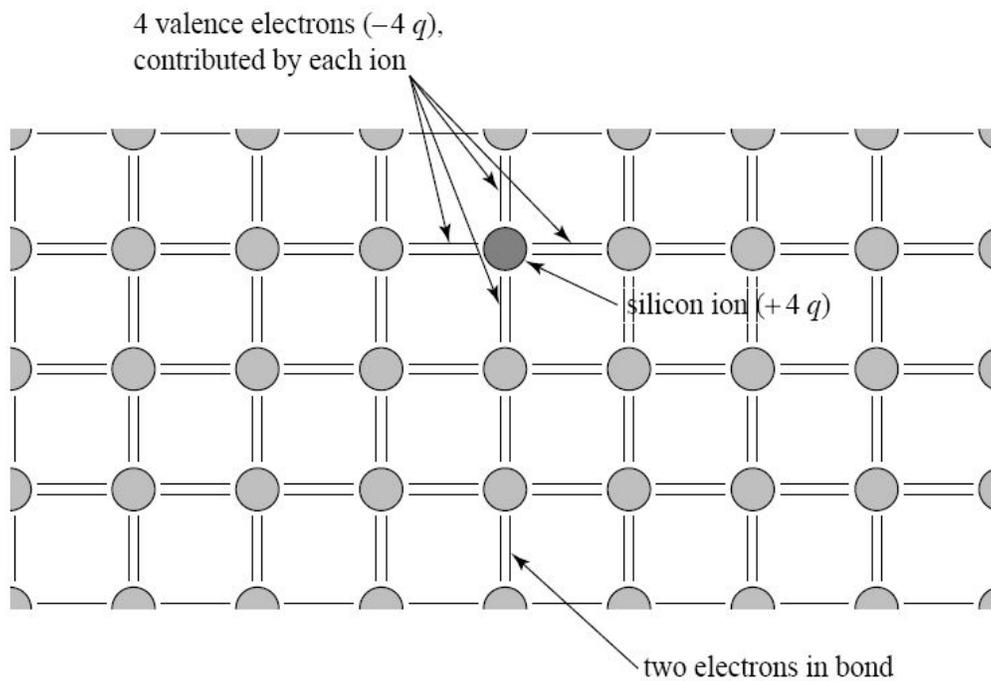
- Ge, C (forma del diamante), SiGe
- GaAs, InP, InGaAs, InGaAsP, ZnSe, CdTe  
(en promedio, 4 electrones de valencia por átomo)

## Estructura cristalina del Silicio:



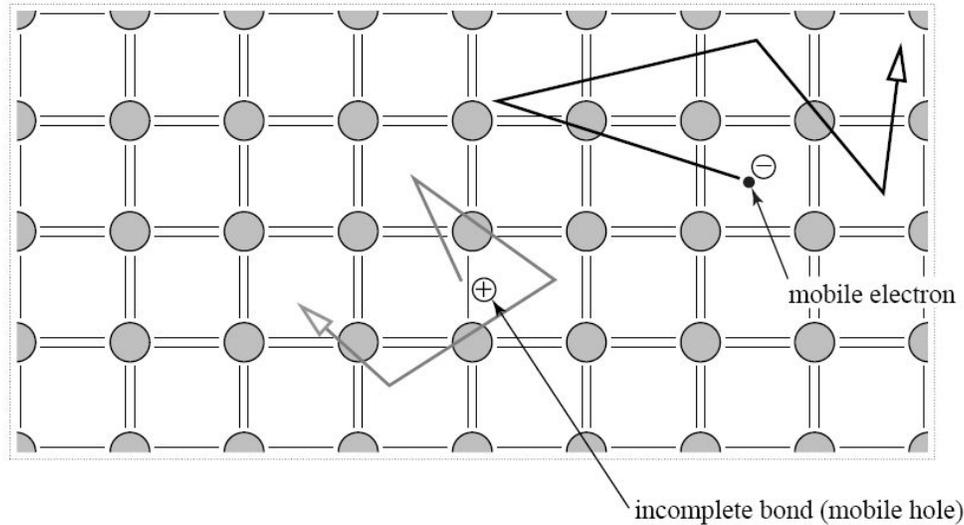
- El silicio es un material cristalino:
  - Ordenamiento atómico de largo rango
- Red del *Diamante*:
  - los átomos forman un tetraedro, ligados por compartir un electrón de valencia (*enlace covalente*)
- Cada átomo comparte 8 electrones:
  - situación estable de baja energía
- Densidad atómica del Si:  $5 \times 10^{22} \text{ cm}^{-3}$

## Modelo simple “aplanado” del cristal de Si:



A 0 K (cero absoluto):

- todas las ligaduras están ocupadas  $\rightarrow$  todos los electrones de valencia comprometidos en formar enlaces covalentes
- no hay electrones “libres”



A temperatura  $> 0$  K:

- se rompen algunas ligaduras
- *electrones* “libres” ( $e^-$ ): carga negativa en movimiento,  $q_{e^-} = -1,6 \times 10^{-19}$  C
- *huecos* “libres” ( $h^+$ ): carga **ficticia** positiva en movimiento,  $q_{h^+} = +1,6 \times 10^{-19}$  C

Los electrones y huecos “libres” se denominan *portadores*:

- partículas cargadas en movimiento

**Cuidado: ¡el diagrama es incorrecto!**

- los electrones y huecos en un semiconductor son “difusos”: abarcan varios radios atómicos.

Algunas definiciones:

- En 86.03, “electrón” significa electrón libre ( $e^-$ )
- No nos interesan los electrones internos ni los electrones de valencia (que los contabilizaremos con los huecos,  $h^+$ )
- Se definen:

$n \equiv$  concentración de electrones [ $\text{cm}^{-3}$ ]

$p \equiv$  concentración de huecos [ $\text{cm}^{-3}$ ]

## 2. Generación y Recombinación

GENERACIÓN = ruptura de un enlace covalente que da lugar a un  $e^-$  y un  $h^+$ .

- Requiere energía de una fuente externa (térmica, óptica u otra).
- *Tasa de generación*:  $G = G_{term} + G_{opt} + \dots$  [ $\text{cm}^{-3} \text{s}^{-1}$ ]
- En general, la *densidad atomica* es  $\gg n, p$

$$\Rightarrow G \neq f(n, p)$$

Las fuentes de enlaces a romper son inagotables.

RECOMBINACIÓN = formación de un enlace al unirse un  $e^-$  y un  $h^+$

- Libera energía de forma térmica u óptica
- *Tasa de recombinación*:  $R$  [ $\text{cm}^{-3} \text{s}^{-1}$ ]
- Un evento de recombinación requiere de  $1 e^- + 1 h^+$

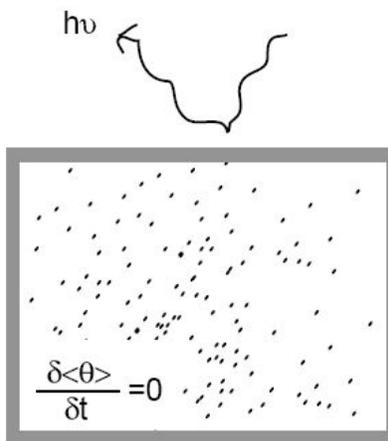
$$\Rightarrow R \propto n \cdot p$$

Los eventos de generación y recombinación son mas factibles en las superficies, donde se interrumpe la estructura.

### 3. Equilibrio térmico

Diremos que existe “*Equilibrio térmico*” cuando se cumplen las siguientes condiciones:

- Hay estado estacionario (se ha extinguido cualquier transitorio en la Generación/Recombinación)
- Hay ausencia de fuentes de energía externa (sistema aislado)



- Tasa de generación en equilibrio térmico:  $G_o = f(T)$
- Tasa de recombinación en equilibrio térmico:  $R_o \propto n_o \cdot p_o$

En equilibrio térmico:

$$G_o = R_o \Rightarrow n_o \cdot p_o = f(T) \equiv n_i^2(T)$$

$$n_i^2 = \text{Cte}(\text{material}, T) \cdot e^{-\frac{E_g}{kT}}$$

## Consecuencias importantes:

Para un dado semiconductor en equilibrio térmico, el producto  $n_o \times p_o$  es una constante que depende de la temperatura.

## 4. Semiconductor intrínseco

PREGUNTA: ¿Cuántos  $e^-$  y  $h^+$  hay en un semiconductor puro, perfectamente cristalino, en equilibrio térmico, a una cierta temperatura?

Dado que la ruptura de un enlace da lugar a un  $e^-$  y un  $h^+$ :

$$n_o = p_o$$

Además:

$$n_o \cdot p_o = n_i^2$$

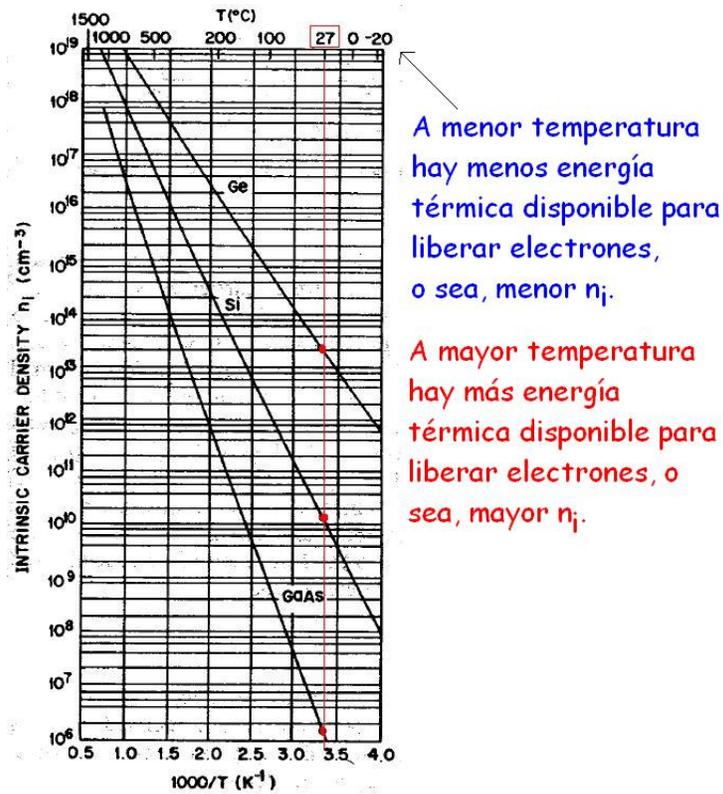
Entonces:

$$n_o = p_o = n_i$$

$n_i \equiv$  concentración *intrínseca* de portadores [ $\text{cm}^{-3}$ ]

En Si a 300 K (“temperatura ambiente”):  $n_i \simeq 10^{10} \text{ cm}^{-3}$

$n_i$  es una función fuertemente dependiente de la temperatura:  $T \uparrow \rightarrow n_i \uparrow$



Comparando otros semiconductores:

SC	$\delta_{at}$ [ $\text{cm}^{-3}$ ]	$E_g$ [eV]	$m_n^*/m_0$	$m_p^*/m_0$	$n_i$ [ $\text{cm}^{-3}$ ]
Si	$5 \times 10^{22}$	1.1	1.08	1.56	$10^{10}$
Ge	$4,43 \times 10^{22}$	0.7	0.55	0.37	$2 \times 10^{13}$
GaAs	$4,4 \times 10^{22}$	1.4	0.068	0.47	$2 \times 10^6$

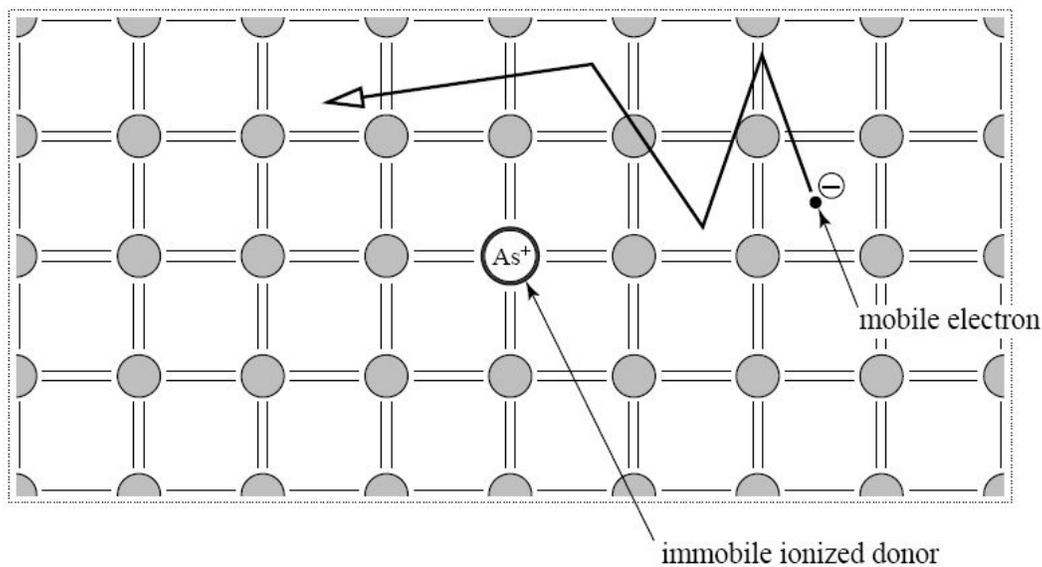
**5. Dopaje:** introducción de átomos externos para manipular las propiedades eléctricas del semiconductor

A. **DONORES:** introducen  $e^-$  en el semiconductor (pero no  $h^+$ )

- Para el Si, átomos del grupo V con 5  $e^-$  de valencia (As, P, Sb)

	III A	IV A	V A	VI A
	5 B	6 C	7 N	8 O
	13 Al	14 Si	15 P	16 S
IIB	30 Zn	31 Ga	32 Ge	33 As
	48 Cd	49 In	50 Sn	51 Sb
				52 Te

- 4  $e^-$  del átomo donador participan en los enlaces
- el quinto  $e^-$  queda débilmente ligado:  
A temperatura ambiente, cada átomo donador libera un  $e^-$  que queda libre para participar de la conducción
- el átomo donador queda ionizado positivamente (carga fija)



Se define:

$$N_d \equiv \text{concentración de donores [cm}^{-3}\text{]}$$

- En el material, prevalece la neutralidad de carga:

$$\rho = q(N_d + p_o - n_o) = 0$$

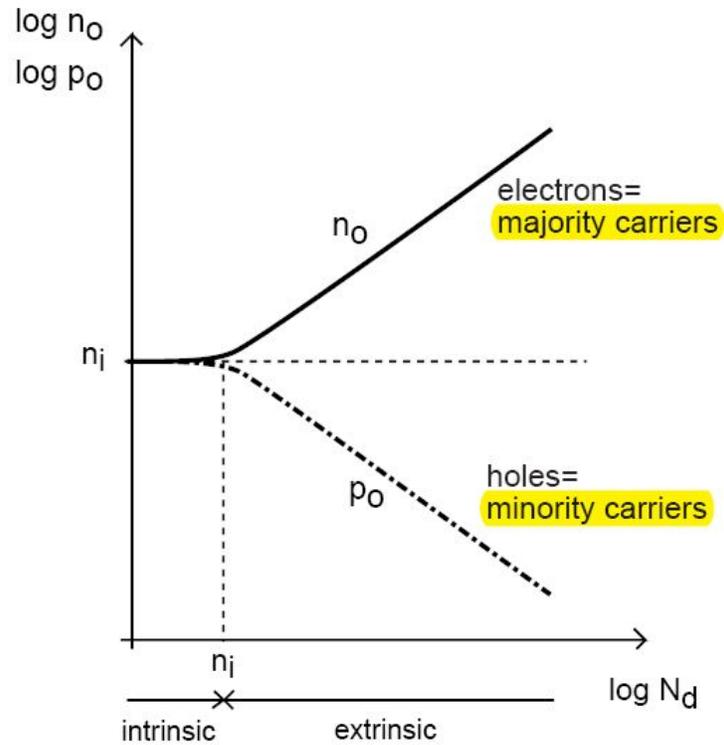
- Considerando la *Ley de Acción de Masas*,  $n_o \cdot p_o = n_i^2$ , se puede despejar la densidad de  $e^-$

$$n_o = \frac{N_d}{2} + \sqrt{\left(\frac{N_d}{2}\right)^2 + n_i^2}$$

- Si  $N_d \ll n_i$ , el dopaje es irrelevante (semiconductor intrínseco), esto implica que:  $n_o = p_o = n_i$
- Si  $N_d \gg n_i$ , el dopaje controla la concentración de portadores (semiconductor extrínseco), esto implica que:

$$n_o = N_d \qquad p_o = \frac{n_i^2}{N_d}$$

En el caso que  $n_o \gg p_o$ , se dirá que el semiconductor es *tipo n*.

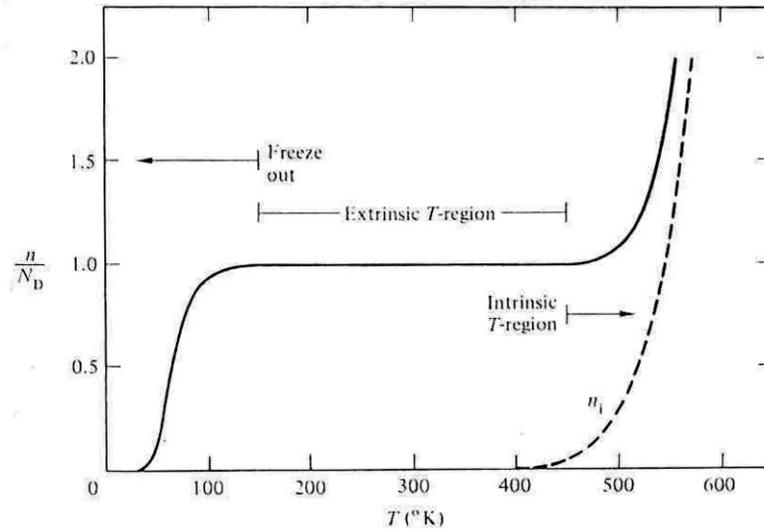


Ejemplo:

$$N_d = 10^{17} \text{ cm}^{-3} \rightarrow n_o = 10^{17} \text{ cm}^{-3}, p_o = 10^3 \text{ cm}^{-3}.$$

Típicamente:  $N_d \sim 10^{14} \dots 10^{20} \text{ cm}^{-3}$

Para un semiconductor dopado, la concentración de portadores libres es independiente de la temperatura para un amplio rango:



- A temperaturas medias,  $n_o$  y  $p_o$  no cambian
- A temperaturas altas,  $n_i$  crece considerablemente y el semiconductor “se vuelve” intrínseco.
- A temperaturas **muy bajas**, no todas las impurezas liberan el 5<sup>to</sup>  $e^-$  y  $n_o < N_d$ .

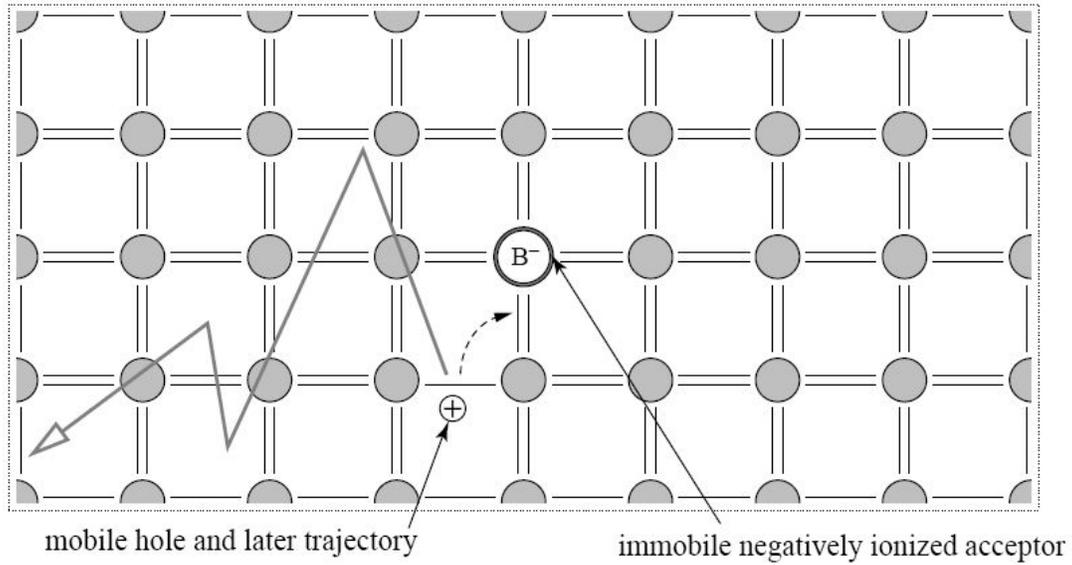
B. ACEPTORES: introducen  $h^+$  en el semiconductor (pero no  $e^-$ ).

- Para Si, átomos del grupo III, con 3  $e^-$  de valencia (B)

	IIIA	IVA	VA	VIA
	5 B	6 C	7 N	8 O
	13 Al	14 Si	15 P	16 S
IIB	30 Zn	31 Ga	32 Ge	33 As
	48 Cd	49 In	50 Sn	51 Sb
			51 Sb	52 Te

- 3  $e^-$  se utilizan en la ligadura con los átomos vecinos de Si
- 1 sitio de ligadura queda “vacante”:
  - favorable para “aceptar” un  $e^-$  de ligadura para completar todas las ligaduras
  - a temperatura ambiente, cada aceptor libera un  $h^+$ , el cual queda libre para la conducción

- el átomo aceptor queda ionizado negativamente (carga fija)



Se define:

$$N_a \equiv \text{concentración de aceptores } [cm^{-3}]$$

- En el material, prevalece la neutralidad de carga:

$$\rho = q(p_o - N_a - n_o) = 0$$

- Considerando la *Ley de Acción de Masas*,

$$n_o \cdot p_o = n_i^2$$

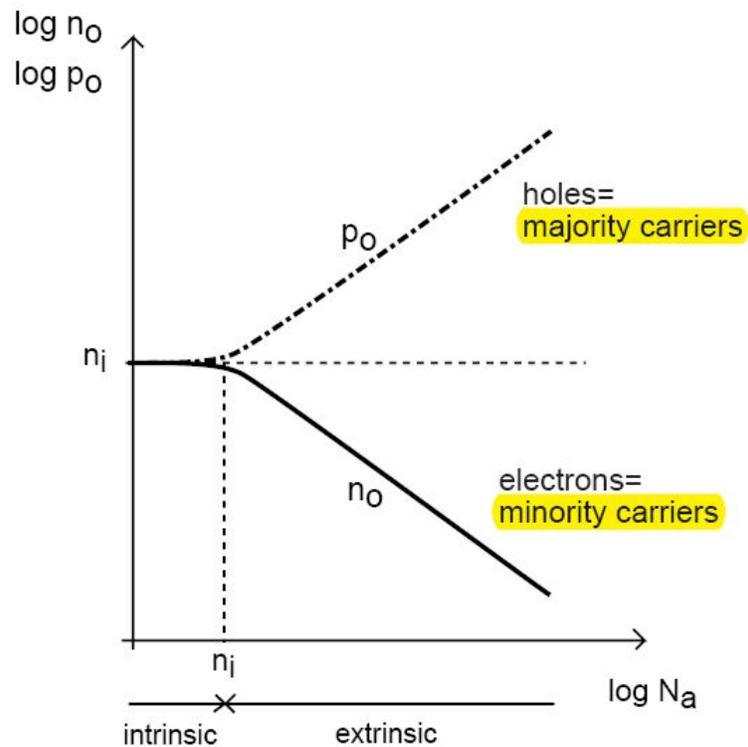
se puede despejar la densidad de  $h^+$

$$p_o = \frac{N_a}{2} + \sqrt{\left(\frac{N_a}{2}\right)^2 + n_i^2}$$

- Si  $N_a \ll n_i$ , el dopaje es irrelevante (semiconductor intrínseco), esto implica:  $n_o = p_o = n_i$
- Si  $N_a \gg n_i$ , el dopaje controla la concentración de portadores (semiconductor extrínseco), esto implica:

$$p_o = N_a \qquad n_o = \frac{n_i^2}{N_a}$$

Notar:  $p_o \gg n_o$ : *semiconductor tipo p*



Ejemplo:

$$N_a = 10^{16} \text{ cm}^{-3} \rightarrow p_o = 10^{16} \text{ cm}^{-3}, n_o = 10^4 \text{ cm}^{-3}.$$

$$\text{Típicamente: } N_a \sim 10^{14} \dots 10^{20} \text{ cm}^{-3}$$

## Resumen

- En un semiconductor, hay dos tipos de portadores: electrones y huecos.
- Para un dado semiconductor en equilibrio térmico  $n_o p_o$  es una constante:

$$n_o \cdot p_o = n_i^2$$

- *Semiconductor intrínseco*: semiconductor “puro”

$$n_o = p_o = n_i$$

- Para Si a temperatura ambiente:

$$n_i \simeq 10^{10} \text{ cm}^{-3}$$

- $n_i$  es fuertemente dependiente de la temperatura.
- *Semiconductor extrínseco*: las concentraciones de portadores pueden ser manipuladas mediante la introducción de átomos “dopantes” de otras especies:

– semiconductor *tipo n*:

$$n_o = N_d; p_o = \frac{n_i^2}{N_d}$$

– semiconductor *tipo p*:

$$p_o = N_a; n_o = \frac{n_i^2}{N_a}$$

# Clase 3<sup>1</sup> - Física de semiconductores (II)

## TRANSPORTE DE PORTADORES

### Contenido:

1. Movimiento térmico de portadores
2. Arrastre de portadores
3. Difusión de portadores

### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 1, §§1.2.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 2. §§2.2.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 2, §§2.4–2.6.

---

<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

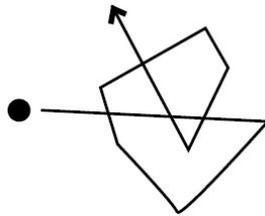
## Preguntas disparadoras

- ¿Cuáles son los fenómenos físicos que generan el flujo de corriente en los semiconductores?
- ¿Qué ocurre con los huecos y los electrones en presencia de un campo eléctrico?
- ¿Cómo se comportan los electrones y los huecos en un semiconductor si su concentración no es espacialmente uniforme?

## 1. Movimiento térmico de portadores

En equilibrio térmico los portadores no están fijos en el espacio:

- Sufren colisiones (*scattering*) con los átomos de Si de la red que están vibrando (*Movimiento Browniano*).
- Interactúan con los átomos dopantes cargados y entre sí.



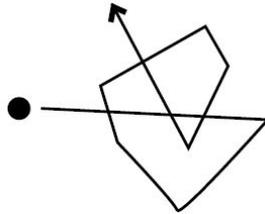
La constante de tiempo característica del movimiento térmico es el tiempo libre medio entre colisiones:

$$\tau_c \equiv \text{tiempo entre colisiones [s]}$$

Entre colisión y colisión los portadores tienen una gran velocidad:

$$v_{th} \equiv \text{velocidad térmica [cm/s]}$$

...pero en promedio no van a ningún lado.



Longitud característica del movimiento térmico:

$$\lambda \equiv \text{Camino libre medio [cm]}$$

$$\lambda = v_{th}\tau_c$$

Experimentalmente se observa que para Si a 300 K:

$$\tau_c \simeq 10^{-14} \dots 10^{-13} \text{ s}$$

$$v_{th} \simeq 10^7 \text{ cm/s}$$

$$\Rightarrow \lambda \simeq 1 \dots 10 \text{ nm}$$

Para tener una referencia, en algunos dispositivos semiconductores (MOSFETs) el camino **total** que deben recorrer los  $e^-$  (el largo del canal) es:

$$L \simeq 14 \text{ nm}$$

$\Rightarrow$  Los portadores sufren colisiones dentro de los dispositivos semiconductores.

## 2. Arrastre de portadores (drift)

Si se aplica un campo eléctrico sobre el semiconductor:

$$E \equiv \text{campo eléctrico [V/cm]}$$

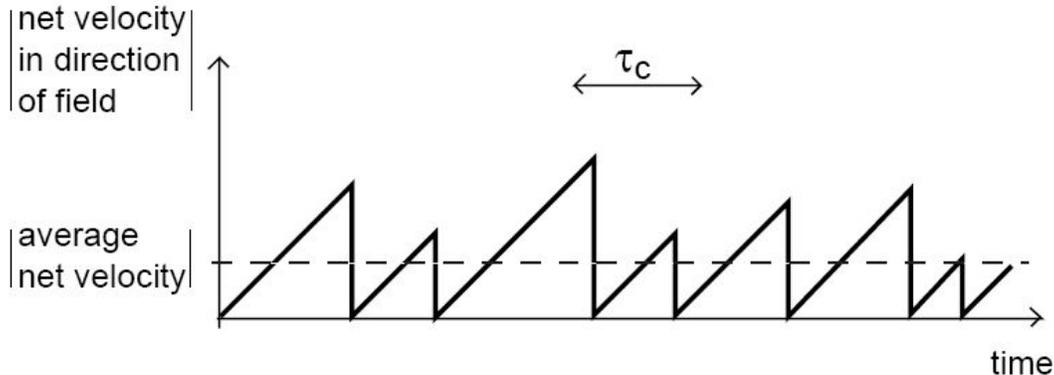
⇒ Se genera una fuerza neta sobre los portadores

$$F = \pm qE$$



La velocidad del portador aumenta por la fuerza aplicada hasta el momento de una colisión.

Si la perturbación respecto del movimiento Browniano es pequeña, la colisión ocurre en promedio cada  $\tau_c$ .



El impulso aplicado por la fuerza durante  $\tau_c$  es igual al momento promedio del portador, es decir:

$$\pm qE\tau_c = m_{p,n}^* v_a$$

Esta es llamada *velocidad de arrastre* [cm/s].

$$v_a = \pm \frac{q\tau_c}{m_{p,n}^*} E$$

Para que la perturbación sea pequeña, debe cumplirse que  $v_a \ll v_{th}$ .

Definimos:

$$\mu_{n,p} = \frac{q\tau_c}{m_{n,p}^*} \equiv \text{movilidad} [\text{cm}^2/(\text{Vs})]$$

Luego, para los electrones:

$$v_{a_n} = -\mu_n E$$

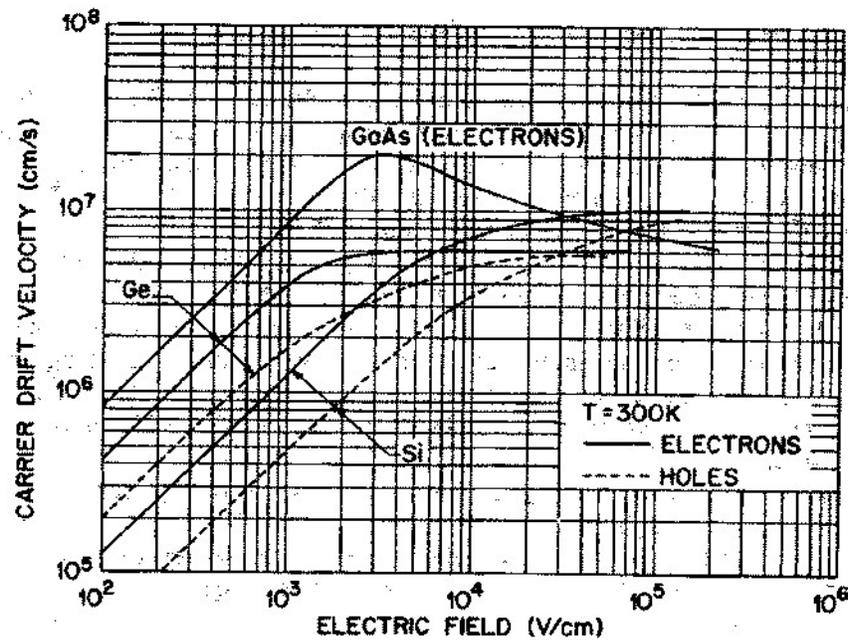
y para los huecos:

$$v_{a_p} = \mu_p E$$

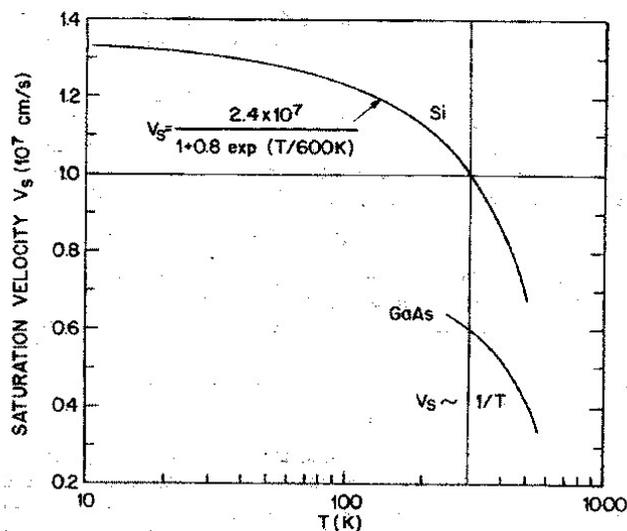
Si los campos aplicados son bajos, se mantienen constantes tanto  $\tau_c$  como  $\mu$ . Se cumple cuando

$$E < 1000 \text{ V/cm}$$

Esta relación lineal entre  $v_a$  y  $E$  es válida dentro de un rango amplio pero acotado:



A su vez la velocidad de saturación depende de la temperatura:



La movilidad es una medida de la *facilidad* para arrastrar portadores:

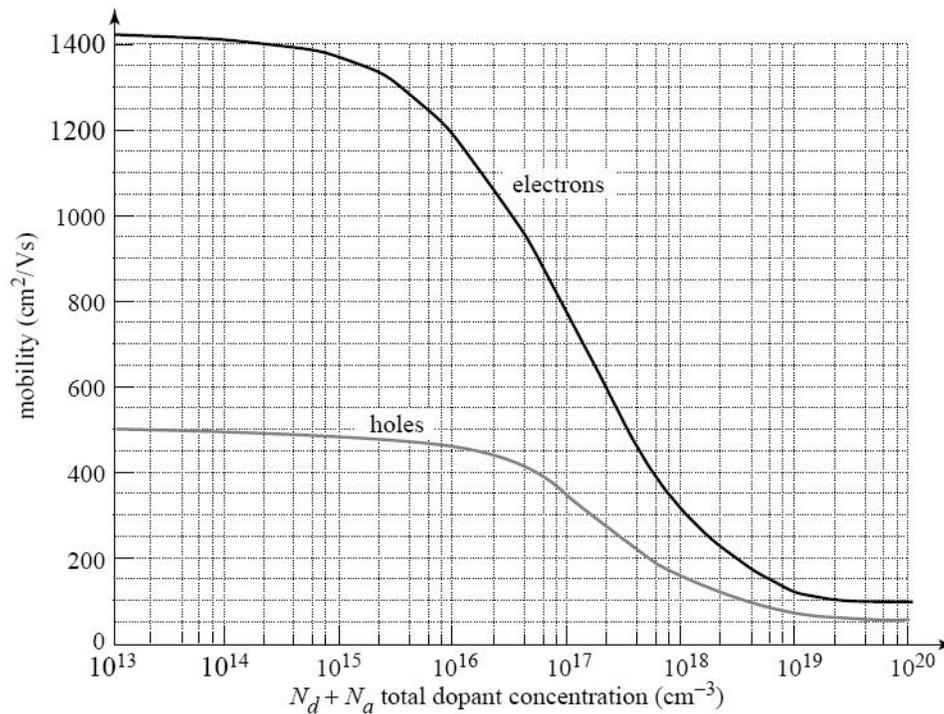
- si  $\tau_c \uparrow$ , mayor tiempo entre colisiones  $\rightarrow \mu \uparrow$
- si  $m^* \downarrow$ , partícula mas “liviana”  $\rightarrow \mu \uparrow$

“ $\tau_c$ ” depende de la temperatura y del nivel de dopaje.

“ $m^*$ ” depende del tipo de portador.

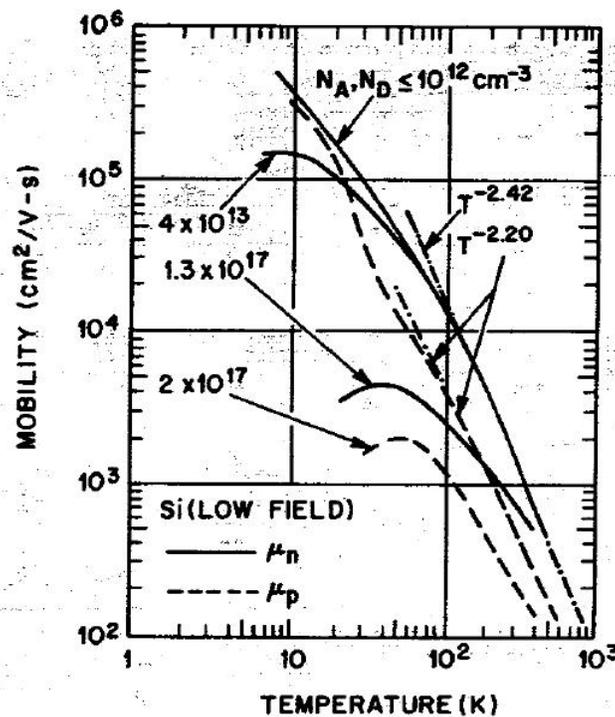
Ambos dependen del semiconductor (Si; Ge; GaAs).

La movilidad depende del dopaje. Para Si a 300 K:



- Para un bajo nivel de dopaje,  $\mu$  es limitada por colisiones con la red.
- Para medio o alto nivel de dopaje,  $\mu$  es limitada por colisiones con los dopantes.
- Los huecos son tienen masa efectiva mayor que los electrones:
  - para el mismo nivel de dopaje,  $\mu_n > \mu_p$

La movilidad depende de la temperatura:



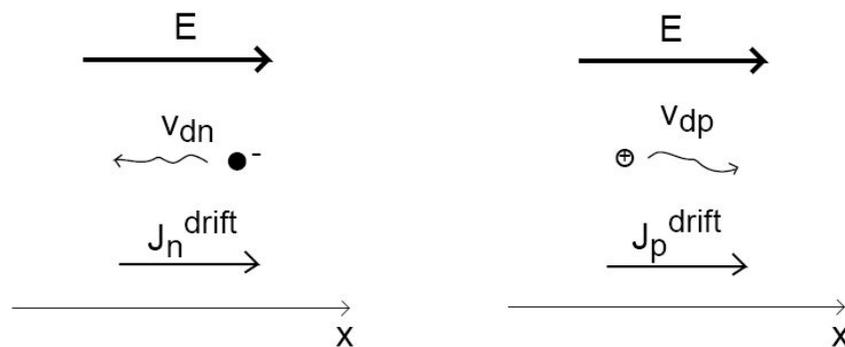
- Para temperaturas bajas  $\mu$  es limitada por colisiones con los átomos dopantes. Esto se debe a que dicha interacción es más efectiva cuando la velocidad de los portadores es baja.
- Para temperaturas medias o altas  $\mu$  es limitada por colisiones con átomos de la red. Para mayor velocidad de los portadores disminuye la probabilidad de colisión con las impurezas, pero aumenta interacción con los átomos de la red debido a que estos aumentan sus vibraciones con la temperatura.

## Corriente de arrastre

Partículas cargadas que tienen velocidad neta debido a la presencia de un campo  $\Rightarrow$  corriente eléctrica.

La densidad corriente arrastre es proporcional a:

- *la velocidad arrastre de portadores ( $v_a$ )*
- *la concentración de portadores ( $n$  o  $p$ )*
- *la carga de los portadores ( $\pm q$ )*



Corrientes de arrastre :

$$J_n^{arr} = -qnv_{a_n} = qn\mu_n E$$

$$J_p^{arr} = qp v_{a_p} = qp\mu_p E$$

Corriente total de arrastre:

$$J^{arr} = J_n^{arr} + J_p^{arr} = q(n\mu_n + p\mu_p)E$$

Tiene la apariencia de la *Ley de Ohm*:

$$J = \sigma E = \frac{E}{\rho}$$

donde:

$$\sigma \equiv \text{conductividad } [(\Omega\text{cm})^{-1}]$$

$$\rho \equiv \text{resistividad } [\Omega \text{ cm}]$$

Entonces:

$$\rho = \frac{1}{\sigma} = \frac{1}{q(n\mu_n + p\mu_p)}$$

Para un semiconductor intrínseco donde  $n = p = n_i$ , la expresión se reduce a:

$$\rho = \frac{1}{qn_i(\mu_n + \mu_p)}$$

Para un semiconductor extrínseco, la resistividad se utiliza comúnmente para especificar el nivel de dopaje.

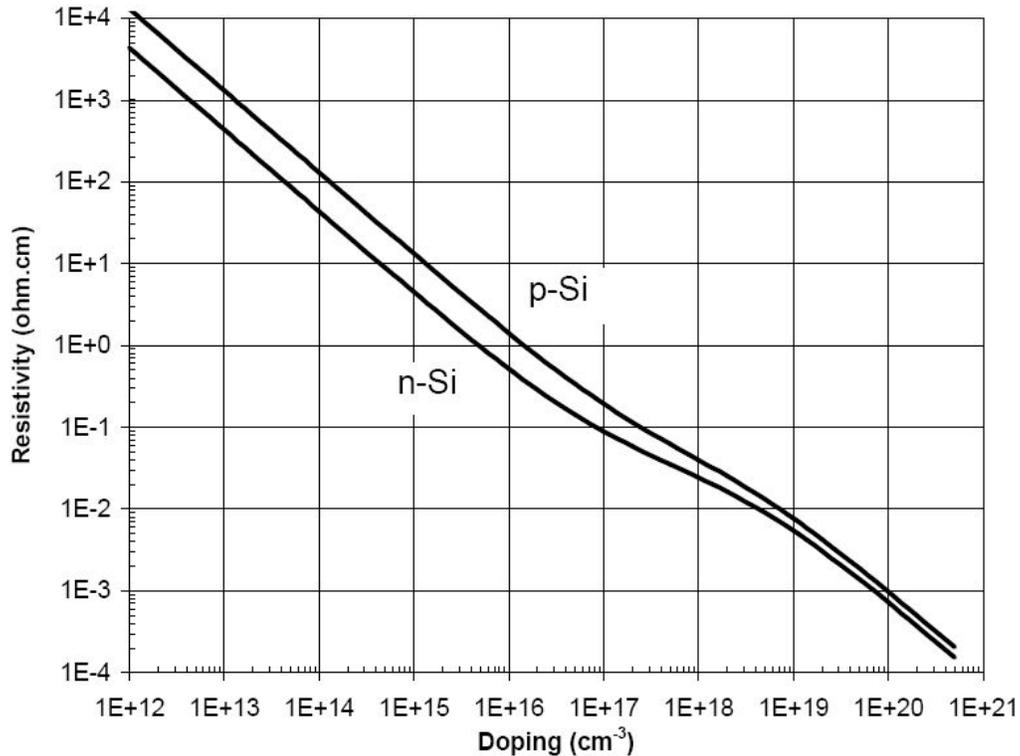
- En un semiconductor tipo N:

$$\rho_n \simeq \frac{1}{qN_d\mu_n}$$

- En un semiconductor tipo P:

$$\rho_p \simeq \frac{1}{qN_a\mu_p}$$

Para Si a 300 K:



*Si la movilidad de los portadores se reduce con la introducción de impurezas...*

*¿Cuándo un semiconductor es menos resistivo?*

*¿Cuando es intrínseco o cuando es extrínseco?*

## Ejemplo intrínseco:

- Si con a 300 K:

$$n = p = n_i \simeq 10^{10} \text{ cm}^{-3}$$

$$\mu_n \simeq 1450 \text{ cm}^2/(\text{Vs}); \mu_p \simeq 500 \text{ cm}^2/(\text{Vs})$$

$$\rho \simeq 320 \text{ k}\Omega \text{ cm}$$

## Ejemplo extrínseco:

- Si con  $N_d = 3 \times 10^{16} \text{ cm}^{-3}$  a 300 K:

$$\mu_n \simeq 1000 \text{ cm}^2/(\text{Vs})$$

$$\rho_n \simeq 0,21 \Omega \text{ cm}$$

- si se aplica  $|E| = 1 \text{ kV/cm}$  al semiconductor extrínseco

$$|v_{a_n}| \simeq 10^6 \text{ cm/s} \ll v_{th}$$

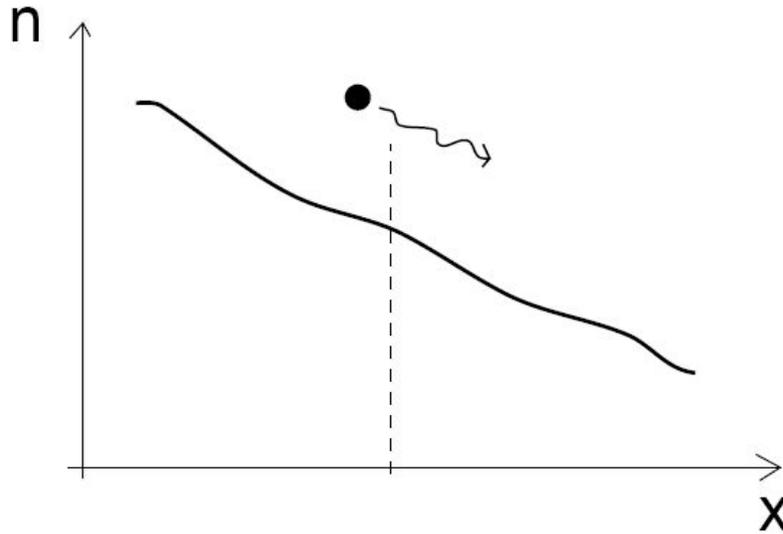
$$|J_n^{arr}| \simeq 4,8 \times 10^3 \text{ A/cm}^2$$

- tiempo empleado para recorrer  $L = 0,1 \mu\text{m}$ :

$$t_d = \frac{L}{v_{a_n}} = 10 \text{ ps} \quad \text{¡Es rápido!}$$

### 3. Corriente de difusión (diffusion)

Difusión: partículas que se mueven en respuesta a un gradiente de concentración.



Elementos de la Difusión:

- un medio material (*Cristal de Si*)
- un gradiente de partículas ( $h^+$  y  $e^-$ ) dentro del medio
- las colisiones entre las partículas y el medio dispersan a las partículas en direcciones aleatorias

Sin embargo, existe un movimiento neto de las partículas que **es en dirección contraria al gradiente**

Relación fundamental de la Difusión (*Primera ley de Fick*):

*Flujo de Difusión*  $\propto$  - *gradiente de la concentración*

Flujo  $\equiv$  numero de partículas cruzando un área por  
unidad de tiempo [1/(cm<sup>2</sup> s)]

Flujo de electrones:

$$F_n = -D_n \frac{dn}{dx}$$

Flujo de huecos:

$$F_p = -D_p \frac{dp}{dx}$$

$D_n \equiv$  Coeficiente de Difusión de los  $e^-$  [cm<sup>2</sup>/s]

$D_p \equiv$  Coeficiente de Difusión de los  $h^+$  [cm<sup>2</sup>/s]

$D$  mide la facilidad con la que se difunden los portadores en respuesta a un gradiente de concentración.

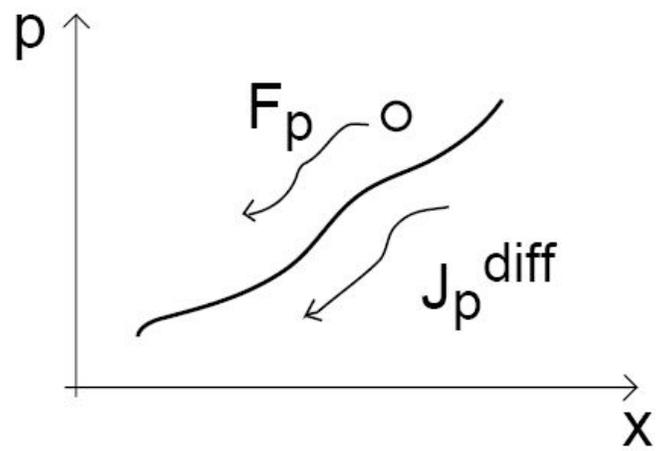
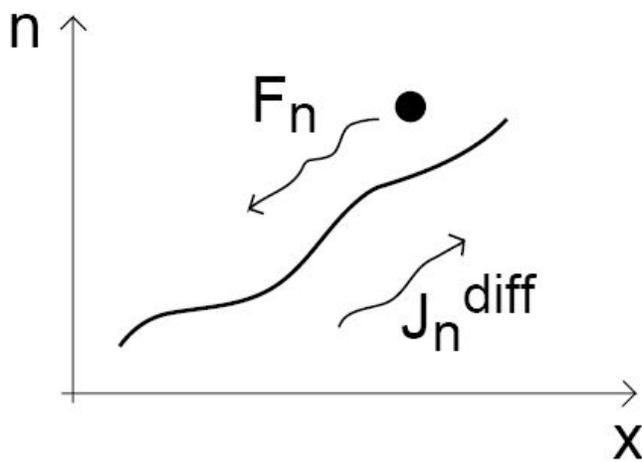
$D$  esta limitada por las vibraciones de los átomos de Si de la red y de los dopantes ionizados.

*Densidad de corriente de Difusión = carga  $\times$  flujo de la carga*

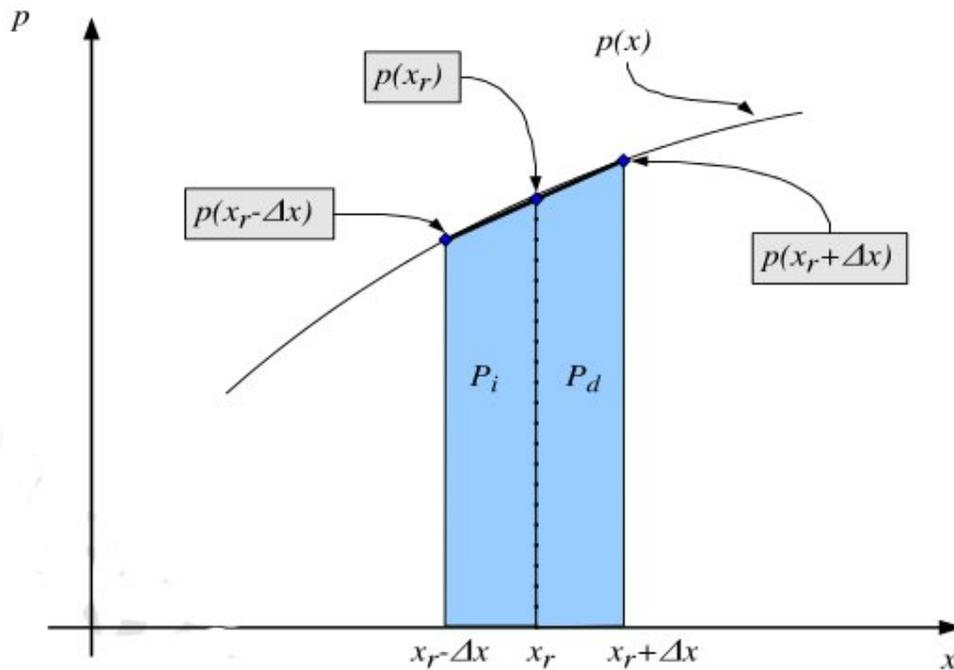
$$J_n^{dif} = qD_n \frac{dn}{dx}$$

$$J_p^{dif} = -qD_p \frac{dp}{dx}$$

Cuidado con los signos:



## Valor de las constantes de difusión



Dado un bloque de Si donde la densidad de huecos depende de la posición:

- Vamos a suponer que  $\Delta x = \lambda_c$  (camino libre medio).
- Dado que  $\lambda_c = v_{th}\tau_c$ .
- Después de un tiempo  $\tau_c$  se tiene que:
  - la mitad de los  $h^+$  de la región izquierda ( $\frac{1}{2}P_i$ ) habrán atravesado la superficie limitada por  $x_r$
  - la mitad de los  $h^+$  de la región derecha ( $\frac{1}{2}P_d$ ) habrán también atravesado la superficie limitada por  $x_r$

Entonces, el flujo de partículas a través de la superficie  $x_r$  es:

$$F_p = \frac{1}{2} v_{th} (p_i - p_d) = -\frac{1}{2} \frac{\lambda_c}{\tau_c} [p(x_r + \lambda_c) - p(x_r - \lambda_c)]$$

Luego, aproximando por Taylor de primer orden:

$$p(x_r + \lambda_c) \approx p(x_r) + \frac{dp}{dx} \lambda_c$$

$$p(x_r - \lambda_c) \approx p(x_r) - \frac{dp}{dx} \lambda_c$$

Se obtiene:

$$F_p = -\frac{\lambda_c^2}{\tau_c} \frac{dp}{dx} \Rightarrow D_p = \frac{\lambda_c^2}{\tau_c}$$

Equivalentemente se puede proceder para hallar  $D_n$ .

## Relación de Einstein

La física fundamental de la difusión y el arrastre es la misma: colisiones entre partículas y los átomos del medio

⇒ Debe existir una relación entre  $D$  y  $\mu$ .

Tenemos que:

$$D_{n,p} = \frac{\lambda_c^2}{\tau_c} \quad \text{y} \quad \mu_{n,p} = \frac{q\tau_c}{m_{n,p}^*}$$

Por lo tanto si se considera que:  $v_{th} = \frac{\lambda_c}{\tau_c}$

$$\frac{D_{n,p}}{\mu_{n,p}} = \frac{1}{q} m_{n,p}^* v_{th}^2$$

Los electrones libres y huecos, cuando el semiconductor no está degenerado, cumplen con la estadística de Boltzman. En el caso unidimensional planteado:

$$\frac{1}{2} m_{n,p}^* v_{th}^2 = \frac{1}{2} kT$$

Queda entonces la Relación de Einstein:

$$\frac{D}{\mu} = \frac{kT}{q}$$

En semiconductores:

$$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = \frac{kT}{q} \simeq 25,9 \text{ mV} \quad @ T = 300 \text{ K}$$

$$\frac{kT}{q} \equiv \text{Potencial térmico [V]}$$

Por ejemplo: para  $N_d = 3 \times 10^{16} \text{ cm}^{-3}$ :

$$\mu_n \simeq 1000 \frac{\text{cm}^2}{\text{V s}} \Rightarrow D_n \simeq 25 \frac{\text{cm}^2}{\text{s}}$$

$$\mu_p \simeq 400 \frac{\text{cm}^2}{\text{V s}} \Rightarrow D_p \simeq 10 \frac{\text{cm}^2}{\text{s}}$$

## Corriente eléctrica total

En general, la corriente puede fluir independientemente por arrastre o difusión. Corriente total:

$$J_n = J_n^{arr} + J_n^{dif} = qn\mu_n E + qD_n \frac{dn}{dx}$$

$$J_p = J_p^{arr} + J_p^{dif} = qp\mu_p E - qD_p \frac{dp}{dx}$$

Finalmente:

$$J_{total} = J_n + J_p$$

## Resumen y conclusiones

- Los electrones y los huecos en un semiconductor son cargas móviles. Si hay movimiento de *cargas*  $\Rightarrow$  hay corriente eléctrica.
- *Corriente de arrastre*: producida por un campo eléctrico.

$$J^{arr} \propto E$$

- *Corriente de difusión*: producida por un gradiente de concentración.

$$J^{dif} \propto \frac{dn}{dx}, \frac{dp}{dx}$$

- Los portadores se mueven rápido en respuesta a campos eléctricos y a gradientes.
- Los dispositivos semiconductores modernos tienen la capacidad de controlar las corrientes de arrastre y/o difusión.

# Clase 4<sup>1</sup> - Física de semiconductores (III)

## SEMICONDUCTORES CON DOPAJE NO UNIFORME EN EQUILIBRIO TÉRMICO

### Contenido:

1. Semiconductor no-uniformemente dopado.
2. Aproximación de cuasi-neutralidad.
3. Relación de Boltzmann.
4. “Regla de los 60 mV”

### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 1, §§1.1; Ch. 4, §§4.1.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 2. §§2.5.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 3, §§3.1–3.2.

---

<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Resumen de las clases anteriores:

- En los modelos clásicos de semiconductor hay dos tipos de portadores: electrones y huecos.
- En equilibrio térmico,  $n_o p_o = n_i^2$ , donde la concentración  $n_i$  aumenta con la temperatura  $T$ .
- Al contaminar con ciertos átomos de grupos III o V con concentraciones  $N_a$  o  $N_d$  se modifican  $n_o$  y  $p_o$ .
- Para un semiconductor dopado:
  - si  $N_d \gg n_i \Rightarrow n_o \simeq N_d \wedge p_o \simeq n_i^2/N_d$  (semiconductor tipo N)
  - si  $N_a \gg n_i \Rightarrow p_o \simeq N_a \wedge n_o \simeq n_i^2/N_a$  (semiconductor tipo P)

siendo la concentración de mayoritarios poco dependiente de la temperatura  $T$ .

- Existen dos mecanismos de transporte: arrastre (*drift*) o difusión (*diffusion*).
- El arrastre se da cuando existe un campo eléctrico:

$$J^{arr} = J_n^{arr} + J_p^{arr} = q(n \mu_n + p \mu_p) E$$

- La movilidad decrece con la temperatura y con el aumento de dopaje (red cristalina imperfecta).

- La difusión se da cuando existe un gradiente en la concentración de portadores:

$$J^{dif} = qD_n \frac{dn}{dx} - qD_p \frac{dp}{dx}$$

- Existe una relación entre las constantes asociadas a difusión y arrastre, dada por la relación de Einstein:

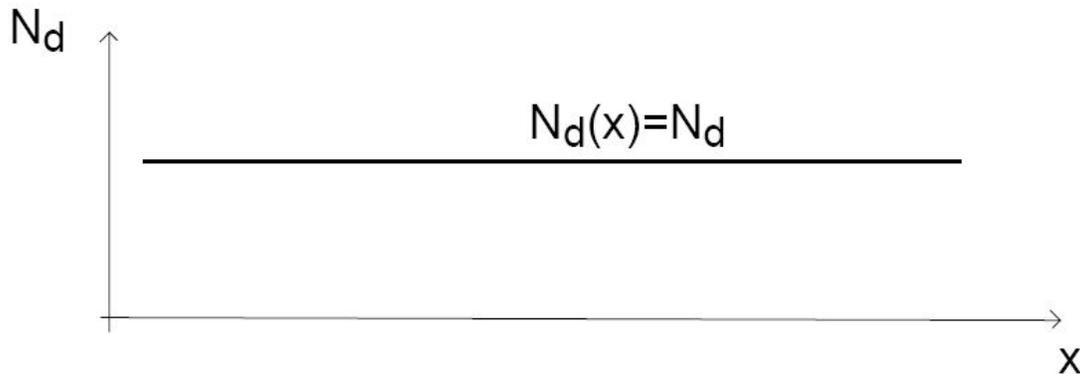
$$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = \frac{kT}{q}$$

## Preguntas disparadoras

- ¿Es posible tener un campo eléctrico dentro de un semiconductor en equilibrio térmico?
- Si hay un gradiente de dopaje en un semiconductor, ¿cuál es la concentración de portadores mayoritarios resultante en equilibrio térmico?

# 1. Semiconductor no-uniformemente dopado en equilibrio térmico

Consideremos primero Si tipo N *uniformemente dopado* en equilibrio térmico:



Tipo N  $\Rightarrow$  muchos electrones, pocos huecos  
 $\Rightarrow$  nos concentramos en los electrones

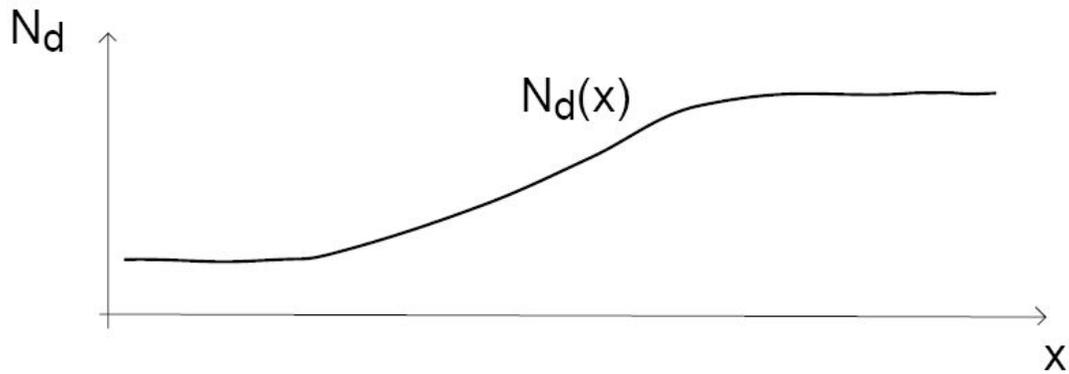
$$n_o = N_d \quad \text{independiente de } x$$

$N_d$ : Carga positiva;  $n_o$ : Carga negativa

Densidad de carga volumétrica [ $\text{C}/\text{cm}^3$ ]:

$$\rho = q(N_d \underbrace{+p_o}_{p_o \ll N_d; n_o} - \underbrace{N_a - n_o}_{=0}) \simeq (N_d - n_o) = 0$$

Luego, consideremos un trozo de Si tipo N en equilibrio térmico con una *distribución no-uniforme de dopantes*:



¿Cuál es la concentración de electrones resultante en equilibrio térmico?

Desarrollemos el concepto de *equilibrio térmico*.

Un sistema en equilibrio térmico no intercambia energía con el medio que lo rodea. Esto implica que:

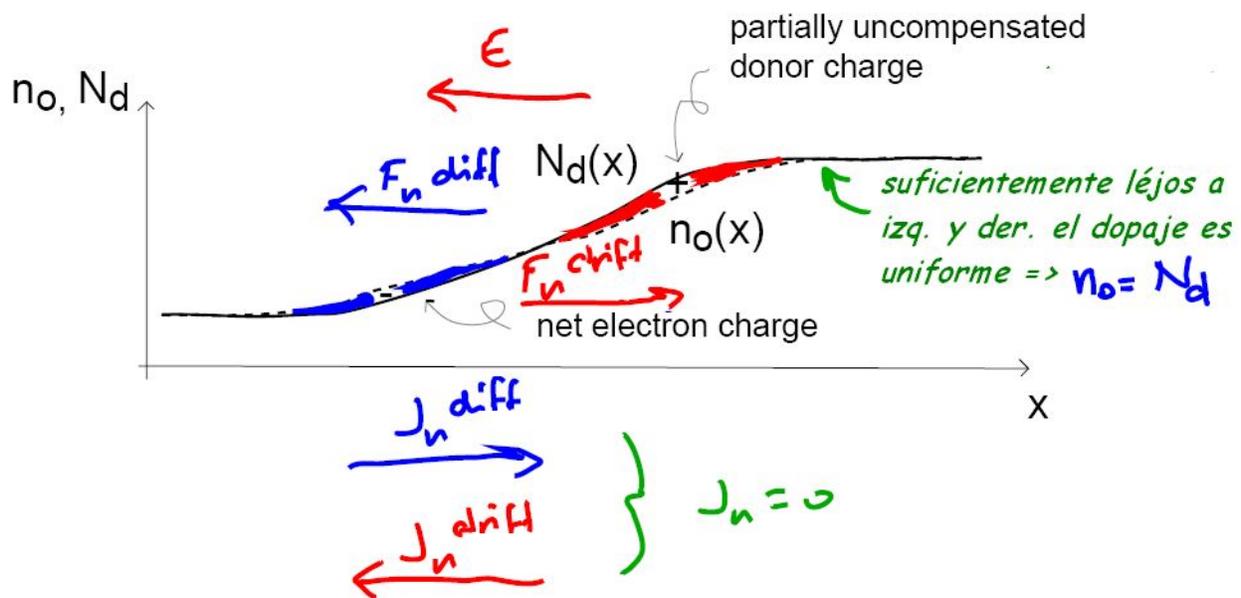
- Mantiene su temperatura constante, la generación y recombinación están compensadas y las poblaciones  $n_0$  y  $p_0$  no cambian.
- Por tratarse de un medio resistivo, la corriente eléctrica neta es nula.

$$J(x) = J^d(x) + J^a(x) = 0$$

Considerando el material dopado con  $N_d(x)$ , la difusión de electrones debe equilibrar exactamente al flujo originado por arrastre en todo punto:

$$J_n(x) = J_n^d(x) + J_n^a(x) = 0$$

¿Cuál es el  $n_o(x)$  que satisface esta condición?



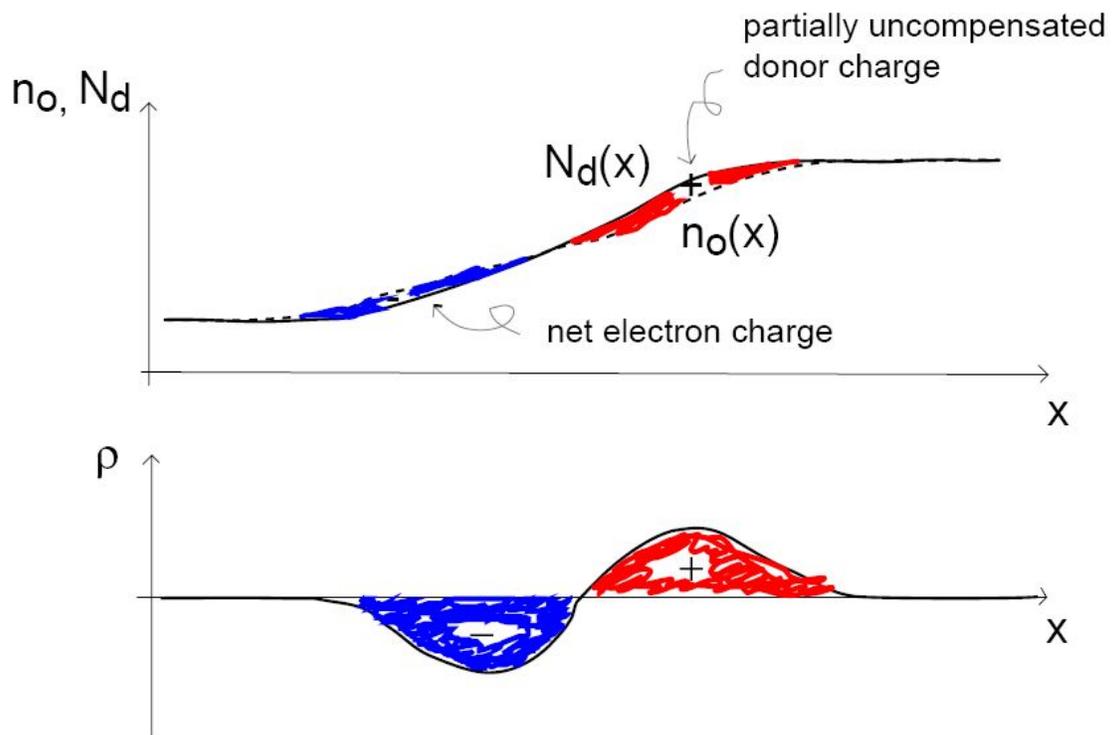
En general,

$$n_o(x) \neq N_d(x)$$

¿Cuáles son las consecuencias de esto?

● *Densidad de carga espacial:*

$$\rho(x) = q(N_d(x) + \underbrace{p_o(x)}_{\approx 0} - \underbrace{N_a}_{=0} - n_o(x)) \simeq q(N_d(x) - n_o(x))$$



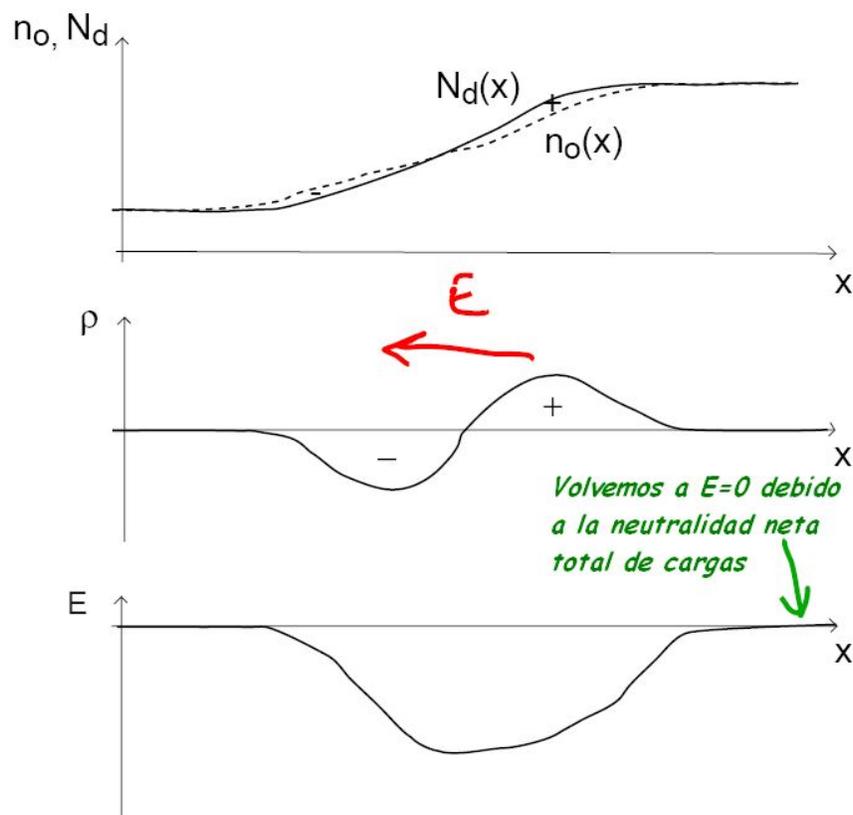
- *Campo eléctrico:*

Ecuación de Gauss:

$$\frac{dE}{dx} = \frac{\rho}{\epsilon_s}$$

Integramos desde  $x = 0$  hasta  $x$ :

$$E(x) - E(0) = \frac{1}{\epsilon_s} \int_0^x \rho(x) dx$$



- *Función potencial en equilibrio térmico:*

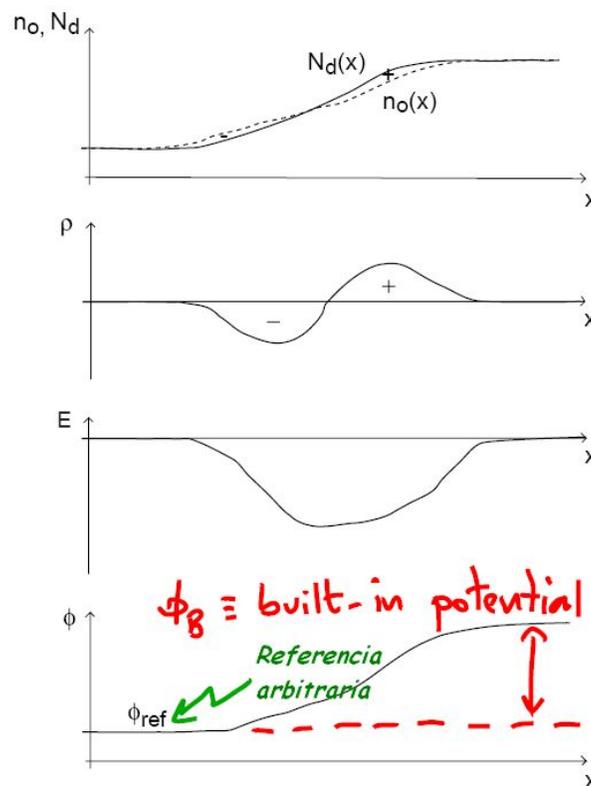
$$\frac{d\phi}{dx} = -E$$

Integramos desde  $x = 0$  hasta  $x$ :

$$\phi(x) - \phi(0) = - \int_0^x E(x) dx$$

Es conveniente elegir una referencia de potencial eléctrico:

$$\phi(x = 0) = \phi_{ref}$$



Dado  $N_d(x)$ , queremos conocer  $n_o(x)$ ,  $\rho(x)$ ,  $E(x)$ , y  $\phi(x)$ .

Escribimos las ecuaciones que describen este problema en términos de  $\phi(x)$ .

Condición de equilibrio térmico:

$$J_n = q\mu_n n_o(x)E(x) + qD_n \frac{dn_o(x)}{dx} = 0$$

$$-q\mu_n n_o(x) \frac{d\phi(x)}{dx} + qD_n \frac{dn_o(x)}{dx} = 0$$

$$\frac{d^2\phi(x)}{dx^2} = \frac{kT}{q} \frac{d}{dx} \left( \frac{1}{n_o(x)} \frac{dn_o(x)}{dx} \right) \quad (1)$$

Ecuación de Poisson:

$$\frac{dE(x)}{dx} = \frac{q}{\epsilon_s} (N_d(x) - n_o(x))$$

$$\frac{d^2\phi(x)}{dx^2} = \frac{q}{\epsilon_s} (n_o(x) - N_d(x)) \quad (2)$$

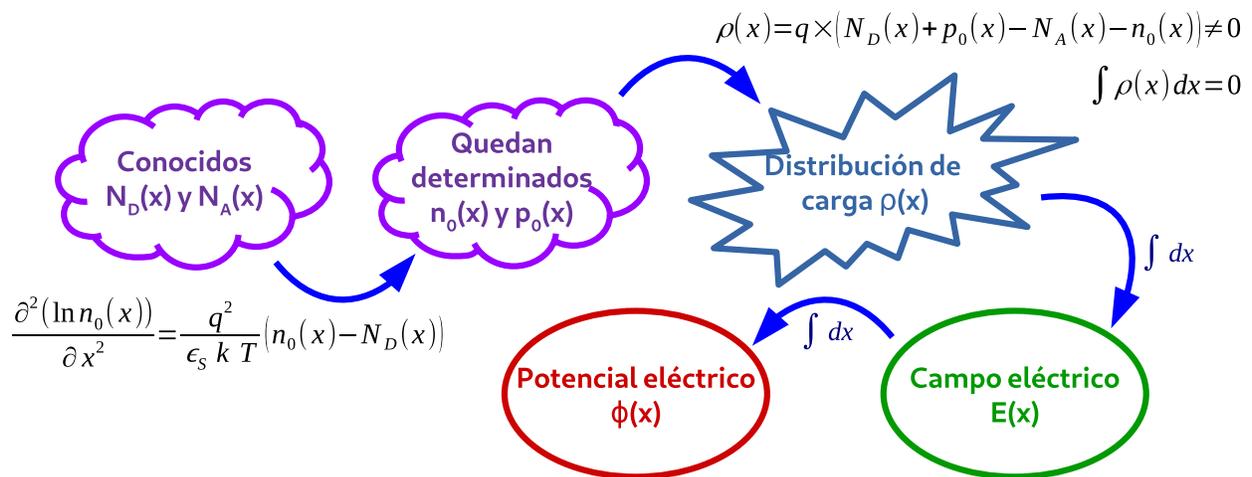
Luego de (1) y (2) se obtiene:

$$\frac{d^2(\ln n_o(x))}{dx^2} = \frac{q^2}{\epsilon_s kT} (n_o(x) - N_d(x)) \quad (3)$$

$$\frac{d^2(\ln n_o(x))}{dx^2} = \frac{q^2}{\epsilon_s k T} (n_o(x) - N_d(x))$$

Una ecuación con una incógnita.

Dado  $N_d(x)$ , podemos resolver para  $n_o(x)$  y el resto de las incógnitas.



Para la mayoría de las situaciones, no existe solución analítica

## 2. Relación de Boltzmann

Los electrones de un semiconductor en equilibrio térmico cumplen:

$$J_n(x) = J_n^d(x) + J_n^a(x) = 0$$

$$q\mu_n n_o(x) E(x) + qD_n \frac{dn_o(x)}{dx} = 0$$

Luego,

$$\frac{q}{kT} \frac{d\phi(x)}{dx} = \frac{1}{n_o(x)} \frac{dn_o(x)}{dx} = \frac{d(\ln n_o(x))}{dx}$$

Integrando se obtiene:

$$\frac{q}{kT} (\phi(x) - \phi_{ref}) = \ln(n_o(x)) - \ln(n_o(x_{ref})) = \ln\left(\frac{n_o(x)}{n_o(x_{ref})}\right)$$

$$n_o(x) = n_o(x_{ref}) \exp\left(\frac{\phi(x) - \phi_{ref}}{kT/q}\right)$$

Cualquier referencia es válida, pero en esta materia vamos a suponer que  $\phi_{ref} = 0$  cuando  $n_o(x_{ref}) = n_i$ .

Así obtenemos la **relación de Boltzmann** para electrones:

$$n_o(x) = n_i \exp \left( \frac{\phi(x)}{kT/q} \right)$$

Si hacemos lo mismo con los huecos (comenzando con  $J_p = 0$  en equilibrio térmico, o simplemente usando  $n_o(x) p_o(x) = n_i^2$ ), obtenemos la **relación de Boltzmann** para huecos:

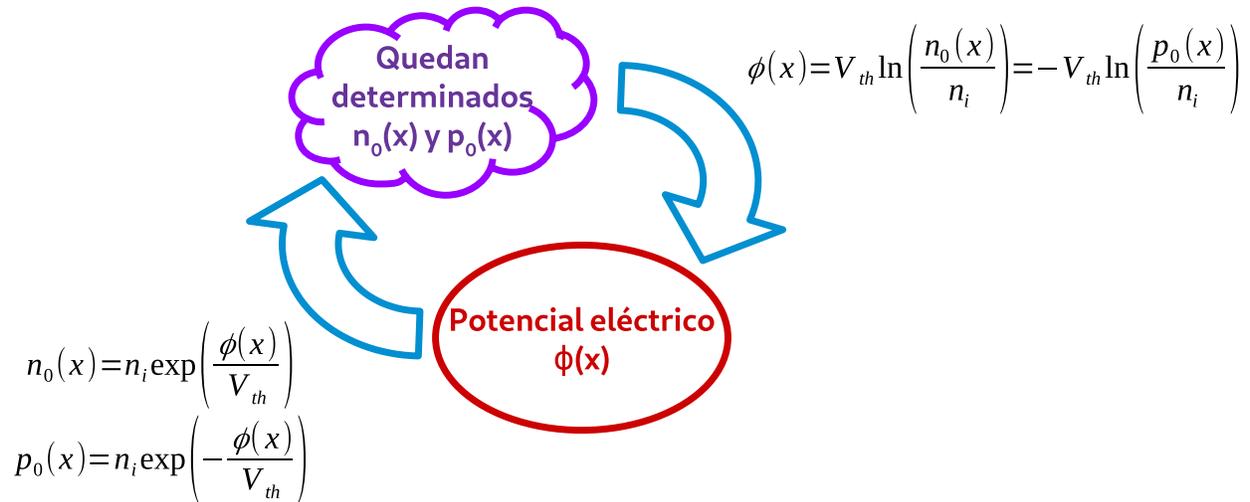
$$p_o(x) = n_i \exp \left( -\frac{\phi(x)}{kT/q} \right)$$

Podemos reescribirlo como:

$$\phi(x) = \frac{kT}{q} \ln \left( \frac{n_o(x)}{n_i} \right)$$

$$\phi(x) = -\frac{kT}{q} \ln \left( \frac{p_o(x)}{n_i} \right)$$

Conocida la función potencial en un punto  $\Rightarrow$  se conoce la densidad de dopantes y viceversa



**¡OJO!** La función potencial en un punto es un valor único. Se debe obtener el mismo resultado calculado a partir de electrones o de huecos.

**□ La regla de los “60 mV”:**

Para el Si a temperatura ambiente:

$$\phi(x) = 25,9 \text{ mV} \ln \left( \frac{n_o(x)}{n_i} \right) = 25,9 \text{ mV} \ln(10) \log \left( \frac{n_o(x)}{n_i} \right)$$

$$\phi(x) \simeq 60 \text{ mV} \log \left( \frac{n_o(x)}{10^{10} \text{ cm}^{-3}} \right)$$

Por cada década de aumento en  $n_o$ ,  $\phi$  aumenta en 60 mV a temperatura ambiente (300 K).

**• EJEMPLO 1:**

$$n_o = 10^{18} \text{ cm}^{-3} \Rightarrow \phi = 60 \text{ mV} \times 8 = 480 \text{ mV}.$$

Para los huecos:

$$\phi = -25,9 \text{ mV} \ln \left( \frac{p_o}{n_i} \right) = -25,9 \text{ mV} \ln(10) \log \left( \frac{p_o}{n_i} \right)$$

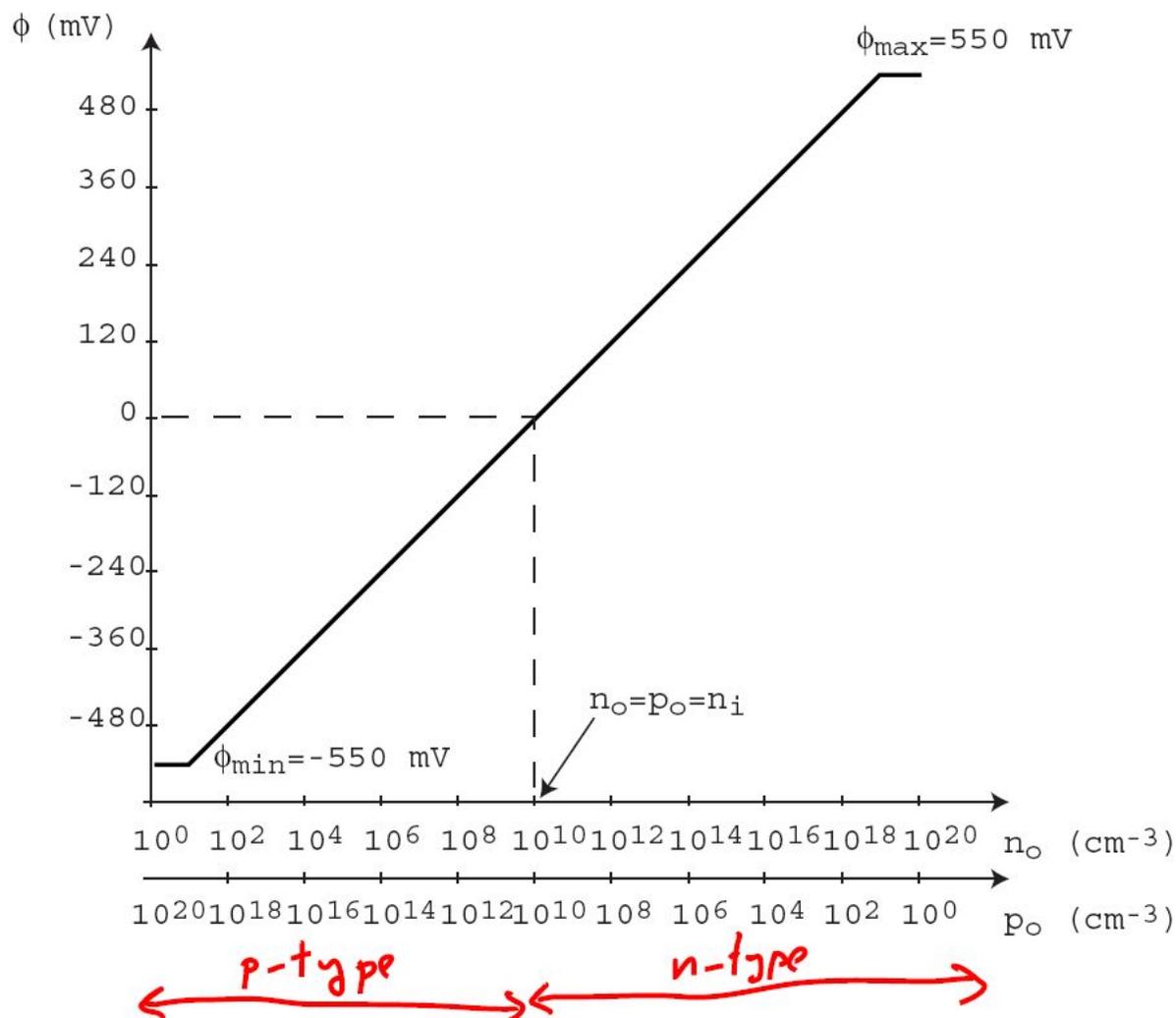
$$\phi \simeq -60 \text{ mV} \log \left( \frac{p_o}{10^{10} \text{ cm}^{-3}} \right)$$

• EJEMPLO 2:

$$n_o = 10^{18} \text{ cm}^{-3} \Rightarrow p_o = 10^2 \text{ cm}^{-3}$$

$$\Rightarrow \phi = -60 \text{ mV} \times (-8) = 480 \text{ mV}$$

Relación entre  $\phi$  y  $n_o$  y  $p_o$ :



**Nota:**  $\phi$  no puede exceder 550 mV o ser menor a -550 mV.

Dopajes muy altos modifican la red cristalina de Si alterando las propiedades semiconductoras.

- **EJEMPLO 3:** Calculemos la diferencia de potencial en equilibrio térmico entre una región donde  $n_o = 10^{17} \text{ cm}^{-3}$  y una región donde  $p_o = 10^{15} \text{ cm}^{-3}$ :

$$\phi(n_o = 10^{17} \text{ cm}^{-3}) = 60 \times 7 = 420 \text{ mV}$$

$$\phi(p_o = 10^{15} \text{ cm}^{-3}) = -60 \times 5 = -300 \text{ mV}$$

$$\phi(n_o = 10^{17} \text{ cm}^{-3}) - \phi(p_o = 10^{15} \text{ cm}^{-3}) = 720 \text{ mV}$$

- **EJEMPLO 4:** Calculemos la diferencia de potencial en equilibrio térmico entre una región donde  $n_o = 10^{20} \text{ cm}^{-3}$  y una región donde  $p_o = 10^{16} \text{ cm}^{-3}$ :

$$\phi(n_o = 10^{20} \text{ cm}^{-3}) = \phi_{max} = 550 \text{ mV}$$

$$\phi(p_o = 10^{16} \text{ cm}^{-3}) = -60 \times 6 = -360 \text{ mV}$$

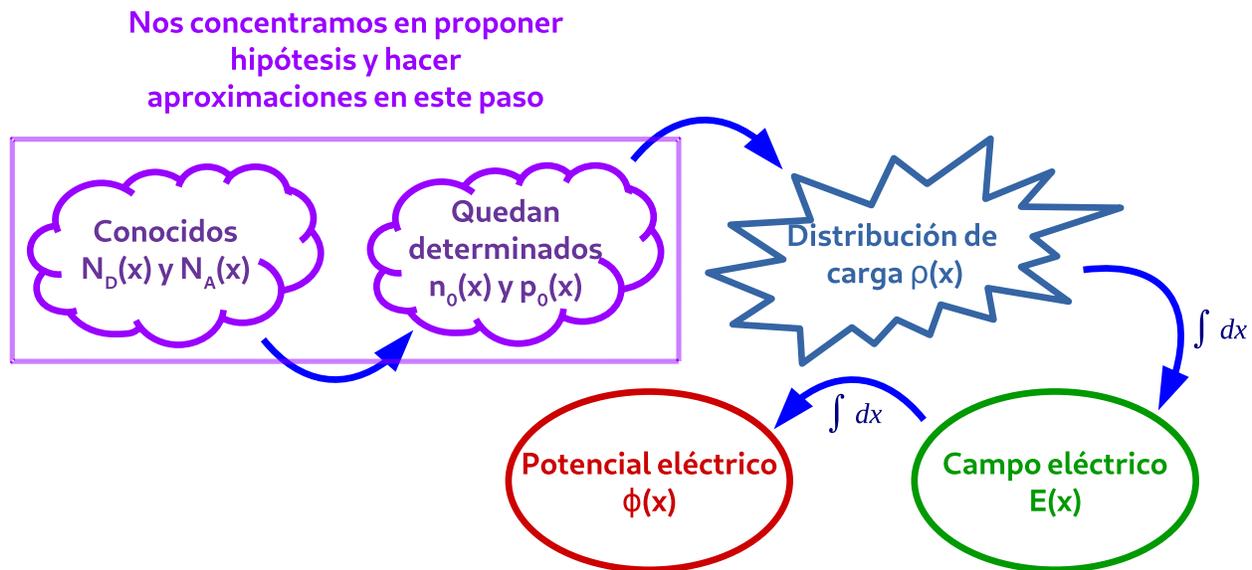
$$\phi(n_o = 10^{20} \text{ cm}^{-3}) - \phi(p_o = 10^{16} \text{ cm}^{-3}) = 910 \text{ mV}$$

## ¿Dónde nos quedamos?

$$\frac{d^2(\ln n_o(x))}{dx^2} = \frac{q^2}{\epsilon_s kT} (n_o(x) - N_d(x))$$

Dado  $N_d(x)$ , podemos resolver para  $n_o(x)$  y el resto de las incógnitas.

Pero si no hay soluciones analíticas... *¿cómo hacemos?*



Vamos a ver dos aproximaciones opuestas y muy útiles:

- Aproximación de cuasi-neutralidad
- Aproximación de vaciamiento (próxima clase)

### 3. Aproximación de cuasi-neutralidad

$$\frac{d^2(\ln n_o(x))}{dx^2} = \frac{q^2}{\epsilon_s kT} (n_o(x) - N_d(x))$$

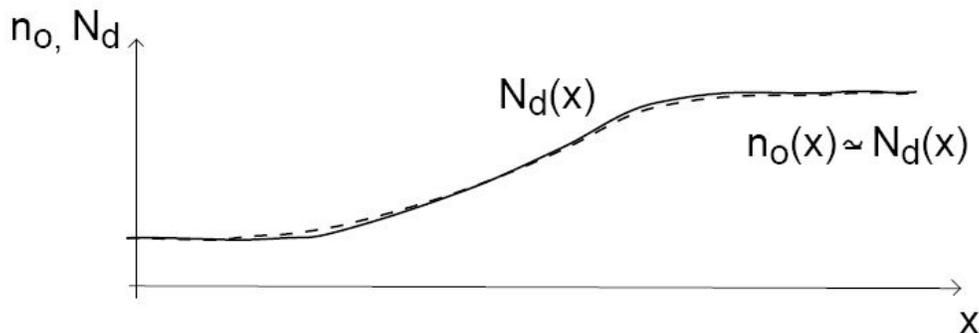
Si  $N_d(x)$  cambia lentamente con  $x$ :

$\Rightarrow n_o(x)$  también cambia lentamente con  $x$

$\Rightarrow \frac{d^2(\ln n_o)}{dx^2}$  pequeño

$\Rightarrow n_o(x) \simeq N_d(x)$

$n_o(x)$  sigue bien a  $N_d(x) \Rightarrow$  mínima carga espacial  $\Rightarrow$  el semiconductor es *cuasi-neutral*



La hipótesis de cuasi-neutralidad es válida si:

$$\left| \frac{n_o - N_d}{n_o} \right| \ll 1 \quad \text{o} \quad \left| \frac{n_o - N_d}{N_d} \right| \ll 1$$

## Conclusiones principales

- Es posible tener un campo eléctrico dentro de un semiconductor en equilibrio térmico. Esto ocurre cuando hay *dopaje no-uniforme*.
- En equilibrio térmico se puede vincular  $\phi(x)$  con la concentración de portadores a través de la *relación de Boltzmann*.
- En un perfil de dopaje que varía lentamente se puede suponer que la concentración de portadores mayoritarios sigue a la concentración de dopantes.

## Clase 5 <sup>1</sup> - Juntura PN

### JUNTURA PN EN EQUILIBRIO TÉRMICO

#### Contenido:

1. Introducción a la juntura PN
2. La Juntura PN en equilibrio térmico
3. Aproximación de vaciamiento
4. Tensiones de contacto

#### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 4, §§4.2.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 3, §§3.1–3.2.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 3, §§3.3–3.4.

---

<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesus A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras

- ¿Qué ocurre si la distribución de dopantes en un semiconductor cambia abruptamente del tipo N al tipo P?
- ¿Existe alguna descripción simple de una juntura PN en equilibrio térmico?

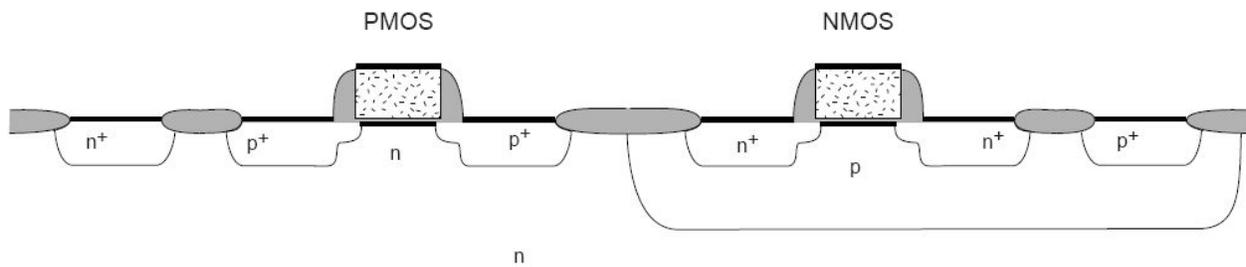
# 1. Introducción a la juntura PN

**Juntura PN:** Región P y Región N en contacto directo

*¿Por qué es importante estudiar la juntura PN?*

Está presente en *todos* los dispositivos semiconductores.

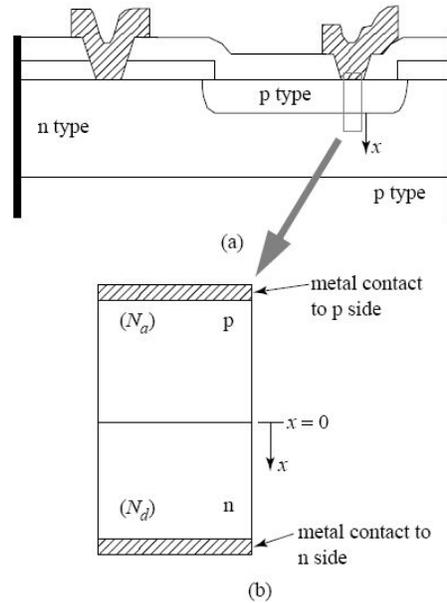
**Ejemplo:** Corte lateral de un circuito integrados CMOS



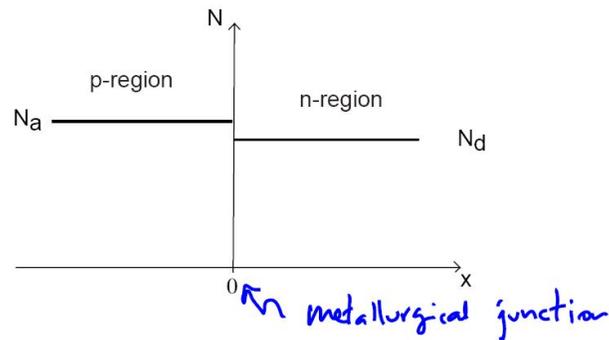
Comprender la juntura PN es esencial para entender la operación de un transistor.

## 2. La Juntura PN en equilibrio térmico

Nos centramos en la juntura:



Distribución de dopantes en una juntura PN **abrupta**:

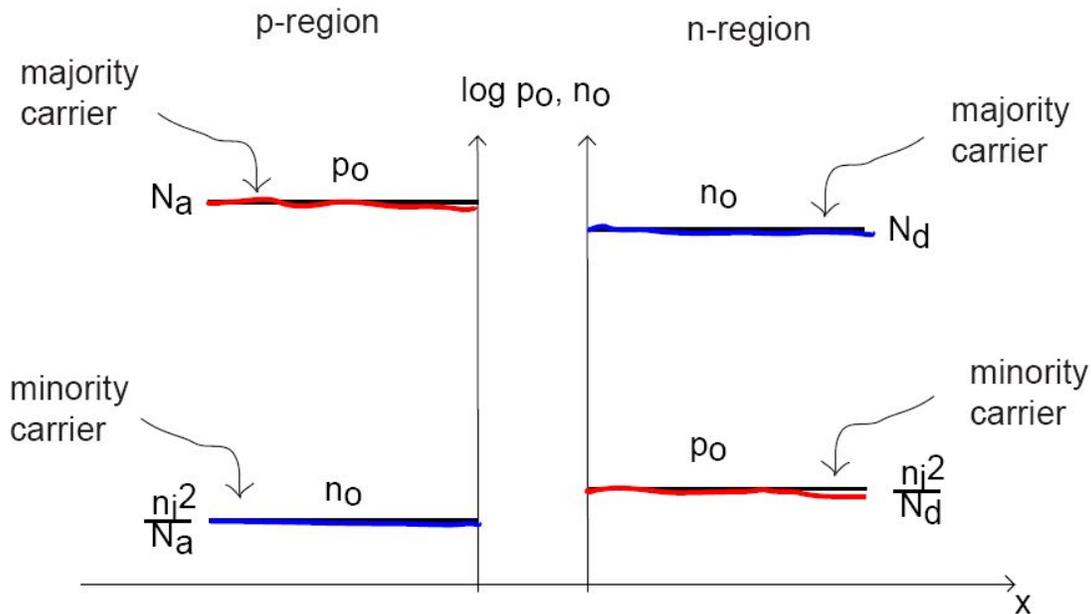


$$N_a(x) = \begin{cases} N_a & x \leq 0 \\ 0 & x > 0 \end{cases} \quad N_d(x) = \begin{cases} 0 & x \leq 0 \\ N_d & x > 0 \end{cases}$$

donde cambia el tipo de dopante ( $x = 0$ ) se denomina **Juntura Metalúrgica**

¿Cómo es la distribución de portadores en equilibrio térmico?

Primero pensemos en los dos lados por separado:

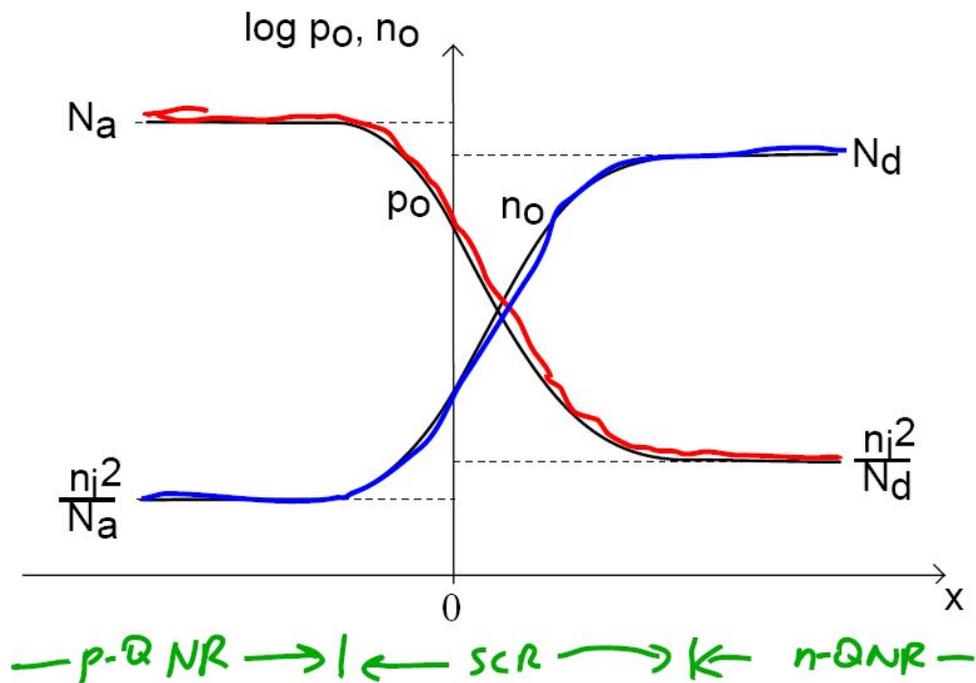


Luego los colocamos juntos. ¿Qué sucede?

- Los  $e^-$  y  $h^+$  se difunden desde donde son portadores mayoritarios hacia donde son portadores minoritarios.
- Se genera un dipolo de carga debido a los átomos de impureza ionizados.  $\Rightarrow$  Campo eléctrico
- Por acción del campo eléctrico, aparece una corriente de arrastre.
- **En equilibrio térmico:** la corriente de arrastre contrarresta la corriente de difusión.

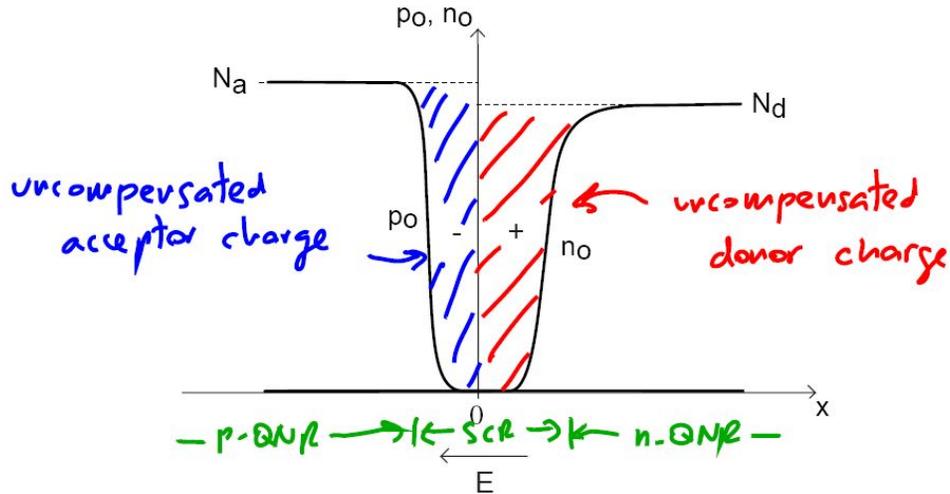
$$J_{arr}(x) = -J_{diff}(x)$$

Distribución de portadores resultante en equilibrio térmico:



- Lejos de la juntura metalúrgica “nada sucede”.
  - *Regiones cuasi-neutrales*
- Alrededor de la juntura metalúrgica: la corriente de arrastre debe cancelar a la de difusión.
  - *Región de carga espacial*

En escala lineal:



**Equilibrio Térmico:** Balance entre corrientes de arrastre y difusión

$$\begin{array}{l}
 \begin{array}{l}
 \overrightarrow{J_p^{diff}} \\
 \overleftarrow{J_p^{drift}}
 \end{array}
 \left. \vphantom{\begin{array}{l} \overrightarrow{J_p^{diff}} \\ \overleftarrow{J_p^{drift}} \end{array}} \right\} J_p = 0 \\
 \begin{array}{l}
 \overrightarrow{J_n^{diff}} \\
 \overleftarrow{J_n^{drift}}
 \end{array}
 \left. \vphantom{\begin{array}{l} \overrightarrow{J_n^{diff}} \\ \overleftarrow{J_n^{drift}} \end{array}} \right\} J_n = 0 \\
 \left. \vphantom{\begin{array}{l} J_p = 0 \\ J_n = 0 \end{array}} \right\} J = 0 \text{ e } \\
 \text{every } x
 \end{array}$$

Podemos dividir al semiconductor en tres regiones:

- Dos regiones P y N cuasi-neutrales (QNR's)
- Una región con carga espacial (SCR)

Queremos determinar  $n_o(x)$ ,  $p_o(x)$ ,  $\rho(x)$ ,  $E(x)$  y  $\phi(x)$ .

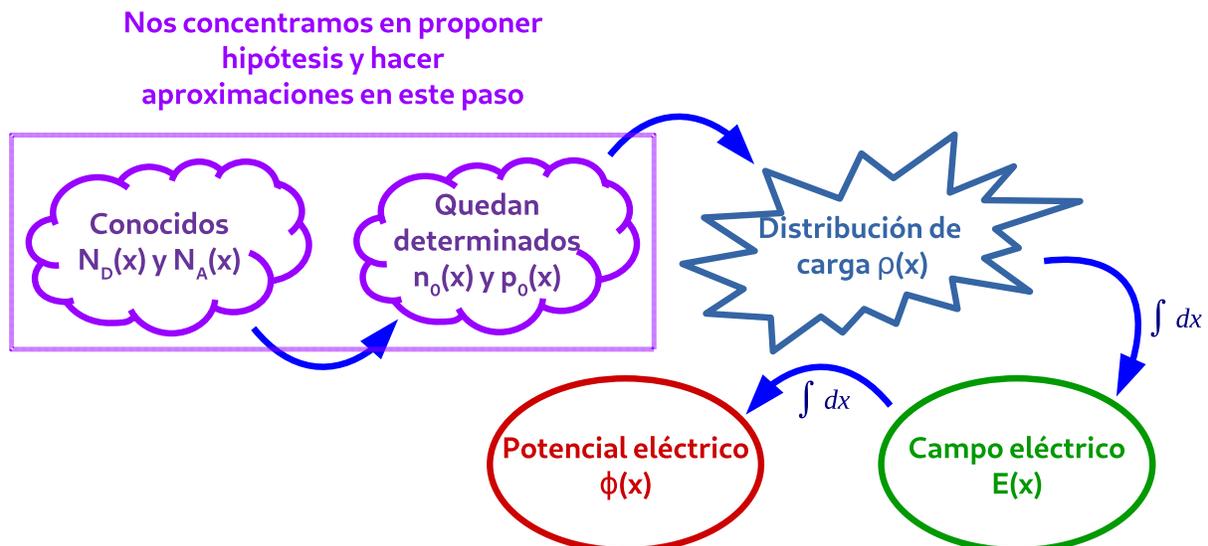
**¿Cómo determinamos  $\rho(x)$ ,  $E(x)$  y  $\phi(x)$  si no conocemos  $n_o(x)$ ,  $p_o(x)$  en todo  $x$ ?**

Recordemos que la relación entre  $n_o(x)$  y  $p_o(x)$  con  $N_d(x)$  y  $N_a(x)$  es una ecuación diferencial sin solución analítica...

$$\frac{d^2(\ln n_o(x))}{dx^2} = \frac{q^2}{\epsilon_s kT} (n_o(x) + N_a(x) - N_d(x))$$

$$\frac{d^2(\ln p_o(x))}{dx^2} = \frac{q^2}{\epsilon_s kT} (p_o(x) + N_d(x) - N_a(x))$$

Para obtener  $n_o(x)$ ,  $p_o(x)$ ,  $\rho(x)$ ,  $E(x)$  y  $\phi(x)$  vamos a utilizar una aproximación simple y poderosa...



### 3. Aproximación de Vaciamiento

- Suponemos que las QNR's tienen neutralidad de carga

$$- \text{P-QNR: } \rho(x) = q(N_d + p_o - N_a - n_o) \simeq 0$$

$$\Rightarrow p_o = N_a - \underbrace{N_d}_{=0} + \underbrace{n_o}_{\ll N_a}$$

$$\Rightarrow p_o \simeq N_a$$

$$- \text{N-QNR: } \rho(x) = q(N_d + p_o - N_a - n_o) \simeq 0$$

$$\Rightarrow n_o = N_d - \underbrace{N_a}_{=0} + \underbrace{p_o}_{\ll N_d}$$

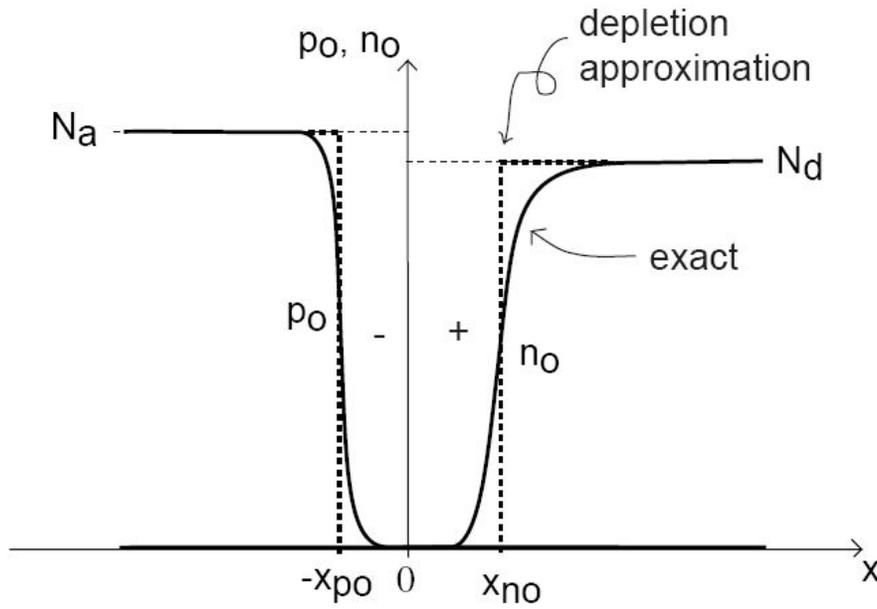
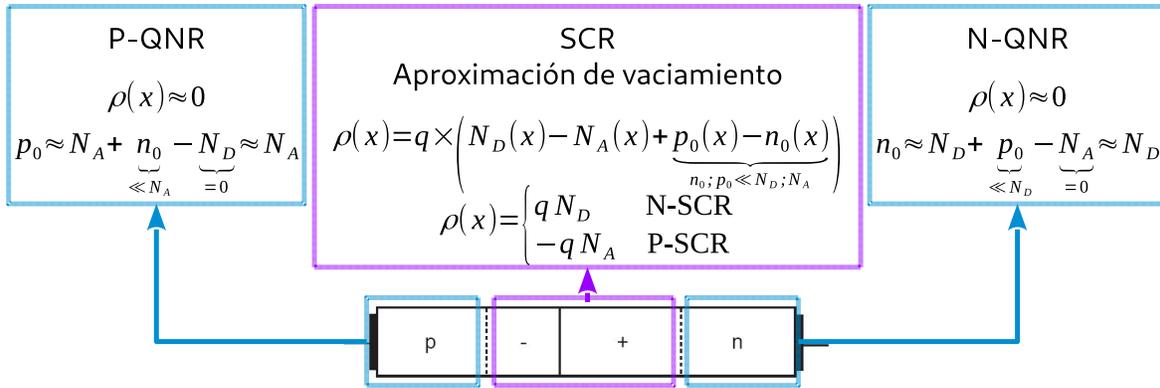
$$\Rightarrow n_o \simeq N_d$$

- Suponemos que las SCR están “vacías” de portadores (*región de vaciamiento*)

$$- \text{P-SCR: } \{n_o; p_o\} \ll N_a$$

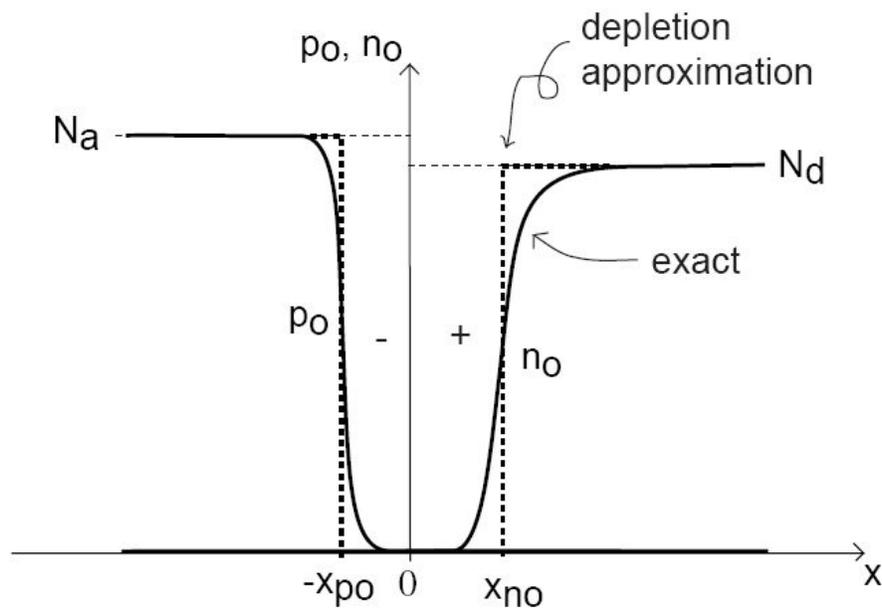
$$- \text{N-SCR: } \{n_o; p_o\} \ll N_d$$

- Transición entre SCR y QNR's abrupta (debemos calcular donde colocar  $x_{po}$  y  $x_{no}$ )



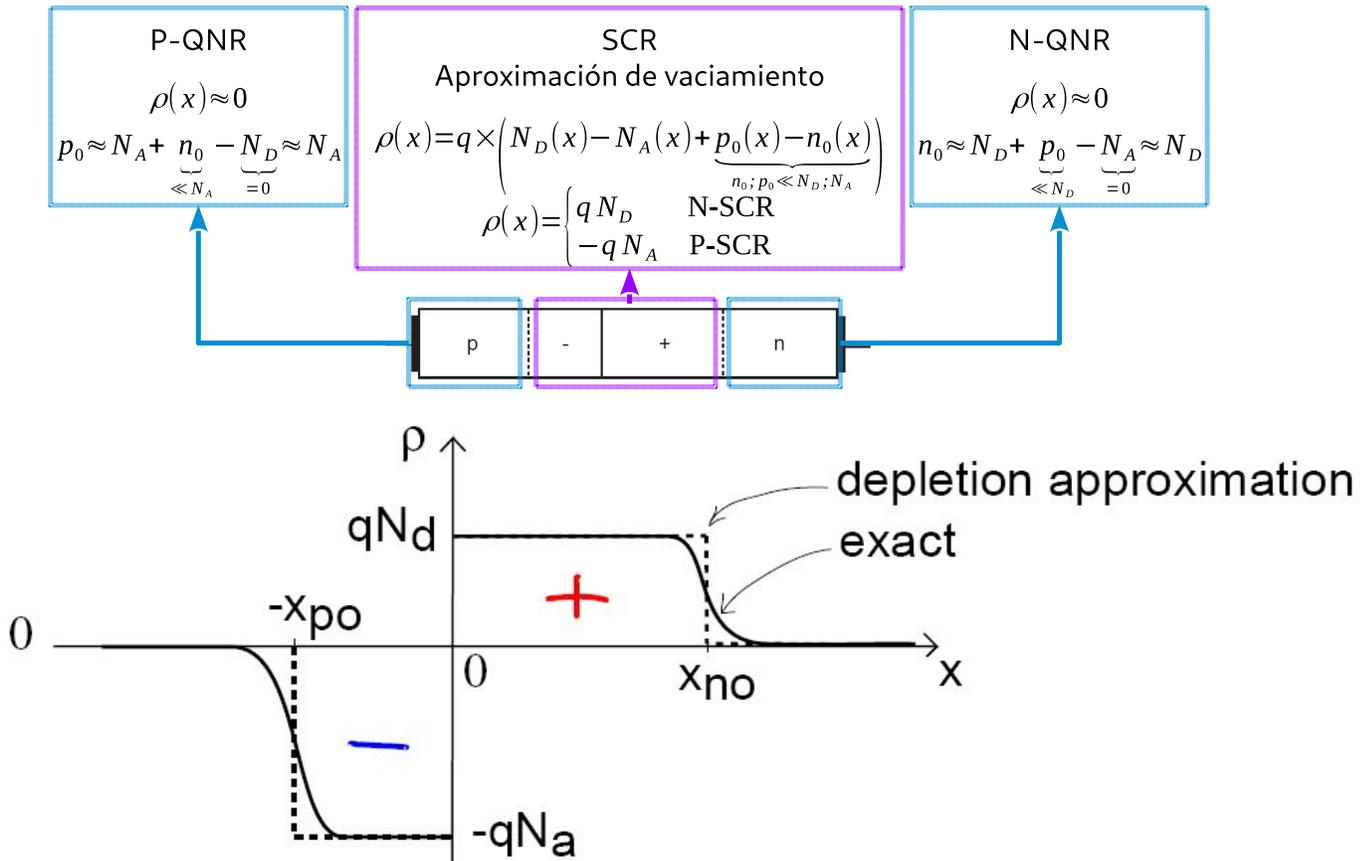
$$\{p_o(x); n_o(x)\} = \begin{cases} \left\{ N_a; \frac{n_i^2}{N_a} \right\} & x \leq -x_{po} \\ \frac{n_i^2}{N_d} < \{p_o(x); n_o(x)\} \ll N_a & -x_{po} < x \leq 0 \\ \frac{n_i^2}{N_d} < \{p_o(x); n_o(x)\} \ll N_d & 0 < x \leq x_{no} \\ \left\{ \frac{n_i^2}{N_d}; N_d \right\} & x_{no} < x \end{cases}$$

Teniendo en cuenta la aproximación de vaciamiento:



$$n_o(x) = \begin{cases} \sim 0 & x \leq -x_{po} \\ \sim 0 & -x_{po} < x \leq 0 \\ \sim 0 & 0 < x \leq x_{no} \\ N_d & x_{no} < x \end{cases} \quad p_o(x) = \begin{cases} N_a & x \leq -x_{po} \\ \sim 0 & -x_{po} < x \leq 0 \\ \sim 0 & 0 < x \leq x_{no} \\ \sim 0 & x_{no} < x \end{cases}$$

● DENSIDAD DE CARGA ESPACIAL



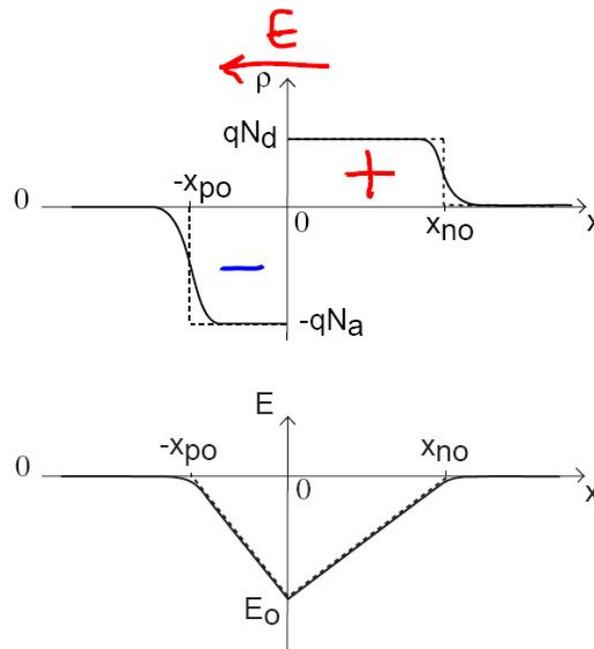
$$\rho(x) = q(N_d + p_o - N_a - n_o)$$

$$\rho(x) = \begin{cases} 0 & x \leq -x_{po} \\ -q N_a & -x_{po} < x \leq 0 \\ q N_d & 0 < x \leq x_{no} \\ 0 & x_{no} < x \end{cases}$$

## ● CAMPO ELÉCTRICO

Integramos la ecuación de Gauss:

$$E(x_2) - E(x_1) = \frac{1}{\epsilon_s} \int_{x_1}^{x_2} \rho(x) dx$$



En particular para  $-x_{po} < x \leq 0$ :

$$E(x) - \underbrace{E(-x_{po})}_{=0} = \frac{1}{\epsilon_s} \int_{-x_{po}}^x -qN_a dx = -\frac{qN_a}{\epsilon_s} x \Big|_{-x_{po}}^x = -\frac{qN_a}{\epsilon_s} (x + x_{po})$$

$$E(x) = \begin{cases} 0 & x \leq -x_{po} \\ -\frac{qN_a}{\epsilon_s} (x + x_{po}) & -x_{po} < x \leq 0 \\ \frac{qN_d}{\epsilon_s} (x - x_{no}) & 0 < x \leq x_{no} \\ 0 & x_{no} < x \end{cases}$$

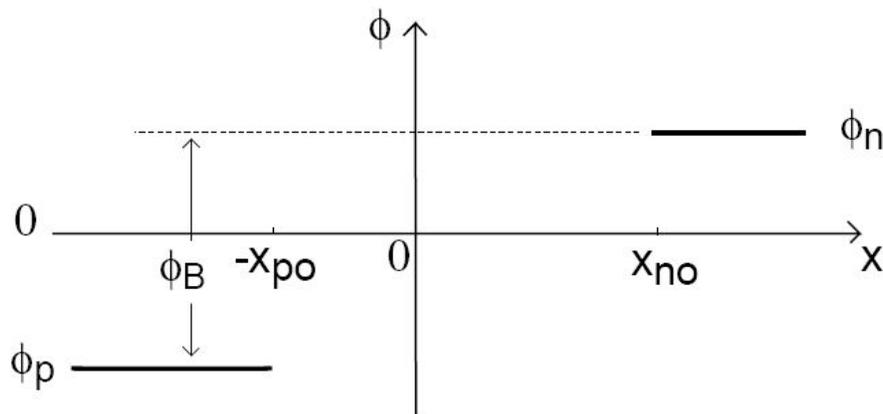
- FUNCIÓN POTENCIAL EN EQUILIBRIO TÉRMICO  
(definiendo  $\phi = 0$  @  $n_o = p_o = n_i$ ):

$$\phi = \frac{kT}{q} \ln \left( \frac{n_o}{n_i} \right) \quad \phi = -\frac{kT}{q} \ln \left( \frac{p_o}{n_i} \right)$$

En las regiones QNR's conocemos  $n_o$ ,  $p_o \Rightarrow$  podemos determinar  $\phi$ :

$$\text{en QNR-P: } p_o = N_a \Rightarrow \phi_p = -\frac{kT}{q} \ln \left( \frac{N_a}{n_i} \right)$$

$$\text{en QNR-N: } n_o = N_d \Rightarrow \phi_n = \frac{kT}{q} \ln \left( \frac{N_d}{n_i} \right)$$



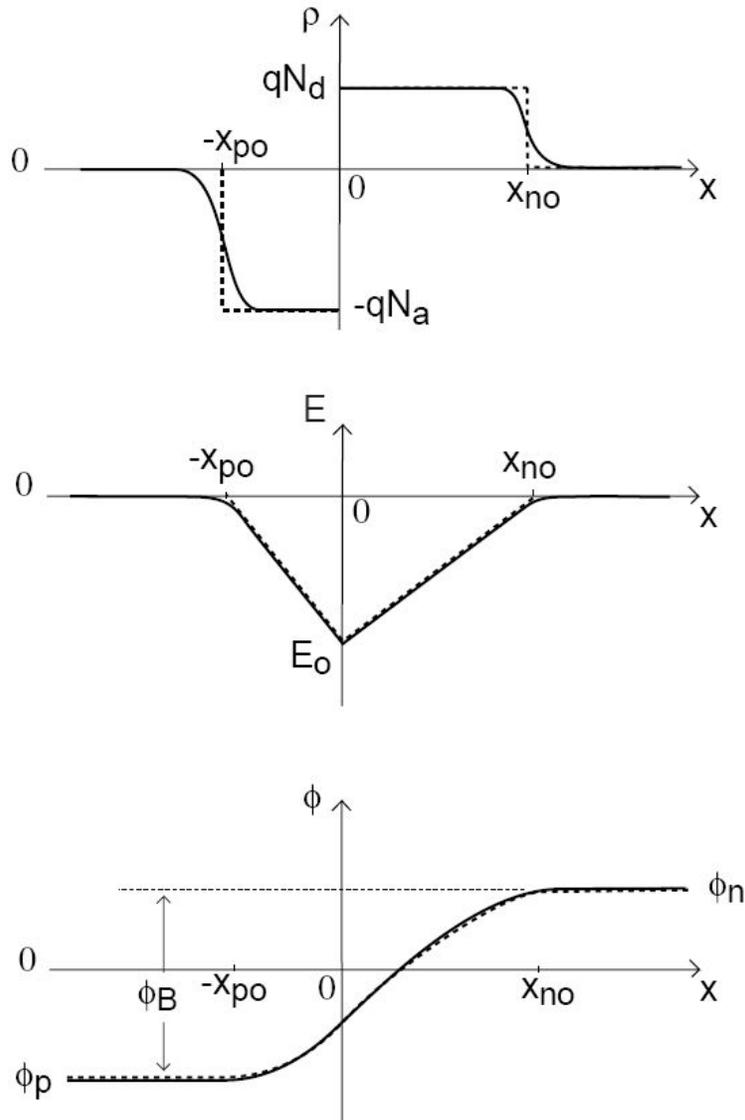
Diferencia de potencial de juntura<sup>2</sup> (o tensión de juntura):

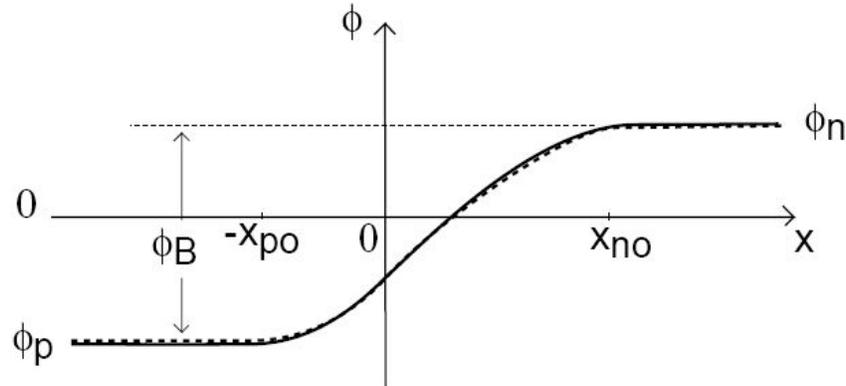
$$\phi_B = \phi_n - \phi_p = \frac{kT}{q} \ln \left( \frac{N_a N_d}{n_i^2} \right)$$

<sup>2</sup>**Importante:** esta es una expresión general, para la cual no se empleó la aproximación de vaciamiento.

Para obtener  $\phi(x)$  integramos  $E(x)$ :

$$\phi(x_2) - \phi(x_1) = - \int_{x_1}^{x_2} E(x) dx$$





En particular para  $-x_{po} < x \leq 0$ :

$$\phi(x) - \underbrace{\phi(-x_{po})}_{=\phi_p} = - \int_{-x_{po}}^x -\frac{q N_a}{\epsilon_s} (x + x_{po}) dx = \frac{q N_a}{2\epsilon_s} (x + x_{po})^2$$

$$\phi(x) = \begin{cases} \phi_p & x \leq -x_{po} \\ \phi_p + \frac{q N_a}{2\epsilon_s} (x + x_{po})^2 & -x_{po} < x \leq 0 \\ \phi_n - \frac{q N_d}{2\epsilon_s} (x - x_{no})^2 & 0 < x \leq x_{no} \\ \phi_n & x_{no} < x \end{cases}$$

El trabajo está casi concluido...

Aún no conocemos  $x_{no}$  y  $x_{po} \Rightarrow$  necesitamos dos ecuaciones adicionales

1. Pedimos neutralidad global de carga eléctrica:

$$q N_a x_{po} = q N_d x_{no}$$

2. Pedimos que  $\phi(x)$  sea continua en  $x = 0$ :

$$\phi_p + \frac{qN_a}{2\epsilon_s} x_{po}^2 = \phi_n - \frac{qN_d}{2\epsilon_s} x_{no}^2$$

Dos ecuaciones con dos incógnitas. Solución:

$$x_{no} = \sqrt{\frac{2\epsilon_s \phi_B N_a}{q(N_a + N_d)N_d}} \quad x_{po} = \sqrt{\frac{2\epsilon_s \phi_B N_d}{q(N_a + N_d)N_a}}$$

Ahora el problema está completamente resuelto.

## Otros resultados

Ancho total de la región de carga espacial:

$$x_{do} = x_{no} + x_{po} = \sqrt{\frac{2\epsilon_s\phi_B(N_a + N_d)}{qN_aN_d}}$$

Campo eléctrico en la juntura metalúrgica:

$$|E_o| = \sqrt{\frac{2q\phi_B N_a N_d}{\epsilon_s(N_a + N_d)}}$$

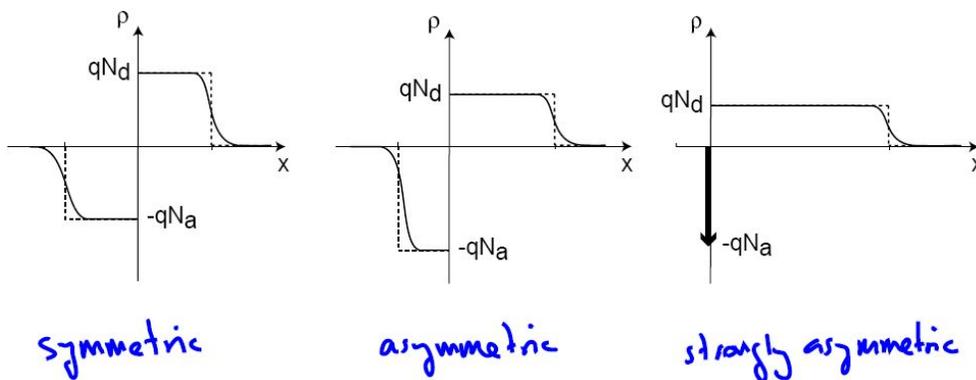
Tres casos de interés:

- Juntura simétrica:  $N_a = N_d \Rightarrow x_{po} = x_{no}$
- Juntura asimétrica:  $N_a > N_d \Rightarrow x_{po} < x_{no}$
- Juntura muy asimétrica:  
ej. p<sup>+</sup>n juntura:  $N_a \gg N_d$

$$x_{po} \ll x_{no} \simeq x_{do} \simeq \sqrt{\frac{2\epsilon_s \phi_B}{qN_d}} \propto \frac{1}{\sqrt{N_d}}$$

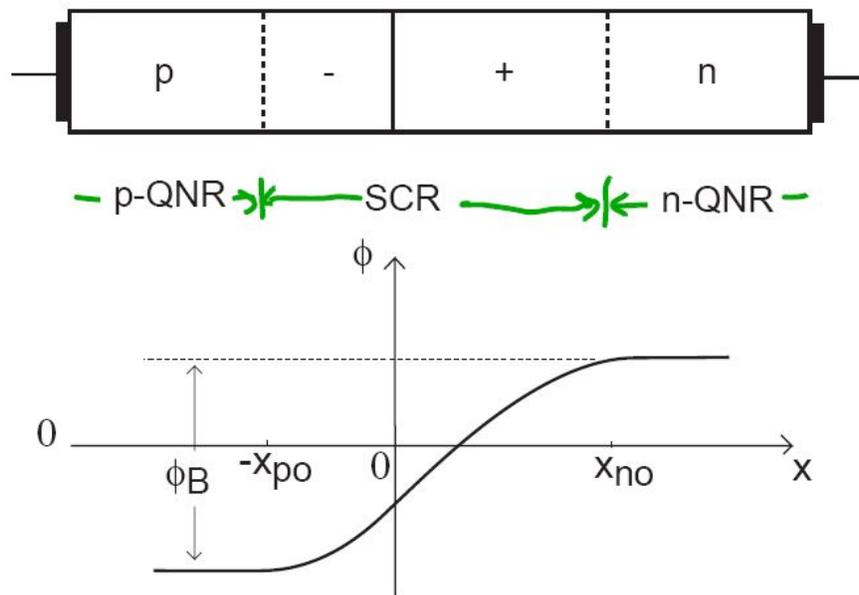
$$|E_o| \simeq \sqrt{\frac{2q\phi_B N_d}{\epsilon_s}} \propto \sqrt{N_d}$$

El lado poco dopado determina como varían las funciones  $E$  y  $\phi$  de la juntura PN.



## 4. Tensiones de contacto

La distribución de la función potencial hasta aquí es:



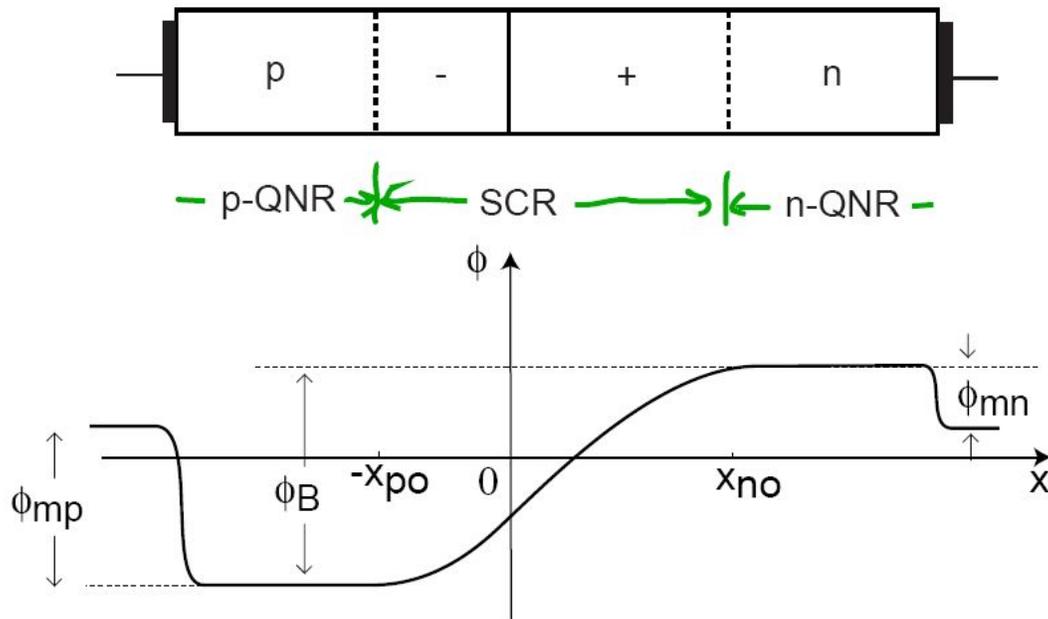
Pregunta 1: *Si coloco un voltímetro entre los contactos, ¿puedo medir  $\phi_B$ ?*

- Si       No       Depende

Pregunta 2: *Si cortocircuito los contactos con un cable, ¿circula corriente a través del mismo?*

- Si       No       A veces

Nos estamos olvidando de *la tensión de contacto* en las junturas metal-semiconductor:



Juntura metal-semiconductor: unión de materiales distintos

$\Rightarrow$  tensiones de juntura:  $\phi_{mn}$ ,  $\phi_{mp}$

La diferencia de potencial a lo largo de la estructura debe ser cero

$\Rightarrow$  NO se puede medir  $\phi_B$  de forma directa.

$$\phi_B = \phi_{mn} + \phi_{mp}$$

## Conclusiones principales

- La juntura PN en equilibrio térmico:
  - una *Región de carga espacial*
  - rodeada por dos *Regiones cuasi-neutrales*

⇒ aparece una  $\phi_B$  en una juntura PN
- A primer orden, las concentraciones de portadores en las regiones de carga espacial son mucho menores que el nivel de dopaje  
⇒ *Aproximación de vaciamiento.*
- Tensión de contacto en las juntas metal-semiconductor:  
⇒ entre los contactos metálicos de una juntura PN en equilibrio térmico la diferencia de potencial es cero.

## Clase 6<sup>1</sup> - Juntura PN

### JUNTURA PN CON POLARIZACIÓN APLICADA

#### Contenido:

1. La juntura PN con polarización aplicada
2. Capacidad de juntura
3. Corriente a través de la juntura

#### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 4, §§4.3.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 3, §§3.1–3.2.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 3, §§3.5–3.6.

---

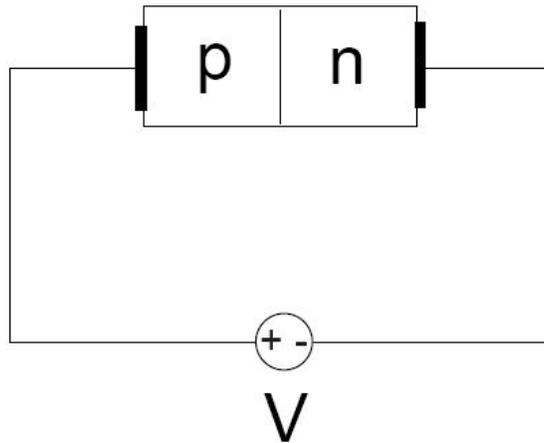
<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras

- ¿Qué ocurre con la juntura PN si se aplica una tensión entre sus terminales?
- ¿Por qué una juntura PN se comporta en cierto modo como un capacitor?

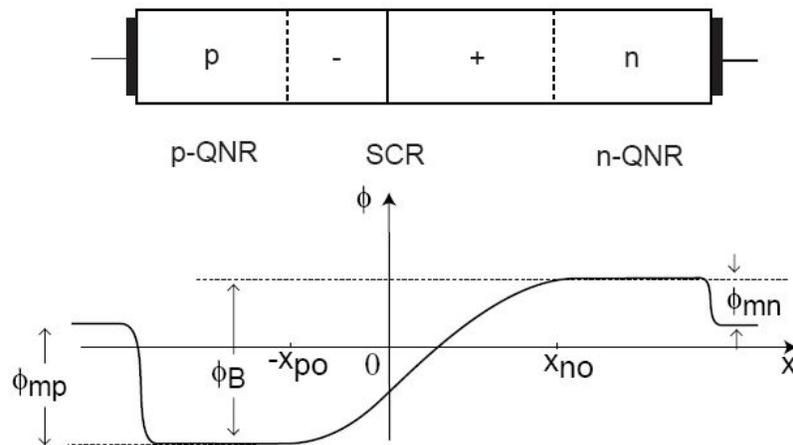
# 1. La juntura PN con polarización aplicada

Convención de signos para la tensión de polarización de la juntura PN:

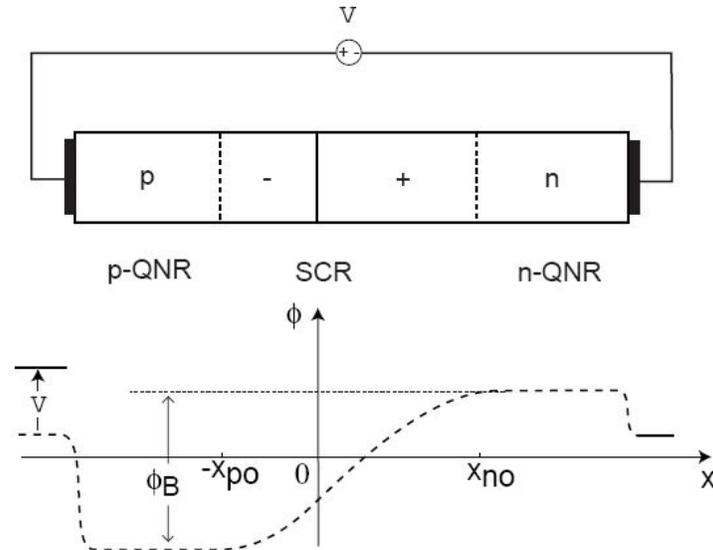


- $V = V_{PN} > 0$  polarización directa, *forward* bias
- $V = V_{PN} < 0$  polarización inversa, *reverse* bias

- Distribución de la función potencial en una juntura PN en equilibrio térmico:

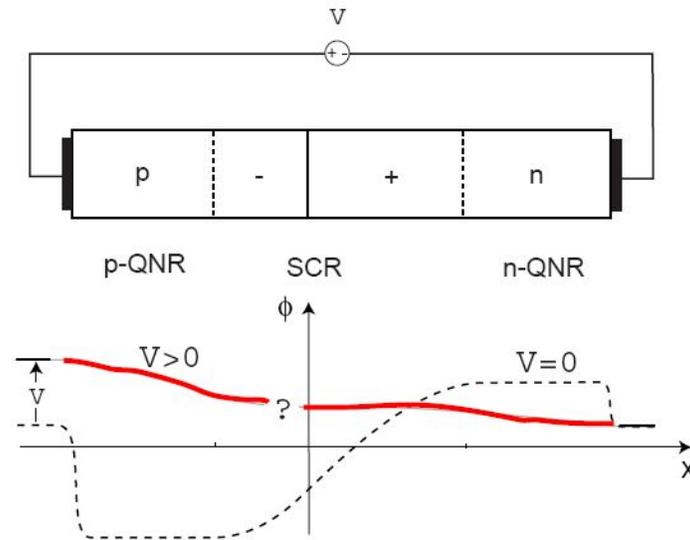


- Aplicamos una diferencia de potencial entre los lados P y N:



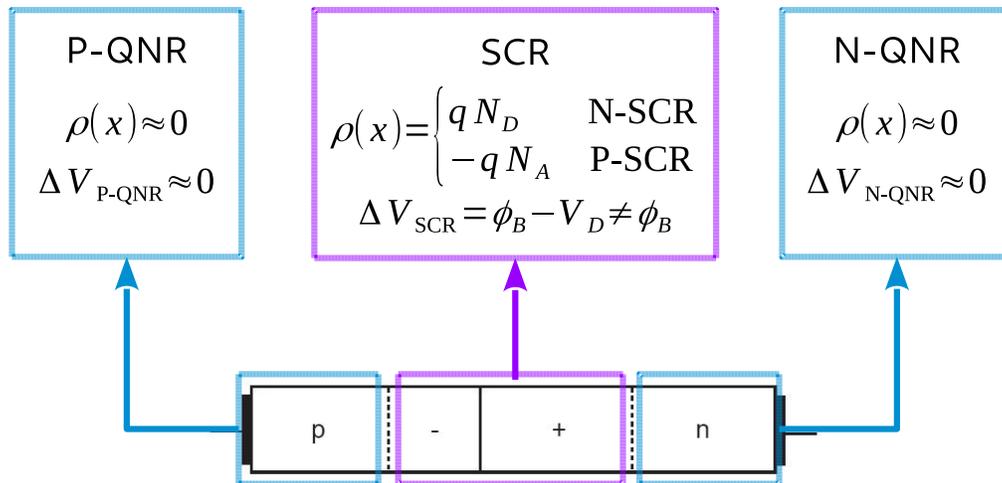
La fuente de tensión impone una diferencia de potencial a lo largo de la juntura.

¿Cómo se modifica la distribución de potencial dentro de la juntura como resultado de la polarización aplicada?



¿En qué región se produce la mayor caída del potencial externo  $V_{PN}$  aplicado?

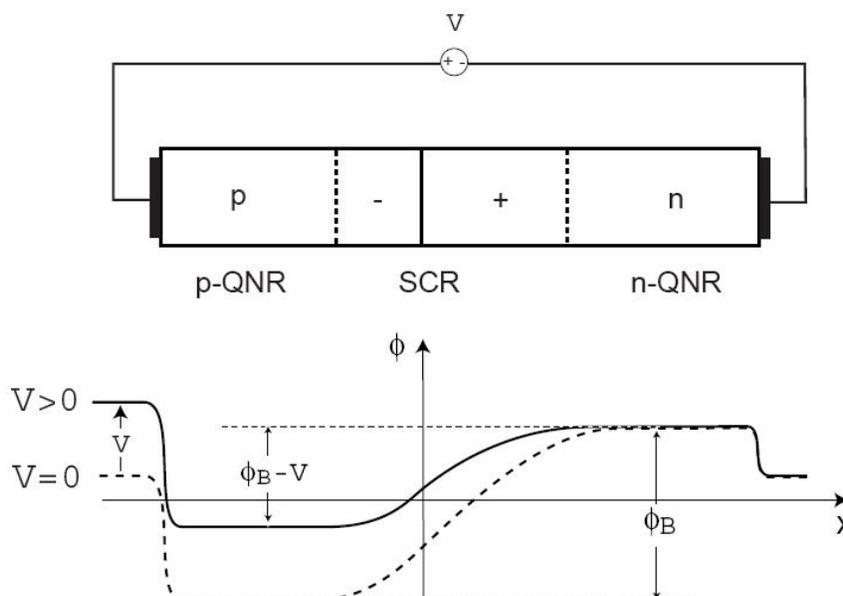
¿Cómo se distribuye la diferencia de potencial  $V_{PN}$  a lo largo del diodo?



Hay cinco regiones donde  $V_{PN}$  puede caer:

- ¿contacto metal/p-QNR?
- ¿contacto metal/n-QNR?
  - La tensión de los contactos depende de los materiales y no se afecta significativamente por la tensión aplicada
- ¿p-QNR?
  - $\rho(x) = 0 \Rightarrow \Delta V_{P-QNR} \simeq 0$
- ¿n-QNR?
  - $\rho(x) = 0 \Rightarrow \Delta V_{N-QNR} \simeq 0$
- ¿zona desierta (SCR)?

La tensión externa aplicada cae en la zona desierta (SCR):



Al aplicar una tensión, ya no estamos en una situación de equilibrio térmico.

Se modifica la diferencia de potencial entre los los bordes de la zona desierta:

- Para  $V_{PN} > 0$ , se eleva la tensión del lado P respecto del N.  
 $\Rightarrow \phi_n - (\phi_p + |V_{PN}|) = \phi_B - |V_{PN}| < \phi_B$
- Para  $V_{PN} < 0$ , se baja la tensión del lado P respecto del N.  
 $\Rightarrow \phi_n - (\phi_p - |V_{PN}|) = \phi_B + |V_{PN}| > \phi_B$

Por lo tanto, podemos diferenciar tres casos:

- en equilibrio:  $\phi_B$
- en polarización directa:  $\phi_B - V_{PN} < \phi_B$
- en polarización inversa:  $\phi_B - V_{PN} > \phi_B$

¿Y qué le ocurre con  $\rho(x)$ ,  $E(x)$  y  $\phi(x)$  en la región SCR?

Si se modifica la diferencia de potencial en la SCR

$\Rightarrow$  se modifica el campo eléctrico en la SCR

$\Rightarrow$  se modifica el el dipolo de carga en la SCR

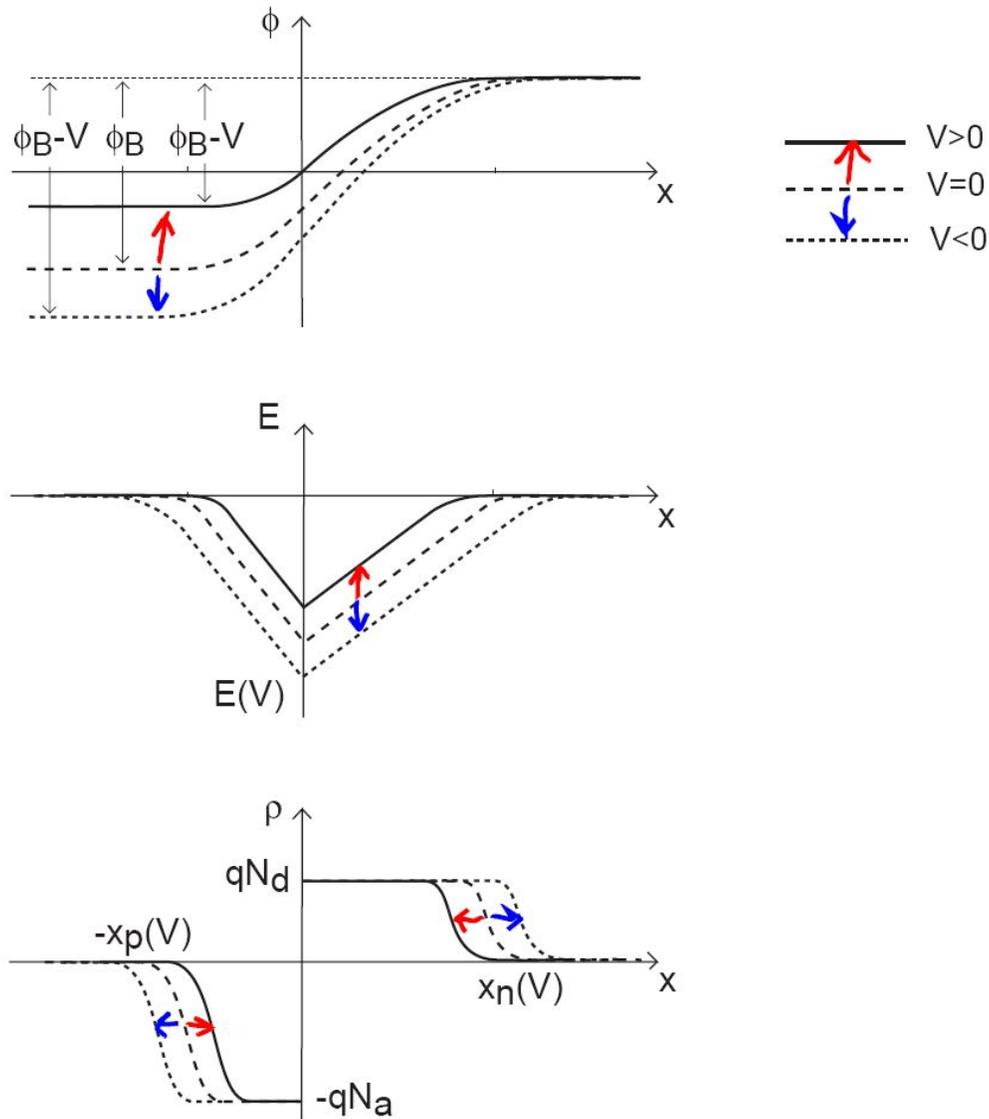
Pero... si la **densidad de carga** ( $\rho(x)$ ) **es constante** de cada lado de la juntura porque la densidad de impurezas ( $N_d(x)$  y  $N_a(x)$ ) no cambia,

¿Cómo es que se modifica el dipolo de carga?

## CAMBIAN LOS LÍMITES DE LA SCR

( $x_{no}$  y  $x_{po}$ )

- *en directa*:  $\Delta V_{SCR} \downarrow \Rightarrow |E| \downarrow \Rightarrow x_d \downarrow$
- *en inversa*:  $\Delta V_{SCR} \uparrow \Rightarrow |E| \uparrow \Rightarrow x_d \uparrow$



Esencialmente,

- El comportamiento de la juntura PN polarizada no se modifica cualitativamente respecto al equilibrio térmico.
- Se modifica el dipolo de carga en la zona desierta (SCR) de modo de compensar el potencial forzado externamente.

Consecuencia importante:

- La formulación analítica de la juntura PN polarizada es idéntica a la del equilibrio térmico, pero considerando:

$$\phi_B \longrightarrow \phi_B - V_{PN}$$

Luego, utilizando la aproximación de vaciamiento:

$$x_n(V_{PN}) = \sqrt{\frac{2\epsilon_s(\phi_B - V_{PN})N_a}{q(N_a + N_d)N_d}} \quad x_p(V_{PN}) = \sqrt{\frac{2\epsilon_s(\phi_B - V_{PN})N_d}{q(N_a + N_d)N_a}}$$

$$x_d(V_{PN}) = \sqrt{\frac{2\epsilon_s(\phi_B - V_{PN})(N_a + N_d)}{qN_aN_d}}$$

$$|E|(V_{PN}) = \sqrt{\frac{2q(\phi_B - V_{PN})N_aN_d}{\epsilon_s(N_a + N_d)}}$$

Todo puede ser reescrito como:

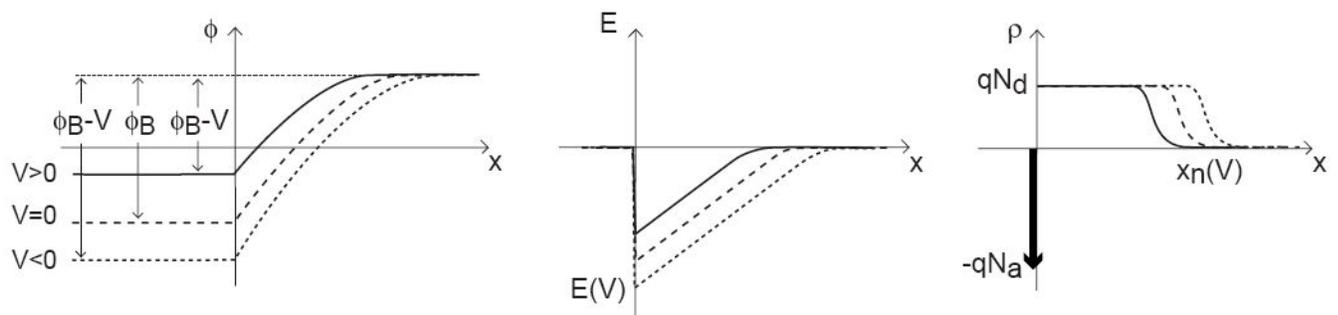
$$x_n(V_{PN}) = x_{no} \sqrt{1 - \frac{V_{PN}}{\phi_B}}$$

$$x_p(V_{PN}) = x_{po} \sqrt{1 - \frac{V_{PN}}{\phi_B}}$$

$$x_d(V_{PN}) = x_{do} \sqrt{1 - \frac{V_{PN}}{\phi_B}}$$

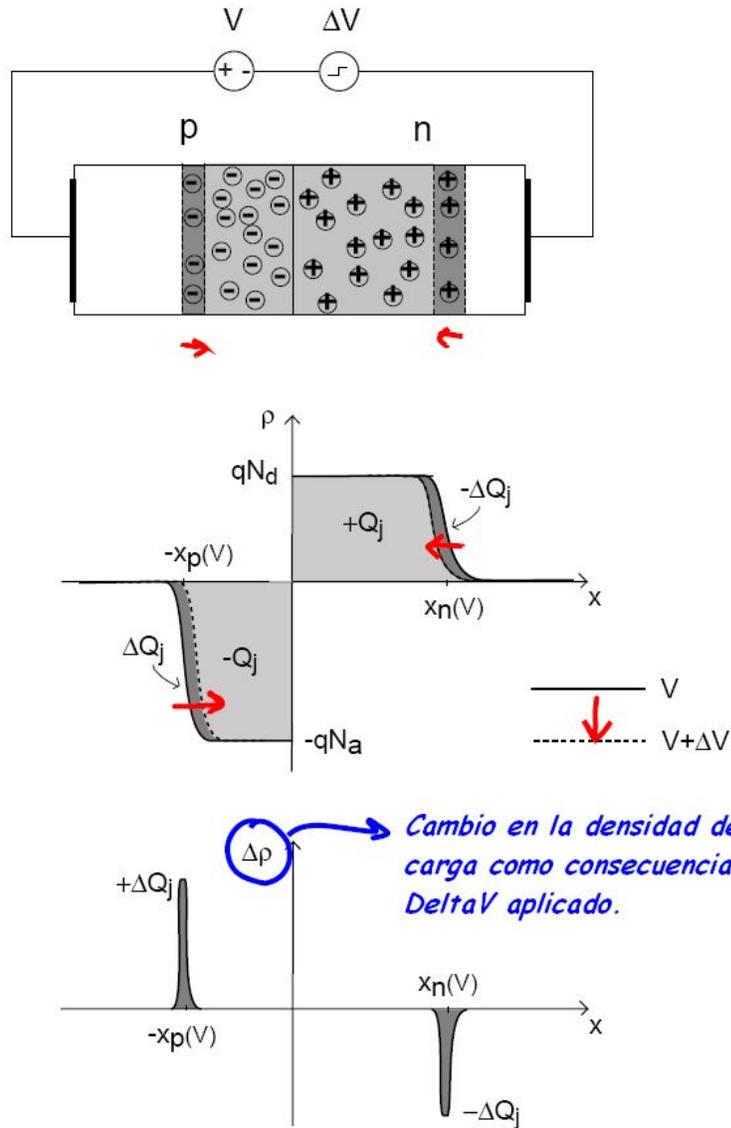
$$|E|(V_{PN}) = |E_o| \sqrt{1 - \frac{V_{PN}}{\phi_B}}$$

En una juntura fuertemente asimétrica, todos los cambios tienen lugar en el lado menos dopado:



## 2. Capacitancia de juntura

Aplicamos una *variación de tensión* que se suma a la polarización:

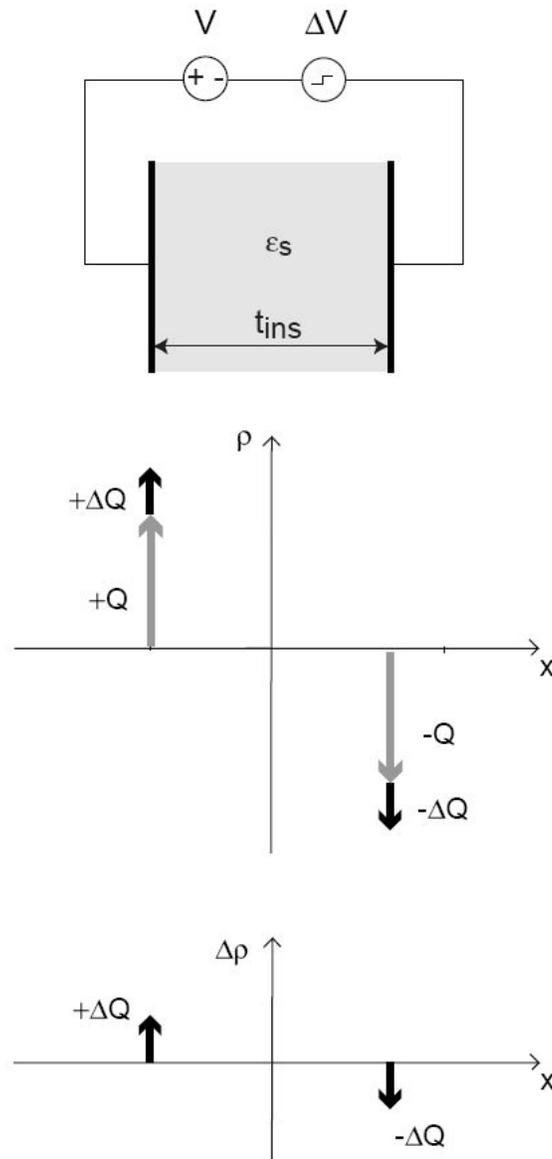


Se produce un cambio en  $\Delta V$  entre los lados de la juntura:

$\Rightarrow$  Cambio de  $\Delta Q_j$  en  $-x_p$

$\Rightarrow$  Cambio de  $-\Delta Q_j$  en  $x_n$

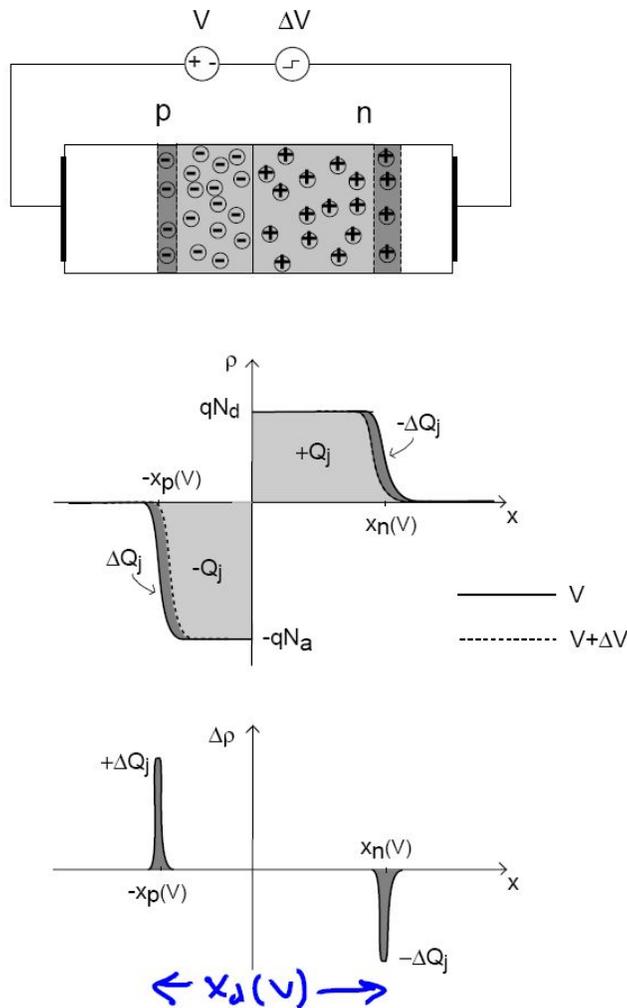
Se parece a un capacitor de placas planas paralelas:



Capacitancia por unidad de área:

$$C' = \frac{\epsilon_s}{t_{ins}}$$

Aplicando el modelo del capacitor plano paralelo a la juntura PN se tiene:



Capacitancia de Juntura (*Depletion Capacitance*) por unidad de área (usando aprox. de vacimiento):

$$C'_j(V_{PN}) = \frac{\epsilon_s}{x_d(V_{PN})} = \sqrt{\frac{q\epsilon_s N_a N_d}{2(\phi_B - V_{PN})(N_a + N_d)}} = \frac{C'_{jo}}{\sqrt{1 - \frac{V_{PN}}{\phi_B}}}$$

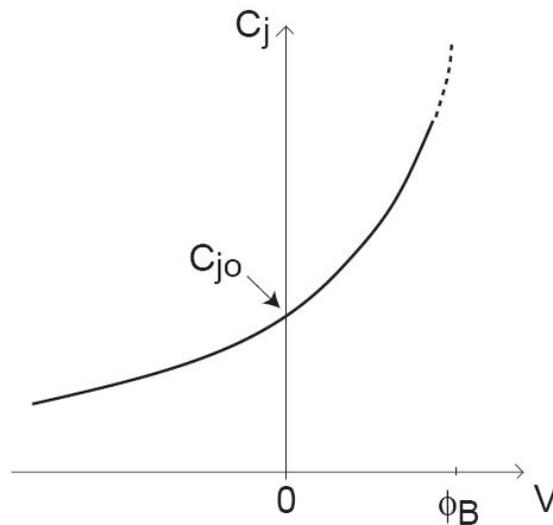
$$C'_j(V_{PN}) = \frac{\epsilon_s}{x_d(V_{PN})} = \sqrt{\frac{q\epsilon_s N_a N_d}{2(\phi_B - V_{PN})(N_a + N_d)}} = \frac{C'_{jo}}{\sqrt{1 - \frac{V_{PN}}{\phi_B}}}$$

Conociendo el área  $A$  de la juntura, la capacidad es:

$$C_j(V_{PN}) = A \cdot C'_j(V_{PN})$$

Principales dependencias de  $C_j$ :

- $C_j$  depende de la tensión de polarización aplicada (porque  $x_d$  depende)



- $C_j$  depende del dopaje:  $N_a, N_d \uparrow \Rightarrow C_j \uparrow$

- $C_j$  es proporcional al área ( $A$ ) de la juntura.
- En una juntura muy asimétrica (ej. juntura  $p^+n$ ):

$$C'_j(V_{PN}) \simeq \sqrt{\frac{q\epsilon_s N_d}{2(\phi_B - V_{PN})}}$$

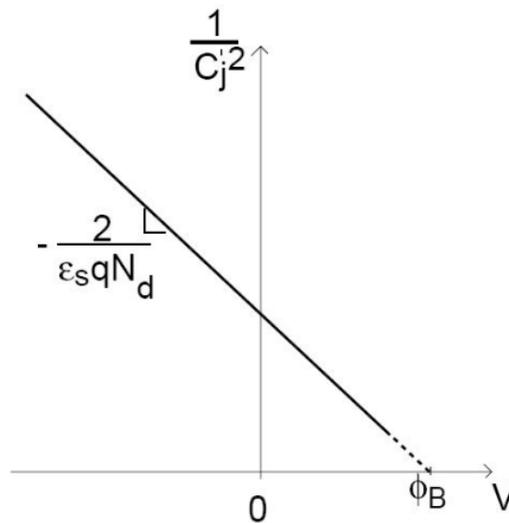
La capacitancia está dominada por el lado menos dopado.

Relevancia de la característica capacitancia-tensión de una juntura PN:

1.  $C_j$ : influye en la respuesta dinámica de todos los dispositivos y circuitos.
2. Permite caracterizar la juntura:

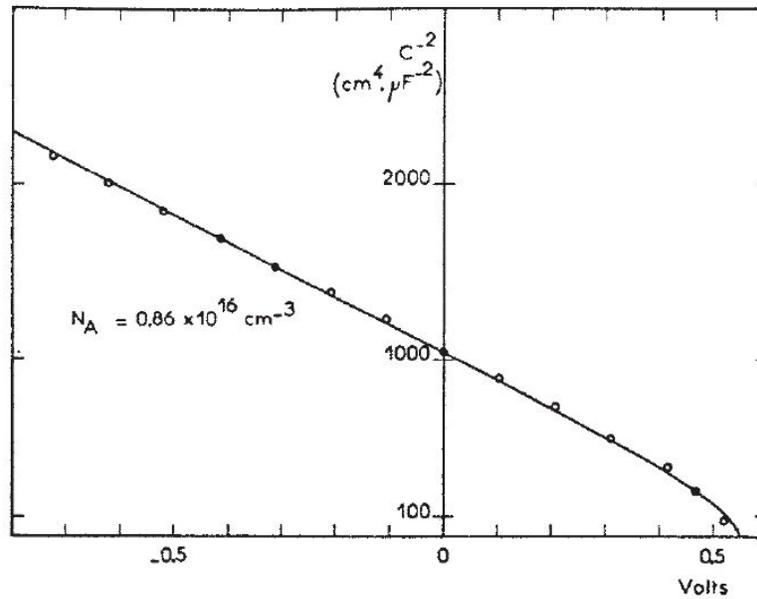
Por ejemplo para una juntura  $P^+N$  (muy asimétrica) se puede medir la curva  $C'_j$  en función de la tensión aplicada. Si luego se calcula  $1/C_j'^2$  se tiene:

$$\frac{1}{C_j'^2} \approx \frac{2(\phi_B - V_{PN})}{q\epsilon_s N_d}$$

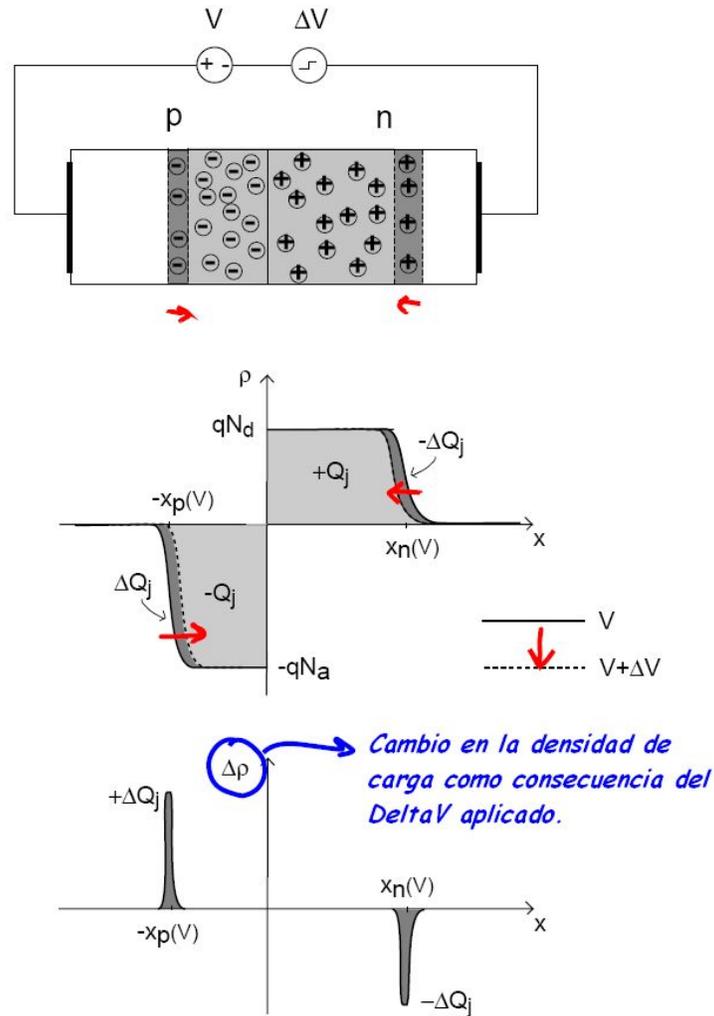


De esta forma es posible estimar  $\phi_B$  y  $N_d$  ajustando los valores medidos con una recta.

**Ejemplo:** datos experimentales [de *Fortini et al.*, *IEEE Trans. Electron Dev. ED-29*, 1604 (1982)]:



Otra forma alternativa de ver la capacitancia: *carga de vaciamiento*

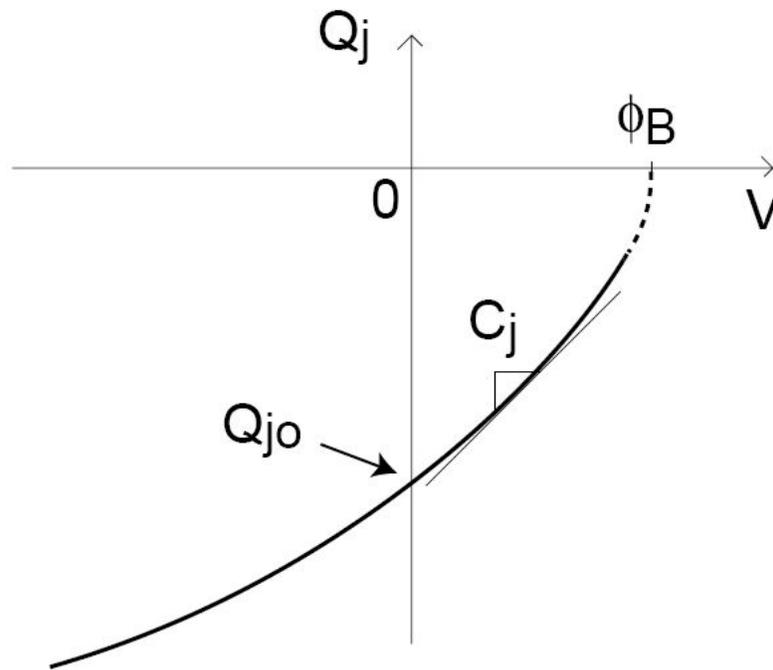


Dentro de la aproximación de vaciamiento, la carga vista en el lado P:

$$Q_j(V_{PN}) = -q N_a x_p(V_{PN}) = -q N_d x_n(V_{PN})$$

$$Q_j(V_{PN}) = -\sqrt{\frac{2q\epsilon_s N_a N_d (\phi_B - V_{PN})}{N_a + N_d}} = Q_{jo} \sqrt{1 - \frac{V_{PN}}{\phi_B}}$$

$$Q_j(V_{PN}) = -\sqrt{\frac{2q\epsilon_s N_a N_d (\phi_B - V_{PN})}{N_a + N_d}} = Q_{jo} \sqrt{1 - \frac{V_{PN}}{\phi_B}}$$

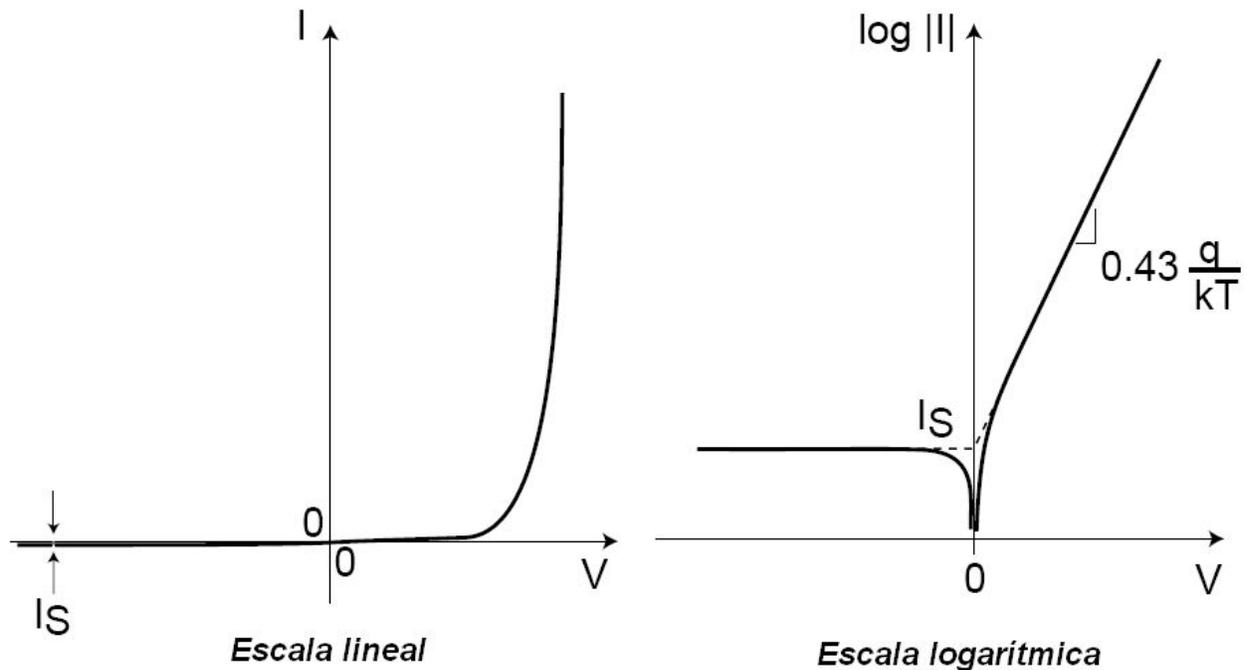


$C_j$  es la pendiente de la curva  $Q_j$  vs.  $V_{PN}$  es decir:

$$C_j = \frac{dQ_j}{dV_{PN}} = -q N_a \frac{dx_p(V_{PN})}{dV_{PN}} = -q N_d \frac{dx_n(V_{PN})}{dV_{PN}}$$

### 3. Corriente a través de la juntura

Al aplicar una tensión sobre la juntura PN circula una corriente.



- Para tensiones negativas la corriente es muy pequeña.
- Para tensiones positivas crece exponencialmente.

Esta es la propiedad eléctrica más importante del diodo, por eso dedicaremos varias clases a estudiarla en detalle.

La expresión de la corriente en función de la tensión aplicada

$$I_D = f(V_{PN})$$

la estudiaremos en la clase “El diodo de juntura PN (I)”.

## Principales conclusiones

- La tensión aplicada a una juntura PN cae a lo largo de la región SCR:  
⇒ Se modifican las variables eléctricas de la región SCR:
  - en polarización directa:  $x_d \downarrow$ ,  $|E| \downarrow$
  - en polarización inversa:  $x_d \uparrow$ ,  $|E| \uparrow$
- Es válida la formulación analítica de la región SCR en equilibrio térmico cambiando la caída de potencial a lo largo de toda la estructura:

$$\phi_B \longrightarrow \phi_B - V_{PN}$$

- Si  $V_{PN}$  cambia, la carga en la región SCR también cambia:  
⇒ *Capacitancia de juntura*
- La capacitancia de juntura del diodo PN depende de la polarización.

# Clase 7<sup>1</sup> - El diodo de juntura PN (I)

## CARACTERÍSTICAS I-V

### Contenido:

1. Análisis cualitativo del diodo polarizado
2. Características I-V

### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 5, §§5.1–5.3.
- Pedro Julian, “Introducción a los Dispositivos Semiconductores”, Ch. 3, §§3.3.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 6, §§6.1–6.3.

---

<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Álamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

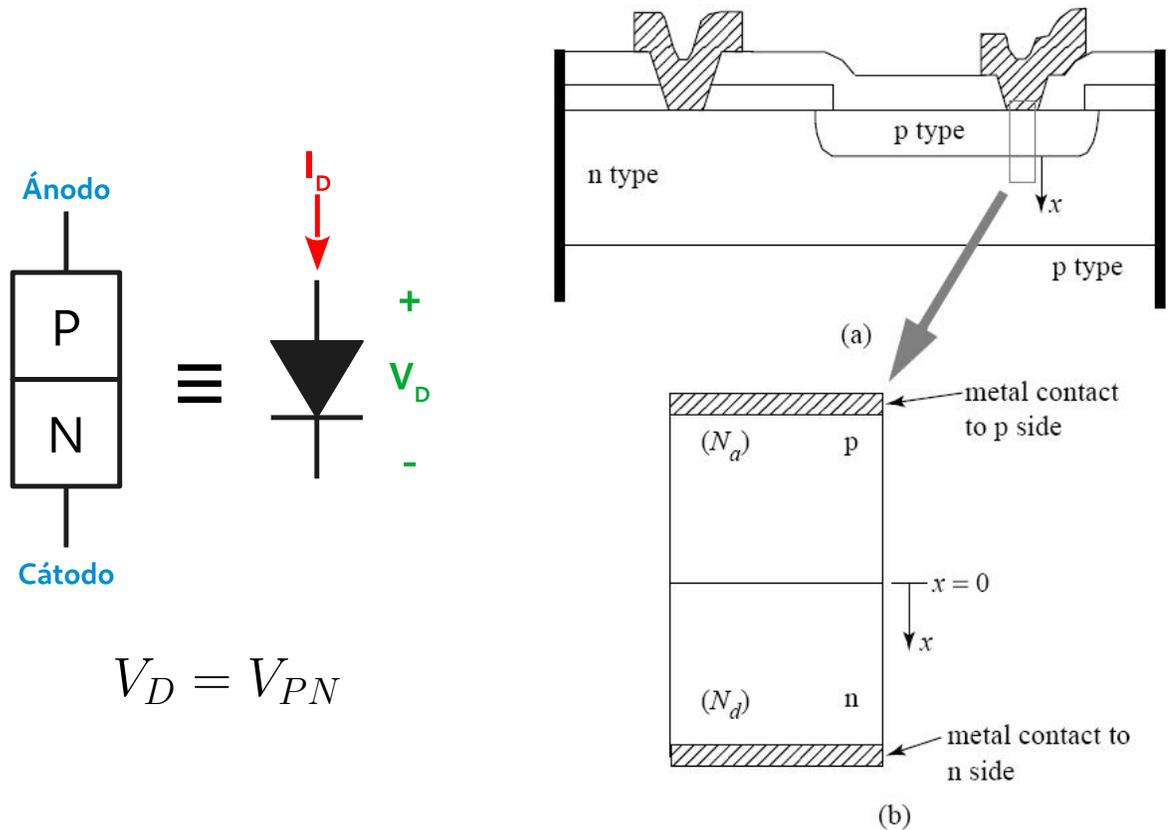
## Preguntas disparadoras

- ¿Por qué se considera que en un diodo la corriente puede circular en un solo sentido?
- ¿Cuál es la dependencia de la corriente del diodo con la tensión aplicada sobre sus terminales?

# 1. Análisis cualitativo del diodo

La juntura PN es un diodo.

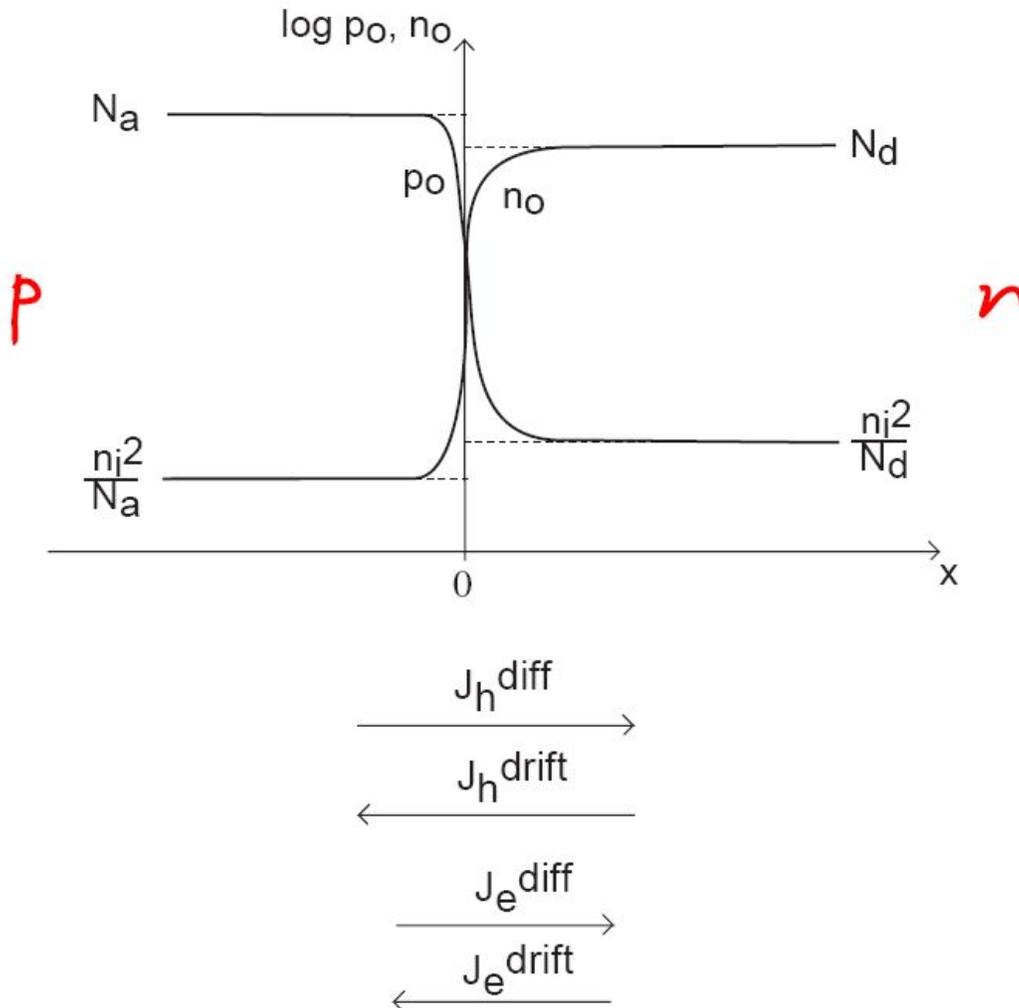
Nos concentramos en un problema unidimensional:



Al aplicar una tensión al diodo se modifica la condición de equilibrio y se observan dos consecuencias principales:

- La región de vaciamiento aumenta o se reduce
- Circula corriente

Concentración de portadores en equilibrio térmico (sin tensión aplicada):



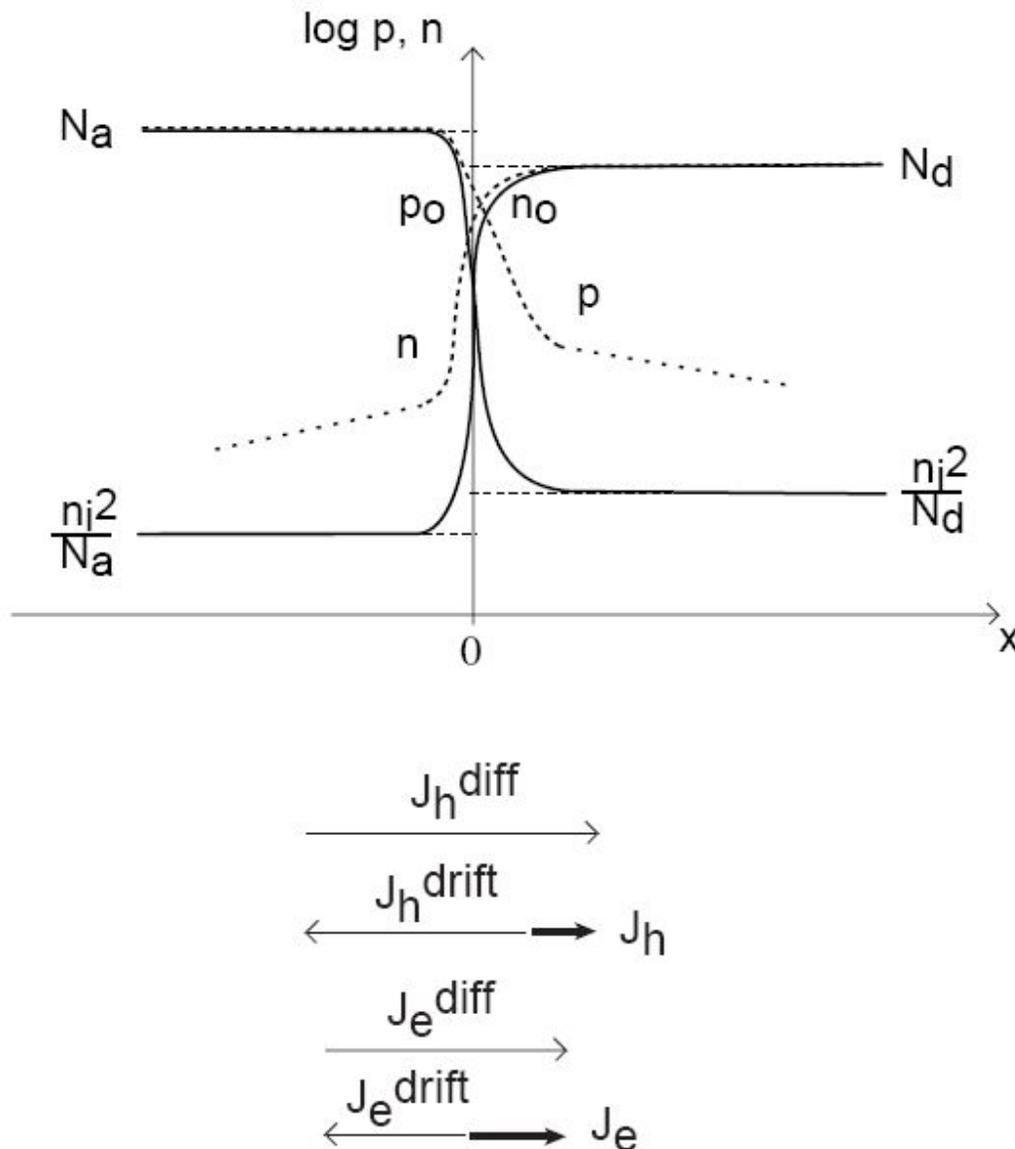
En equilibrio térmico hay un balance dinámico entre difusión y arrastre de electrones y huecos:

$$|J_{arr}| = |J_{dif}|$$

Al aplicar una tensión de polarización, la concentración de portadores se modifica:

- Para  $V_D > 0$ :

$$\Delta V_{SCR} \downarrow = \phi_B - V_D < \phi_B \Rightarrow |E_{SCR}| \downarrow \Rightarrow |J_{drift}| \downarrow$$



Se altera el balance de corrientes:  $|J_{dif}| > |J_{arr}|$

Debido a este desbalance, aparece una corriente eléctrica neta (de difusión) en la SCR:

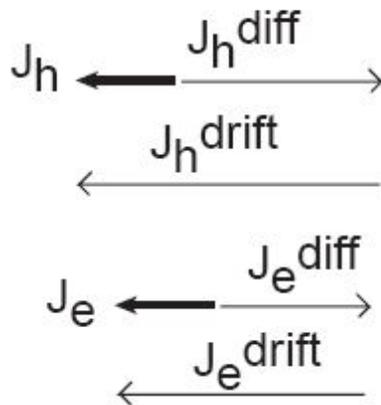
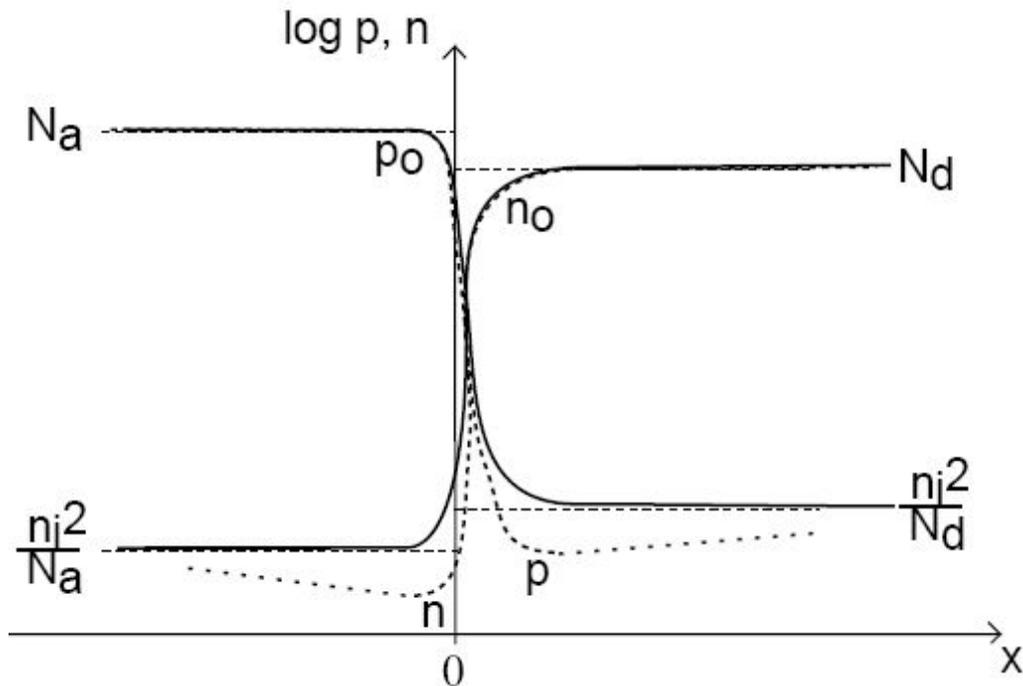
⇒ *inyección* de  $h^+$  en n-QNR y de  $e^-$  en p-QNR

⇒ *exceso* de minoritarios en regiones QNR

Hay una gran difusión de  $h^+$  en n-QNR y de  $e^-$  en p-QNR  
⇒ la corriente puede ser grande.

- Para  $V < 0$ :

$$\Delta V_{SCR} \uparrow = \phi_B - V_D > \phi_B \Rightarrow |E_{SCR}| \uparrow \Rightarrow |J_{drift}| \uparrow$$



Se altera el balance de corrientes:  $|J_{arr}| > |J_{dif}|$

Debido a este desbalance, aparece una corriente eléctrica neta (de arrastre) en la SCR:

$\Rightarrow$  *extracción* de  $h^+$  de n-QNR y de  $e^-$  de p-QNR

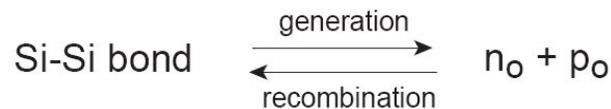
$\Rightarrow$  *déficit* de minoritarios en regiones QNR

Hace falta compensar pocos  $h^+$  en n-QNR y  $e^-$  en p-QNR (figura en escala log)  $\Rightarrow$  la corriente es pequeña.

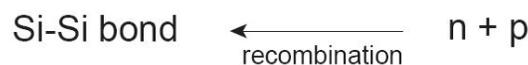
¿Qué sucede si la concentración de portadores se modifica respecto al equilibrio térmico?

⇒ Se altera el balance entre generación y recombinación de portadores

- En equilibrio térmico: la tasa de roturas de enlaces  $Si - Si$  está equilibrada con la tasa de formación de enlaces  $Si - Si$ :



- Si hay inyección de portadores minoritarios:
  - ⇒ concentración de portadores superior al equilibrio
  - ⇒ prevalece la recombinación



- Si hay extracción de portadores minoritarios:
  - ⇒ concentración de portadores inferior al equilibrio
  - ⇒ prevalece la generación



¿Dónde ocurren la generación y la recombinación?

En los dispositivos modernos la recombinación y la generación ocurren principalmente en las *superficies*:

- En las superficies se interrumpe la estructura cristalina perfectamente periódica:
  - ⇒ gran cantidad de enlaces rotos: centros de generación y recombinación
- Los dispositivos modernos son muy pequeños
  - ⇒ las dimensiones son comparables con el camino libre medio de los portadores
  - ⇒ la recombinación en QNR es poco probable
  - ⇒ el efecto de superficie es muy significativo.
- Por hipótesis de vaciamiento, en la SCR hay pocos portadores
  - ⇒ la recombinación en SCR es poco probable

Elevada actividad de generación y recombinación en las superficies:

⇒ la concentración de portadores no se aparta respecto a los valores de equilibrio:

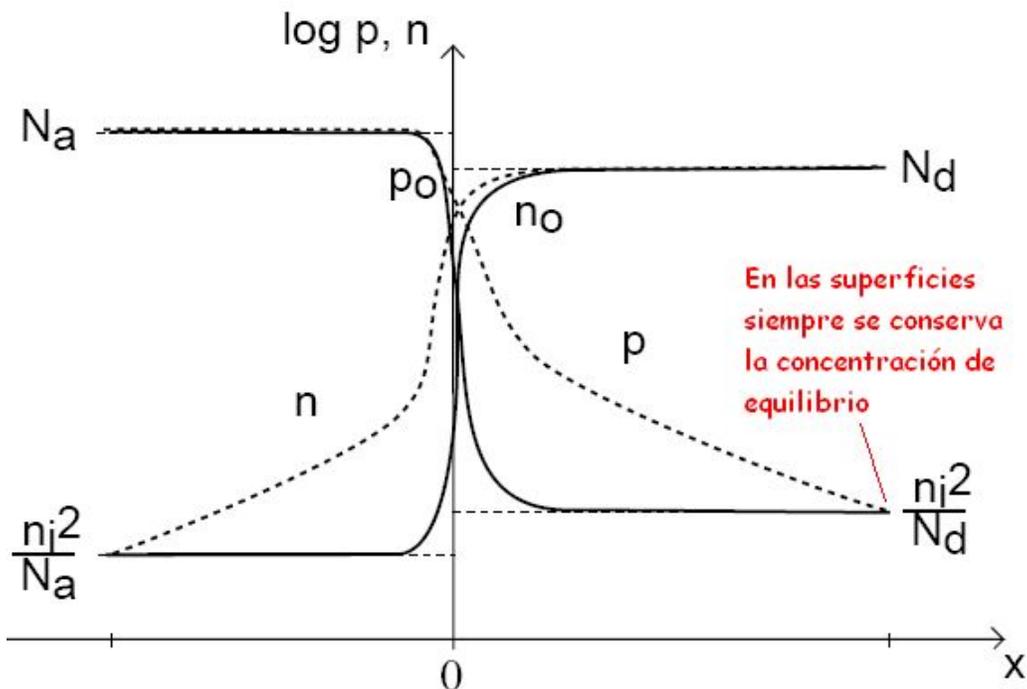
$$n(s) \simeq n_o, \quad p(s) \simeq p_o$$

Esto agrega condiciones de contorno al modelo de diodo.

Completamos el panorama del diodo con tensión aplicada:

## Polarización directa

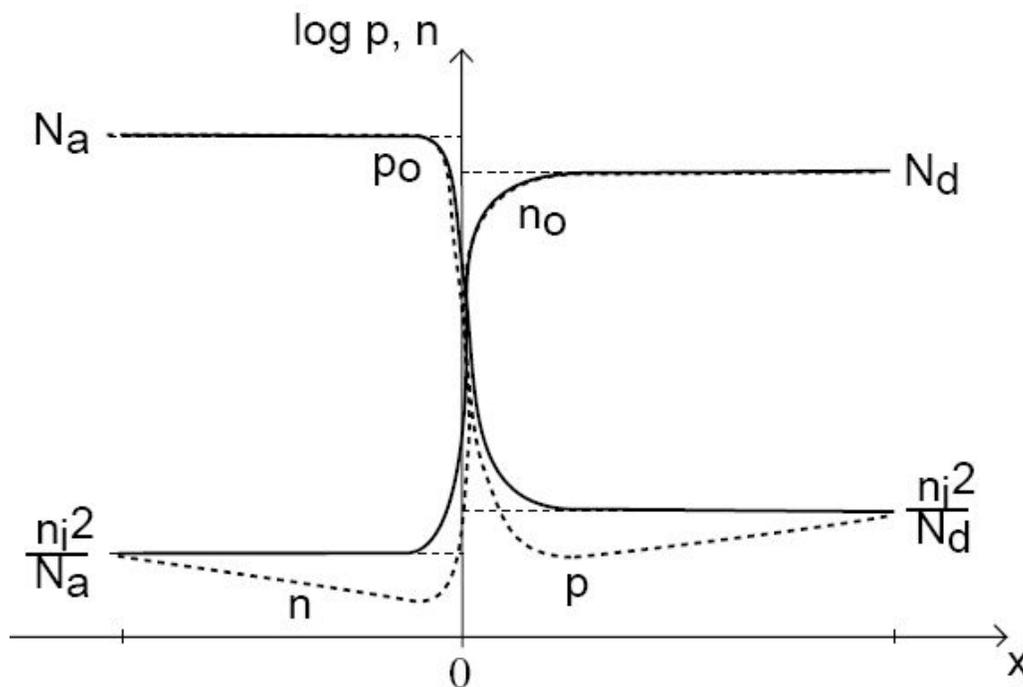
- Los portadores son inyectados a través de la SCR desde donde son mayoritarios hacia donde son minoritarios.
- Se genera un exceso de minoritarios en las QNR a cada lado de la juntura.
- Los portadores minoritarios se difunden a través de la región QNR y se recombinan en la superficie del semiconductor.



¿Qué sucede con los portadores mayoritarios?

## Polarización inversa

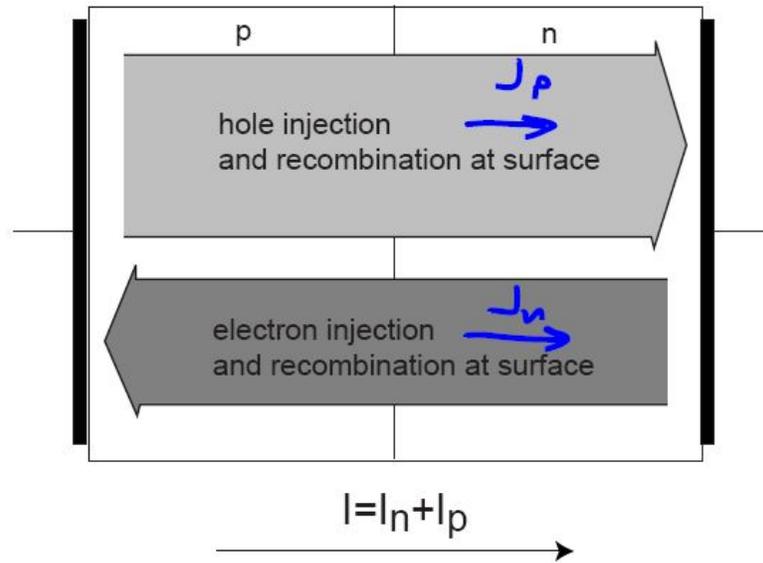
- Los portadores son arrastrados por el campo eléctrico en la SCR desde donde son minoritarios.
- Se genera un déficit de minoritarios en las QNR a cada lado de la juntura.
- Los portadores minoritarios se generan en la superficie del semiconductor y se difunden a través de la región QNR .



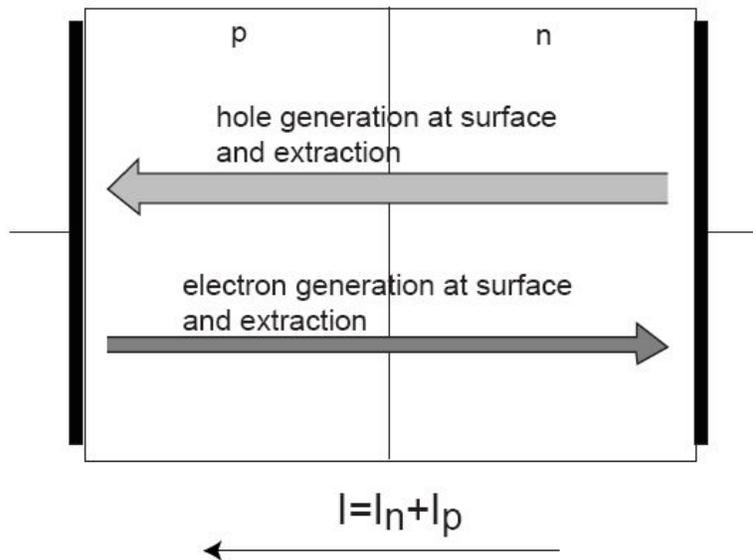
¿Qué sucede con los portadores mayoritarios?

## Análisis de las corrientes:

- Polarización directa:

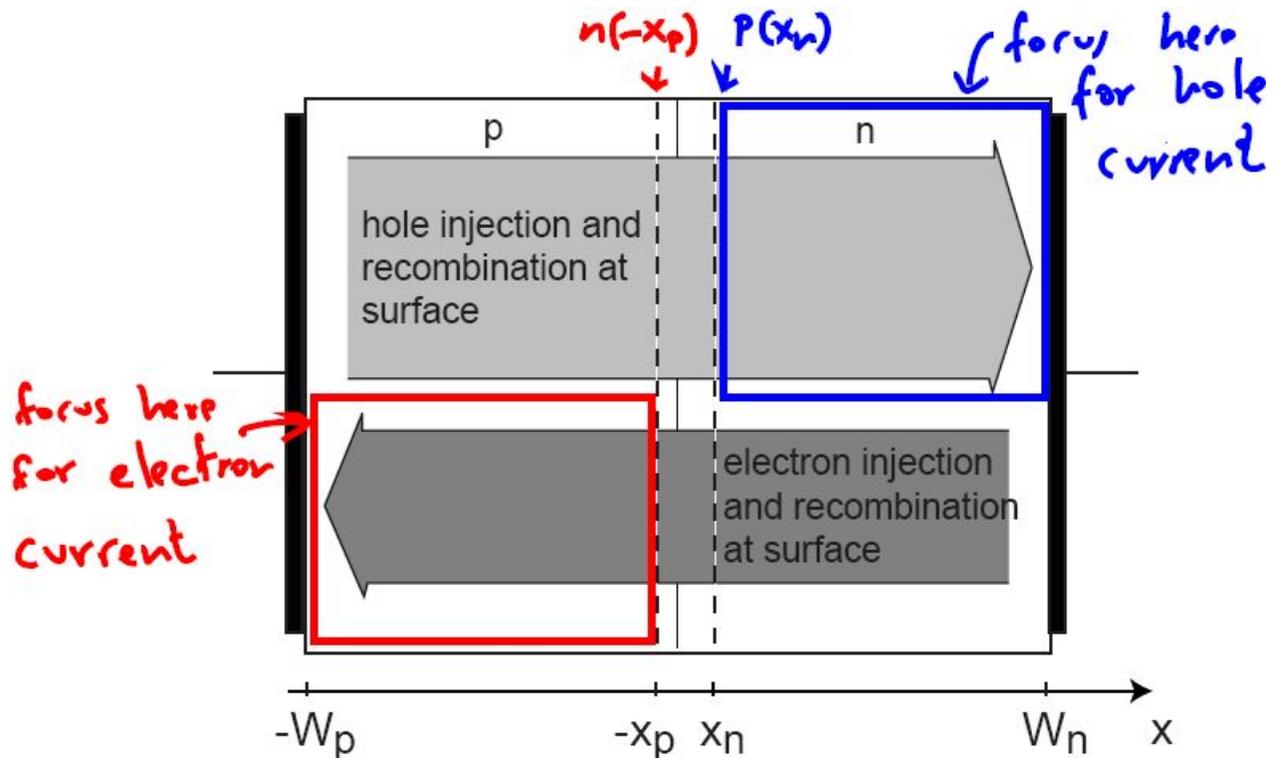


- Polarización inversa:



¿Qué limita la magnitud de la corriente del diodo?

- NO la tasa de generación o recombinación en las superficies
- NO la tasa de inyección o extracción a través de las regiones SCR
- El factor limitante es el gradiente de difusión en las regiones QNR



Desarrollo de un modelo analítico de las corrientes:

1. Calcular la concentración de portadores minoritarios en los bordes de la región SCR,  $p(x_n)$  y  $n(-x_p)$
2. Calcular las densidades de corriente de difusión de portadores minoritarios en cada región QNR:  $J_n$  y  $J_p$
3. Sumar las corrientes de difusión de electrones y huecos y multiplicar por el área del diodo:  $I = A(J_n + J_p)$

## 2. Características I-V

□ PASO 1: Calcular la concentración de portadores minoritarios en los bordes de la región SCR

En equilibrio térmico, en la SCR  $|J_{drift}| = |J_{diff}|$ , y

$$\frac{n_o(x_1)}{n_o(x_2)} = \exp\left(\frac{q[\phi(x_1) - \phi(x_2)]}{kT}\right)$$

$$\frac{p_o(x_1)}{p_o(x_2)} = \exp\left(-\frac{q[\phi(x_1) - \phi(x_2)]}{kT}\right)$$

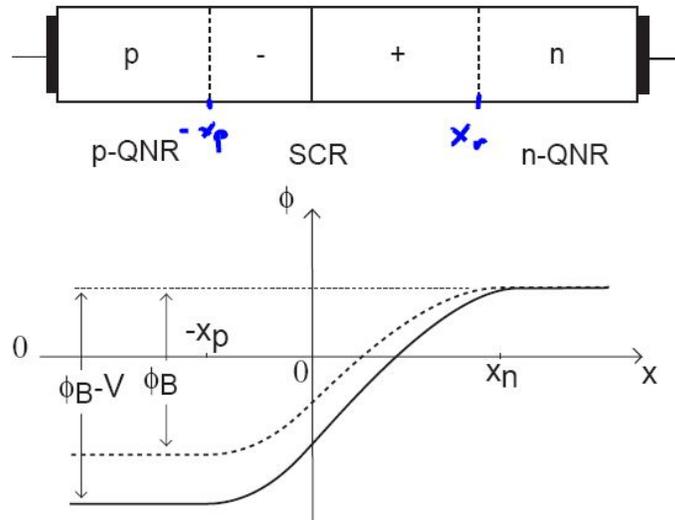
Al polarizar resulta  $|J_{drift}| \neq |J_{diff}|$ .

Pero si  $|J_{drift} - J_{diff}|$  es pequeño respecto a  $|J_{drift}|$  y a  $|J_{diff}|$  entonces:

$$\frac{n(x_1)}{n(x_2)} \simeq \exp\left(\frac{q[\phi(x_1) - \phi(x_2)]}{kT}\right)$$

$$\frac{p(x_1)}{p(x_2)} \simeq \exp\left(-\frac{q[\phi(x_1) - \phi(x_2)]}{kT}\right)$$

Esto se conoce como estado de *cuasi-equilibrio*.



Suponiendo *cuasi neutralidad*, no cae tensión en las QNR, entonces

$$\Delta V_{SCR} = \phi(x_n) - \phi(-x_p) = \phi_B - V_D$$

y en los bordes de la región SCR, se tiene:

$$\frac{n(x_n)}{n(-x_p)} \simeq \exp\left(\frac{q[\phi(x_n) - \phi(-x_p)]}{kT}\right) = \exp\left(\frac{q(\phi_B - V_D)}{kT}\right)$$

$$\frac{p(x_n)}{p(-x_p)} \simeq \exp\left(-\frac{q[\phi(x_n) - \phi(-x_p)]}{kT}\right) = \exp\left(-\frac{q(\phi_B - V_D)}{kT}\right)$$

Consideraremos además que la concentración de mayoritarios no varía apreciablemente en las QNR y se verifica:

$$p(-x_p) \simeq N_a \quad \text{y} \quad n(x_n) \simeq N_d$$

Luego:

$$n(-x_p) \simeq N_d \exp\left(\frac{q(V_D - \phi_B)}{kT}\right)$$
$$p(x_n) \simeq N_a \exp\left(\frac{q(V_D - \phi_B)}{kT}\right)$$

Y recordando que la tensión de juntura es:

$$\phi_B = \frac{kT}{q} \ln\left(\frac{N_d N_a}{n_i^2}\right)$$

Reemplazando obtenemos:

$$n(-x_p) \simeq \frac{n_i^2}{N_a} \exp\left(\frac{qV_D}{kT}\right)$$
$$p(x_n) \simeq \frac{n_i^2}{N_d} \exp\left(\frac{qV_D}{kT}\right)$$

Dependencia con la tensión aplicada:

- En equilibrio ( $V_D = 0$ ):

$$n(-x_p) = \frac{n_i^2}{N_a} \quad p(x_n) = \frac{n_i^2}{N_d}$$

- En reversa ( $V_D < 0$ ):

$$n(-x_p) \ll \frac{n_i^2}{N_a} \quad p(x_n) \ll \frac{n_i^2}{N_d}$$

Pocos  $h^+$  en n-QNR y  $e^-$  en p-QNR que necesitan ser compensados:

$\Rightarrow$  La corriente reversa es pequeña.

- En directa ( $V_D > 0$ ):

$$n(-x_p) \gg \frac{n_i^2}{N_a} \quad p(x_n) \gg \frac{n_i^2}{N_d}$$

Muchos  $h^+$  en p-QNR y  $e^-$  en n-QNR disponibles para ser inyectados:

$\Rightarrow V_D \uparrow \Rightarrow$  concentración de portadores inyectados  $\uparrow$

$\Rightarrow$  La corriente directa puede ser elevada

Este modelo será válido mientras se cumpla que el nivel de exceso de portadores minoritarios en los bordes de la zona desierta sea mucho menor que la concentración de mayoritarios, es decir:

$$n(-x_p) \ll N_a \quad y \quad p(x_n) \ll N_d$$

Esto se conoce como la hipótesis de *bajo nivel de inyección*.

□ PASO 2: Corriente de difusión en las regiones QNR:

Ecuación de difusión (para electrones en la región p-QNR):

$$J_n = qD_n \frac{dn(x)}{dx}$$

En la región p-QNR, **los electrones se difunden sin recombinarse hasta alcanzar el contacto:**

⇒  $J_n$  es constante en la región p-QNR (y en n-QNR)

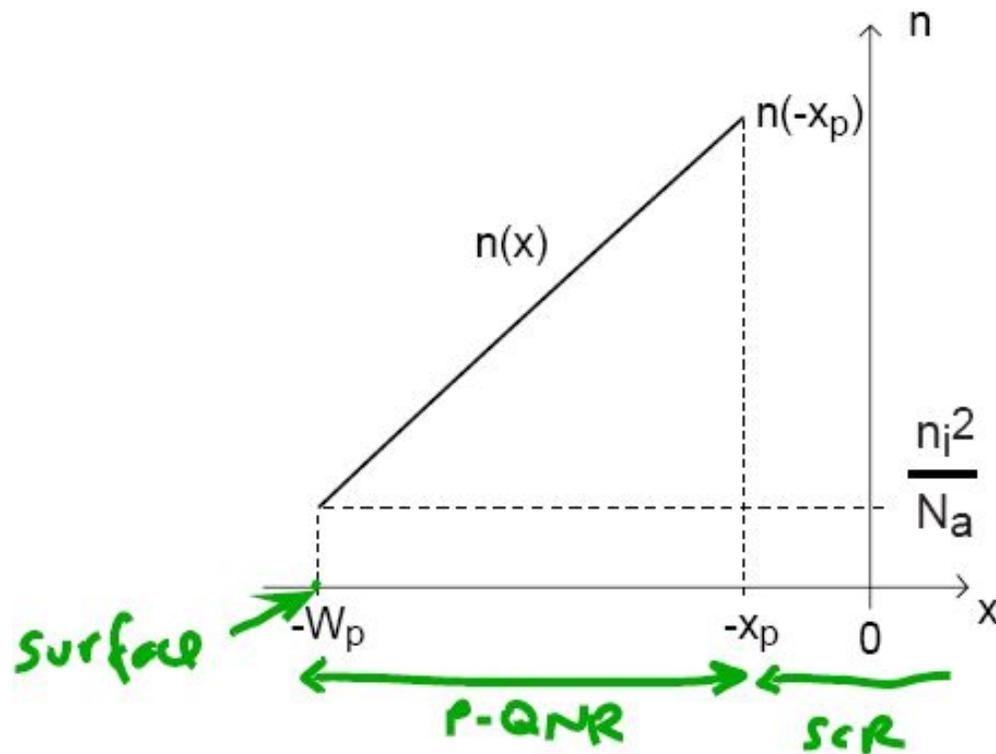
⇒  $n(x)$  **tiene que ser lineal.**

Esto se conoce como *aproximación de diodo corto*:

La distancia que recorre el portador ( $W_p$ ) es comparable con el camino libre medio ( $\lambda_c$ )

⇒ la probabilidad de recombinación es muy baja.

⇒ Todo portador que ingresa a la QNR, la atraviesa en su totalidad hasta alcanzar el extremo contrario.



Condiciones de borde:

$$n(x = -W_p) = n_o = \frac{n_i^2}{N_a} \quad n(-x_p) = \frac{n_i^2}{N_a} \exp\left(\frac{qV_D}{kT}\right)$$

Concentración de electrones:

$$n_p(x) = n_p(-x_p) + \frac{n_p(-x_p) - n_p(-W_p)}{-x_p + W_p}(x + x_p)$$

$$\frac{dn}{dx} = \frac{n_p(-x_p) - n_p(-W_p)}{-x_p + W_p}$$

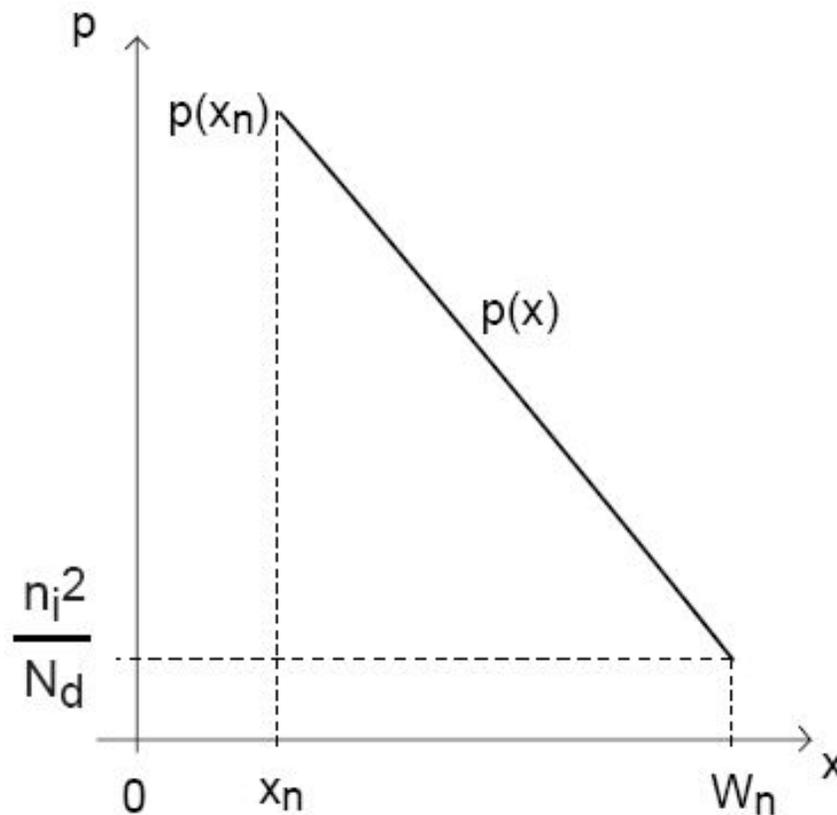
Densidad de corriente de electrones:

$$J_n = qD_n \frac{dn}{dx} = qD_n \frac{n_p(-x_p) - n_p(-W_p)}{W_p - x_p}$$

$$= qD_n \frac{\frac{n_i^2}{N_a} \exp\left(\frac{qV_D}{kT}\right) - \frac{n_i^2}{N_a}}{W_p - x_p}$$

$$J_n = q \frac{n_i^2}{N_a} \frac{D_n}{W_p - x_p} \left[ \exp\left(\frac{qV_D}{kT}\right) - 1 \right]$$

En forma similar, el flujo de huecos en la región n-QNR:



La densidad de corriente de huecos resulta:

$$J_p = q \frac{n_i^2}{N_d} \frac{D_p}{W_n - x_n} \left[ \exp \left( \frac{qV_D}{kT} \right) - 1 \right]$$

□ PASO 3: sumamos ambos componentes de corriente:

$$J = J_n + J_p = q n_i^2 \left( \frac{1}{N_a} \frac{D_n}{W_p - x_p} + \frac{1}{N_d} \frac{D_p}{W_n - x_n} \right) \left[ \exp \left( \frac{qV_D}{kT} \right) - 1 \right]$$

Corriente total:

$$I = q A n_i^2 \left( \frac{1}{N_a} \frac{D_n}{W_p - x_p} + \frac{1}{N_d} \frac{D_p}{W_n - x_n} \right) \left[ \exp \left( \frac{qV_D}{kT} \right) - 1 \right]$$

Que habitualmente se escribe:

$$I = I_o \left[ \exp \left( \frac{qV_D}{kT} \right) - 1 \right]$$

donde

$I_o \equiv$  corriente de saturacion

$$[I_o] = \text{A}$$

La condición de contorno vale en polarización directa e inversa  $\Rightarrow$  La ecuación es válida en directa y en inversa.

## Principales conclusiones

- Al aplicar una tensión a un diodo de juntura PN se altera el balance entre corrientes de difusión y arrastre:
  - en polarización directa se *inyectan* portadores minoritarios en las regiones cuasi-neutrales
  - en polarización inversa se *extraen* portadores minoritarios de las regiones cuasi-neutrales
- Para el cálculo de la concentración de portadores minoritarios en los bordes de la zona desierta (SCR) se supone la condición de *cuasi-equilibrio* y se utiliza la relación de Boltzmann.
- Por hipótesis de *cuasi-neutralidad*, la tensión aplicada al diodo cae en su totalidad en la SCR. No hay caída de tensión en las QNR.
- El modelo es válido mientras la tensión aplicada en directa sea “pequeña” y se cumpla con la condición de *bajo nivel de inyección*.
- La generación y recombinación ocurre predominantemente en las superficies en donde se supone válida la condición de equilibrio térmico.
- El factor limitante de la corriente es el *gradiente de difusión* de minoritarios en las regiones cuasi-neutrales.
- Para hallar el perfil de portadores minoritarios en las QNR, se supone válida la aproximación de *diodo corto*.
- La ecuación característica I-V de un diodo PN es:

$$I = I_o \left[ \exp \left( \frac{qV_D}{kT} \right) - 1 \right]$$

# Clase 8<sup>1</sup> - El diodo de juntura PN (II)

## MODELO CIRCUITAL EQUIVALENTE

### Contenido:

1. Características I-V
2. Modelo de pequeña señal
3. Conductancia dinámica
4. Capacitancia de juntura
5. Capacitancia de difusión

### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 5, §§5.4–5.5.
- Pedro Julian, “Introducción a los Dispositivos Semiconductores”, Ch. 3, §§3.3–3.6.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 6, §§6.5–6.9.

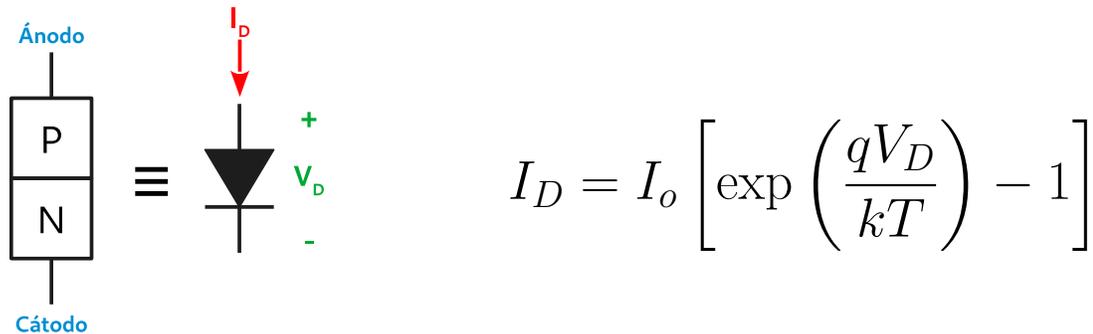
---

<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

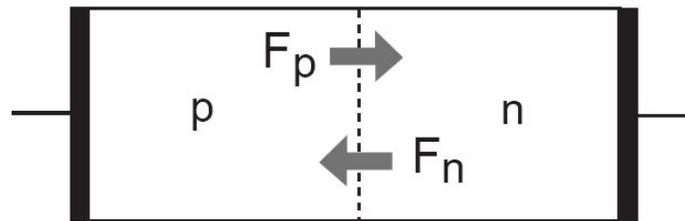
## Preguntas disparadoras

- ¿Cómo es el modelo de pequeña señal de un diodo PN?
- ¿De qué dependen los elementos del modelo de pequeña señal?
- ¿Existen efectos capacitivos en un diodo PN?

# 1. Características I-V (Repaso)



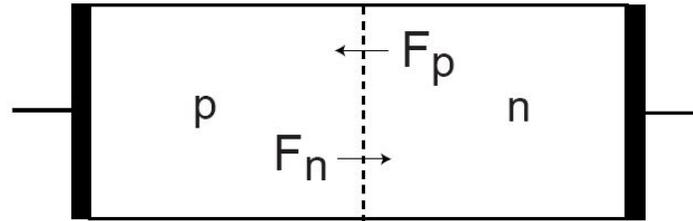
Funcionamiento en polarización directa:



- La diferencia de potencial en la SCR se reduce por  $V_D$   
 $\Rightarrow$  inyección de portadores mayoritarios en QNR
- Difusión de portadores minoritarios a través de QNR
- Recombinación de portadores minoritarios en las superficies
- Gran cantidad de portadores disponibles para ser inyectados

$$\Rightarrow I_D \propto \exp \left( \frac{qV_D}{kT} \right)$$

Funcionamiento en polarización inversa:

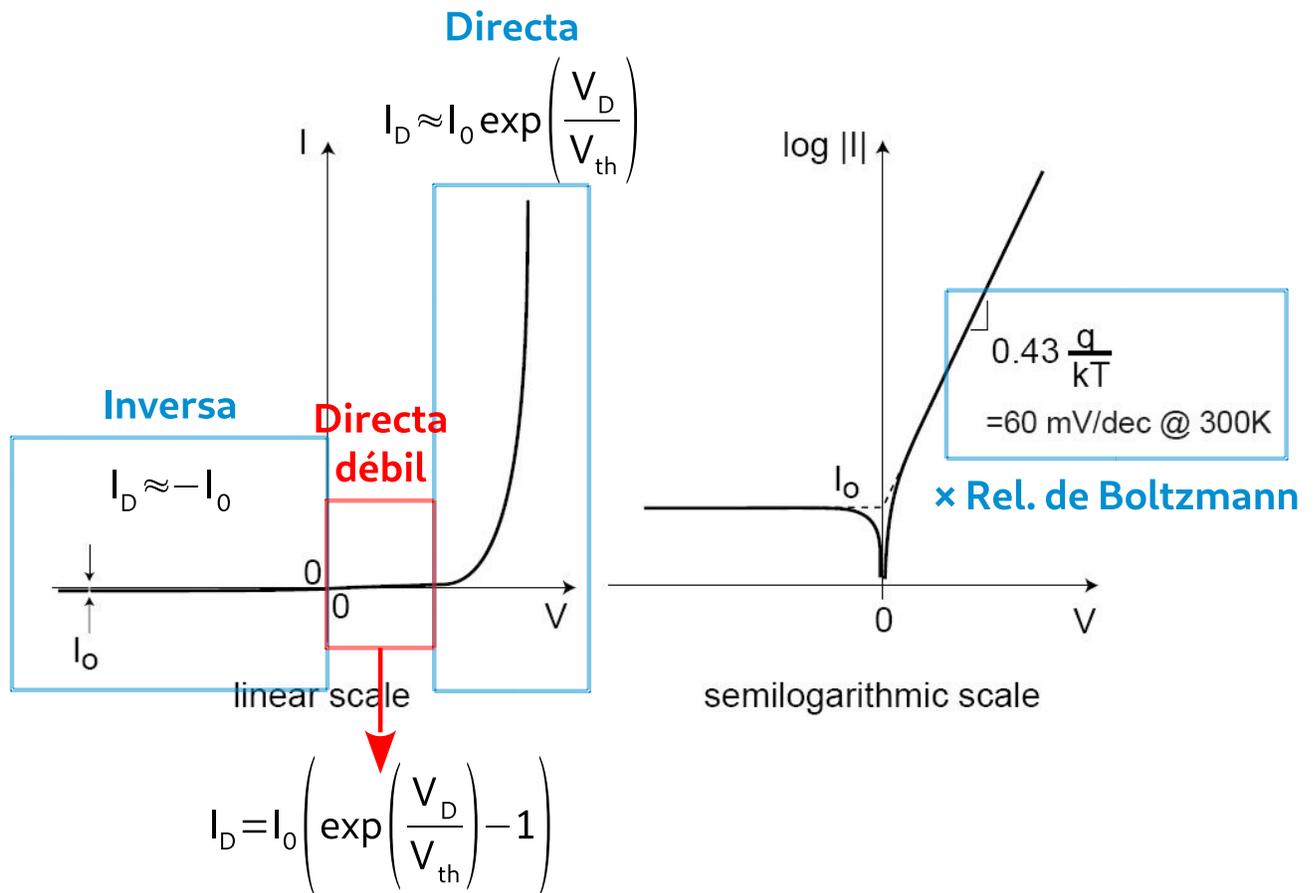


- La diferencia de potencial en la SCR se aumenta por  $V_D$   
 $\Rightarrow$  extracción de portadores minoritarios de QNR
- Difusión de portadores minoritarios a través de QNR
- Generación de portadores minoritarios en las superficies
- Escasa cantidad de portadores minoritarios disponibles para extracción  
 $\Rightarrow$  la corriente satura en un valor pequeño

$$I_D \simeq -I_o$$

## Características I-V:

$$I_D = I_o \left( \exp \left( \frac{qV_D}{kT} \right) - 1 \right)$$



Principales factores en la corriente del diodo PN:

$$I_D = qAn_i^2 \left( \frac{1}{N_a W_p - x_p} \frac{D_n}{N_d W_n - x_n} + \frac{1}{N_d W_n - x_n} \frac{D_p}{N_a W_p - x_p} \right) \left( \exp \left( \frac{qV_D}{kT} \right) - 1 \right)$$

- $I_D \propto \frac{n_i^2}{N} \left( \exp \left( \frac{qV}{kT} \right) - 1 \right) \equiv$  *exceso* de portadores minoritarios en la frontera de la region SCR
  - en **polarización directa**:  $I_D \propto \frac{n_i^2}{N} \exp \left( \frac{qV_D}{kT} \right)$ : más portadores se inyectan, más corriente circula
  - en **polarización inversa**:  $I_D \propto -\frac{n_i^2}{N}$ : la concentración de portadores minoritarios cae a valores insignificantes y la corriente satura
- $I_D \propto D$ : Difusión más intensa  $\Rightarrow$  mayor corriente
- $I_D \propto \frac{1}{W_{QNR}}$ : Región de difusión mas corta  $\Rightarrow$  mayor corriente
- $I_D \propto A$ : Diodo más grande  $\Rightarrow$  mayor corriente

## 2. Modelo de pequeña señal

Examinemos el caso en el cual la tensión total aplicada sobre el diodo ( $v_D$ ) es la superposición de una tensión continua ( $V_D$ ) y una pequeña señal dependiente del tiempo ( $v_d(t)$ ):

$$v_D(t) = V_D + v_d(t)$$

Luego, la corriente es:

$$i_D(t) = f(v_D(t) = V_D + v_d(t))$$

$$i_D(t) = I_o \left[ \exp \left( \frac{qv_D(t)}{kT} \right) - 1 \right] = I_o \left[ \exp \left( \frac{q(V_D + v_d(t))}{kT} \right) - 1 \right]$$

Si llamamos:

$$i_{D1} = I_o \left[ \exp \left( \frac{qV_D}{kT} \right) - 1 \right] \quad i_{D2} = I_o \left[ \exp \left( \frac{qv_d(t)}{kT} \right) - 1 \right]$$

Podemos verificar que al aplicar una suma de tensiones al diodo, la corriente resultante **NO** es igual a la suma de las corrientes que generan las tensiones aplicadas de forma independiente:

$$i_D(t) = I_o \left[ \exp \left( \frac{q(V_D + v_d(t))}{kT} \right) - 1 \right] \neq i_{D1} + i_{D2}$$

El diodo es un *dispositivo no lineal*  $\Rightarrow$  no se puede aplicar el principio de superposición

No se puede suponer que los efectos de la tensión continua y de la tensión dependiente del tiempo son aditivos.

**¿Cómo podemos operar fácilmente cuando tenemos superposición de tensiones?**

**SOLUCIÓN:** Linealizar la respuesta en torno a un punto de reposo ( $v_D = V_D$ )

- Modelizamos el diodo como un elemento lineal.
- Es un modelo aproximado.
- Tiene un rango de validez.  $v_d(t)$  debe representar pequeñas variaciones.
- Aplicaremos el desarrollo de Taylor de primer orden.
- Esto implica un error en la solución del problema.

## Desarrollo de Taylor de la corriente del diodo

$$i_D(t) \approx i_D(t)|_{v_D=V_D} + \left. \frac{\partial i_D(t)}{\partial v_D(t)} \right|_{v_D=V_D} \cdot \underbrace{(v_D(t) - V_D)}_{=v_d(t)}$$

$$i_D(t) \approx I_o \left[ \exp\left(\frac{qV_D}{kT}\right) - 1 \right] + \frac{1}{kT/q} I_o \left[ \exp\left(\frac{qV_D}{kT}\right) \right] \cdot v_d(t)$$

$$i_D(t) \approx I_D + \frac{I_D + I_o}{kT/q} \cdot v_d(t)$$

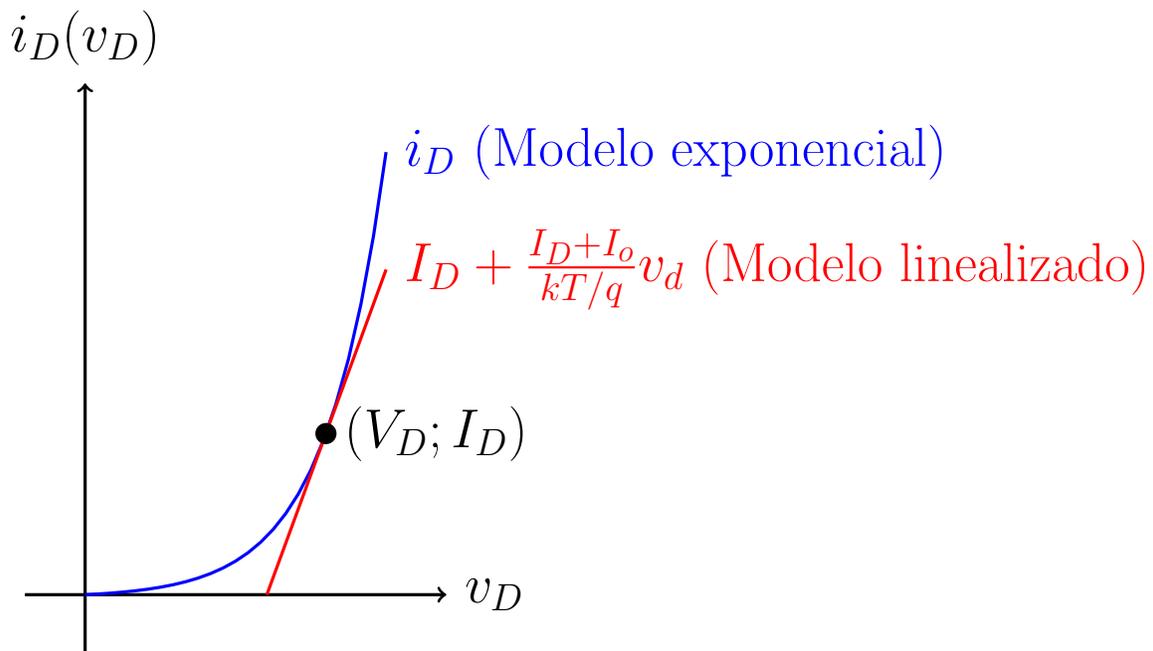
Entonces podemos llamar:

$$i_d(t) = \frac{I_D + I_o}{\frac{kT}{q}} \cdot v_d(t)$$

$$\Rightarrow i_D(t) \approx I_D + i_d(t)$$

Aproximamos la curva del diodo con una recta

$$i_D(t) \approx I_D + \frac{I_D + I_o}{kT/q} \cdot v_d(t)$$



Ambas coinciden en el punto de polarización/reposo/trabajo.

## *Rango de validez del modelo de pequeña señal*

¿A qué nos referimos cuando decimos “si  $v_d(t)$  es lo suficientemente pequeña”?

El error que cometemos entre el valor estimado de señal  $i_d(t)$  y el valor real  $i_D(t) - I_D$  debe ser pequeño.

Aplicaremos el criterio del 10% respecto de la variación real:

$$(i_D(t) - I_D) - i_d(t) < 10\% (i_D(t) - I_D)$$

Como esta inecuación no tiene solución

⇒ pedimos que el término de segundo orden de Taylor (primer término de error) sea despreciable frente al término lineal:

$$\frac{1}{2} \left. \frac{\partial^2 i_D}{\partial v_D^2} \right|_{V_D} \cdot v_d^2 < 10\% i_d(t)$$

$$\frac{1}{2} \frac{(I_D + I_o)}{(kT/q)^2} \cdot v_d^2 < 0,1 \left( \frac{I_D + I_o}{kT/q} v_d \right)$$

En directa ( $I_D \gg I_o$ ):

$$\frac{1}{2} \frac{I_D}{(kT/q)^2} \cdot v_d^2 < 0,1 \frac{I_D}{kT/q} \cdot v_d$$

$$v_d < 0,2 \frac{kT}{q}$$

Considerando temperatura ambiente se obtiene:

$$v_d \approx 5,2 \text{ mV}$$

En la práctica se tolera:

$$|v_d| < 10 \text{ mV (pico)}$$

En inversa ( $I_D \approx -I_o$ ):

$$\frac{1 - I_o + I_o}{2 (kT/q)^2} \cdot v_d^2 < 0,1 \frac{-I_o + I_o}{kT/q} \cdot v_d$$

$$0 < 0$$

No tiene sentido evaluar este error ya que las corriente involucradas son muy pequeñas

En la mayoría de las aplicaciones prácticas pueden despreciarse.

En general se supone válido el modelo de pequeña señal considerando un valor de resistencia muy alto o infinito.

### 3. Conductancia dinámica

Desde el punto de vista de la señal, el diodo se comporta como una conductancia de valor:

$$g_d = \left. \frac{\partial i_D(t)}{\partial v_D(t)} \right|_{v_D=V_D} = \frac{I_D + I_o}{kT/q}$$

Hasta aquí el modelo equivalente de pequeña señal es:



$g_d$  depende de la polarización.

- En **polarización directa**  $g_d$  es lineal con la corriente:

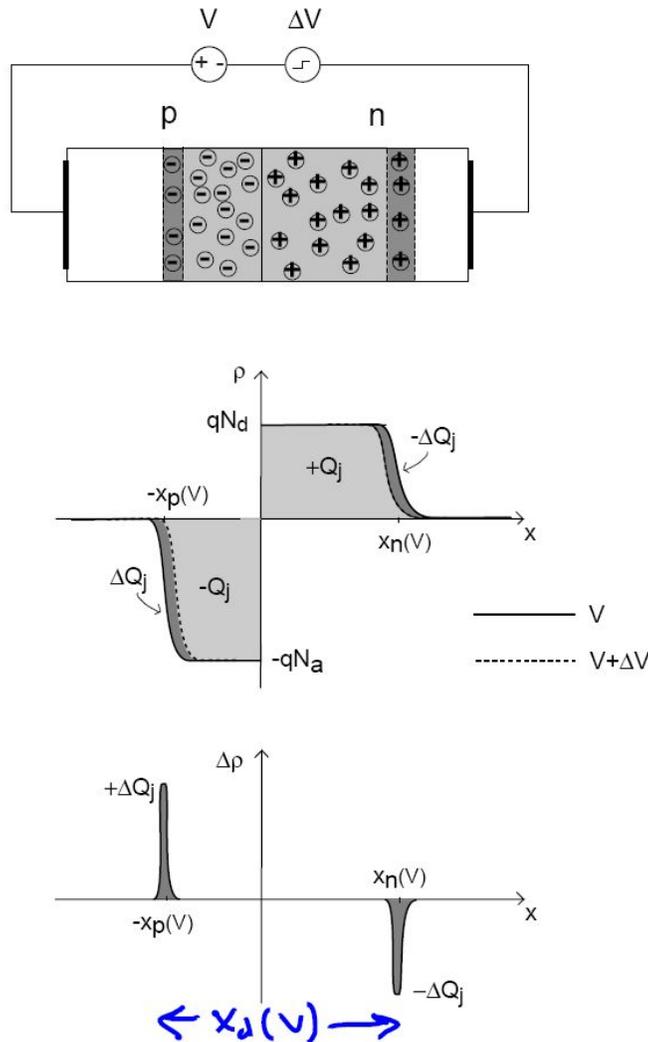
$$g_d \simeq \frac{qI_D}{kT}$$

- En **polarización inversa**  $g_d$  es constante y prácticamente nula:

$$g_d \simeq 0$$

## 4. Capacitancia de juntura (Repaso)

¿Qué le ocurre a la juntura PN si se le aplica un *pequeño* incremento de tensión?



Se produce un cambio en  $\Delta V_D$  a lo largo del diodo:

$\Rightarrow$  Cambio de  $\Delta Q_j$  en  $-x_p$

$\Rightarrow$  Cambio de  $-\Delta Q_j$  en  $x_n$

Lo podemos modelizar con un capacitor de placas planas paralelas que se encuentran separadas una distancia  $x_d(V_D)$ .

Luego, la capacitancia de Juntura (*Depletion Capacitance*) por unidad de área es:

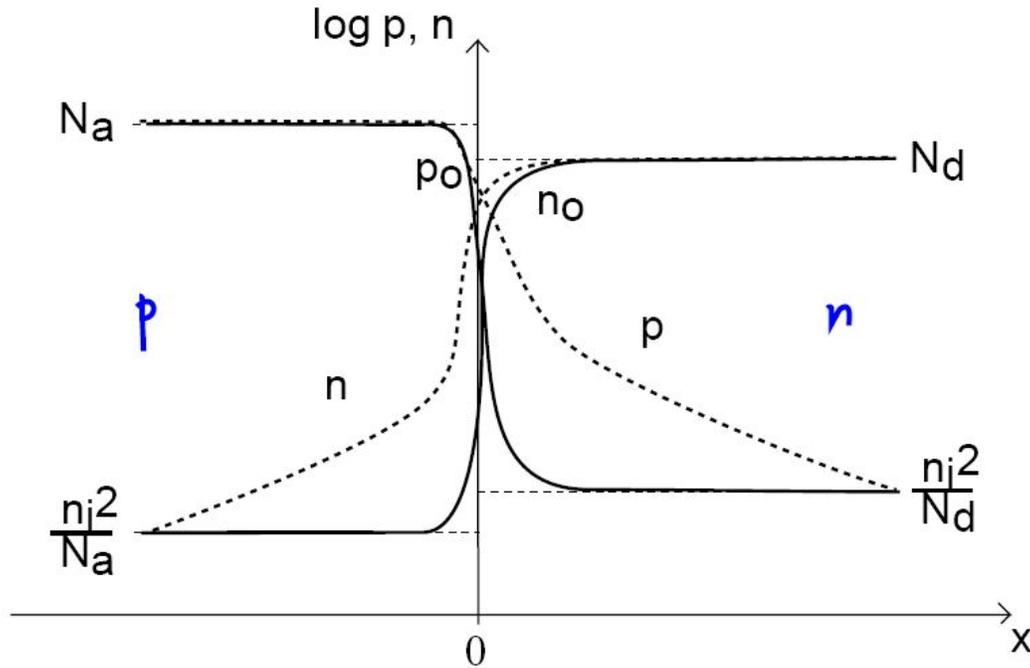
$$C'_j(V) = \frac{\epsilon_s}{x_d(V)} = \sqrt{\frac{q\epsilon_s N_a N_d}{2(\phi_B - V)(N_a + N_d)}} = \frac{C'_{j0}}{\sqrt{1 - \frac{V}{\phi_B}}}$$

Siendo el área  $A$  de la juntura, la capacitancia es:

$$C_j(V) = A \cdot C'_j(V)$$

## 5. Capacitancia de difusión

Considerando la juntura en directa, la situación de los portadores mayoritarios es:



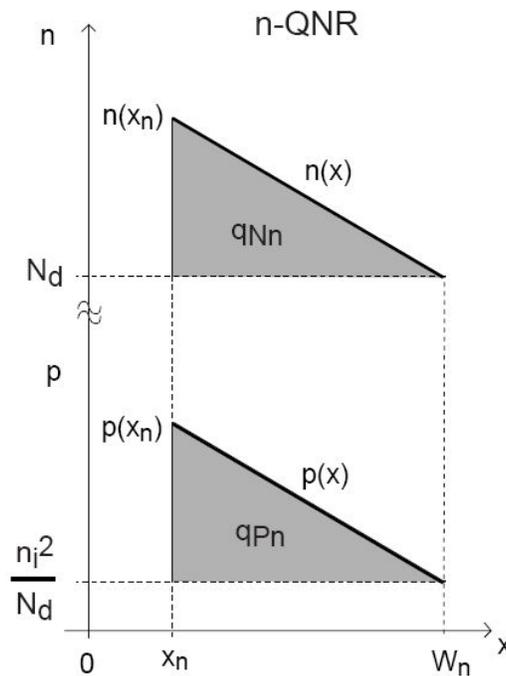
En la QNR aumenta la concentración de minoritarios

Si la concentración de mayoritarios no cambia

$\Rightarrow$  no cumple la condición de cuasi-neutralidad eléctrica.

La condición de cuasi-neutralidad eléctrica en la región QNR exige que:

*exceso de minoritarios = exceso de mayoritarios*



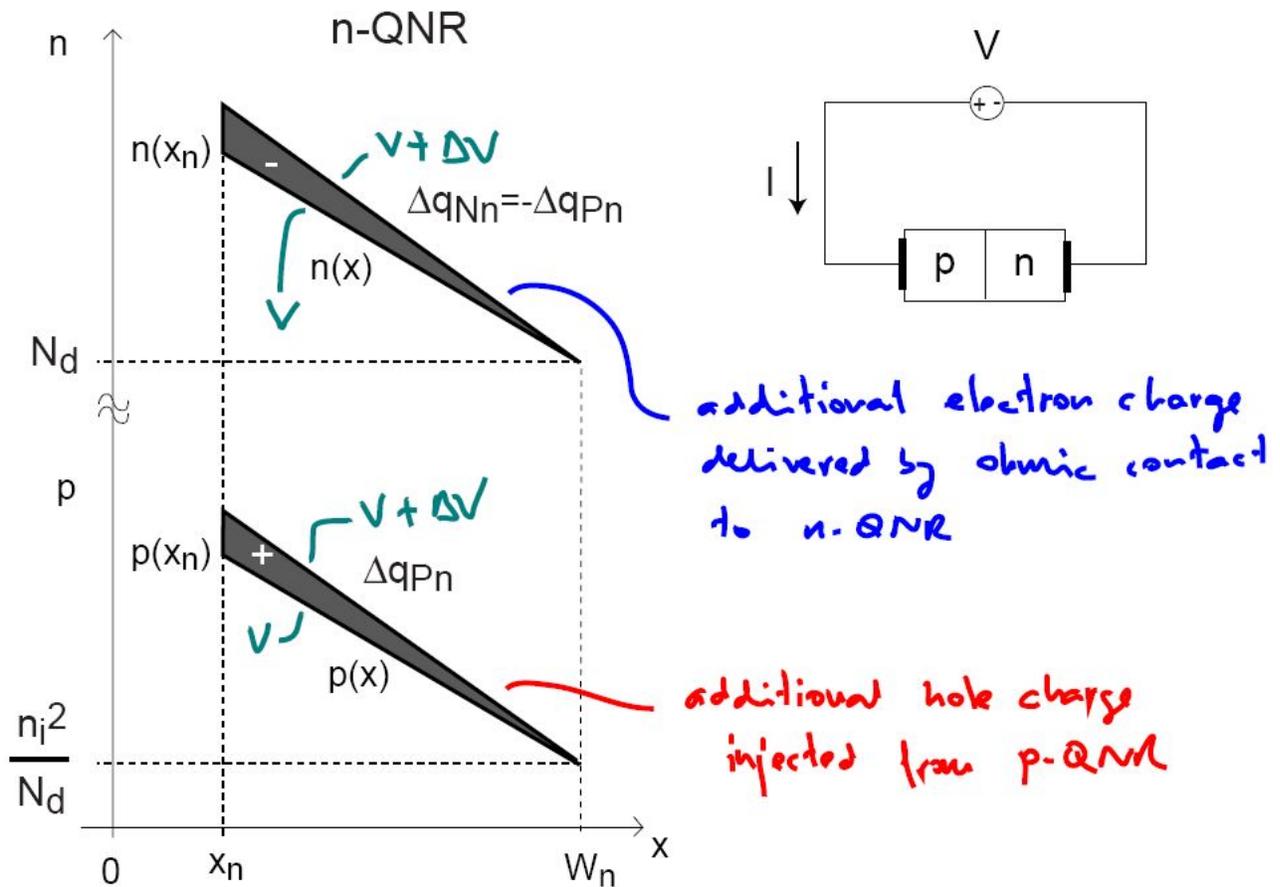
En términos matemáticos:

$$p'(x) = p(x) - p_o \simeq n'(x) = n(x) - n_o$$

Integramos la carga acumulada por los portadores en exceso:

$$\begin{aligned} q_{Pn} &= q A \frac{1}{2} p'(x_n)(W_n - x_n) \\ &= q A \frac{W_n - x_n}{2} \frac{n_i^2}{N_d} \left( \exp\left(\frac{qV_D}{kT}\right) - 1 \right) = -q_{Nn} \end{aligned}$$

Ahora veamos que sucede si se produce un incremento pequeño en  $V_D$ :



Pequeño incremento en  $V_D$

$\Rightarrow$  pequeño incremento en  $q_{Pn}$

$\Rightarrow$  pequeño incremento en  $|q_{Nn}|$

Se comporta como un capacitor de capacitancia:

$$C_{dn} = \left. \frac{dq_{Pn}}{dV} \right|_{V_D}$$

Podemos escribir  $q_{Pn}$  en terminos de  $I_p$  (fracción de la corriente del diodo debido a los huecos del lado N-QNR):

$$\begin{aligned} q_{Pn} &= \frac{(W_n - x_n)^2}{2D_p} qA \frac{n_i^2}{N_d W_n - x_n} \left( \exp \left( \frac{qV_D}{kT} \right) - 1 \right) \\ &= \frac{(W_n - x_n)^2}{2D_p} I_p \end{aligned}$$

Definimos *tiempo de tránsito* de los huecos a través de la region n-QNR:

$$\tau_{Tp} = \frac{(W_n - x_n)^2}{2D_p}$$

El tiempo de tránsito es el *tiempo medio empleado por un hueco para difundirse a traves de la region n-QNR*

Entonces:

$$q_{Pn} = \tau_{Tp} I_p$$

y también

$$C_{dn} \simeq \frac{q}{kT} \tau_{Tp} I_p$$

Análogamente, en la región p-QNR:

$$q_{Np} = \tau_{Tn} I_n$$

$$C_{dp} \simeq \frac{q}{kT} \tau_{Tn} I_n$$

donde  $\tau_{Tn}$  es el *tiempo de tránsito* de los electrones a través de la región p-QNR:

$$\tau_{Tn} = \frac{(W_p - x_p)^2}{2D_n}$$

Ambas capacitancias están en *paralelo*  $\Rightarrow$  Capacitancia total de difusión:

$$C_d = C_{dn} + C_{dp} = \frac{q}{kT} (\tau_{Tn} I_n + \tau_{Tp} I_p) = \frac{q}{kT} \tau_T I_D$$

Definiendo:

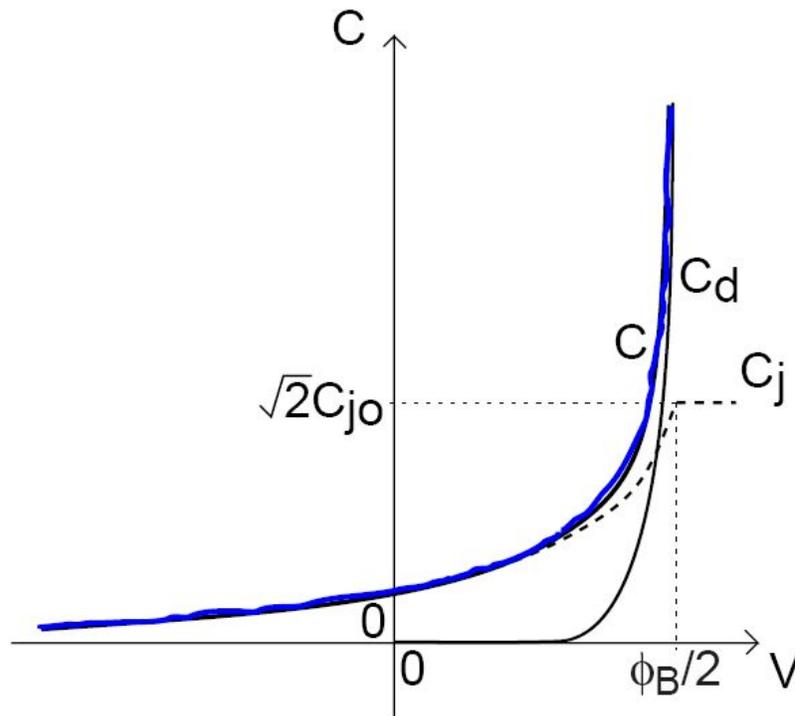
$$\tau_T = \frac{\tau_{Tn} I_n + \tau_{Tp} I_p}{I_D}$$

(surge de considerar:  $q_{Pn} + q_{Np} = \tau_{Tn} I_n + \tau_{Tp} I_p = \tau_T I_D$ )

Luego se puede escribir de forma compacta:

$$C_d = \frac{q}{kT} \tau_T I_D$$

Dependencia con la polarización de  $C_j$  y  $C_d$ :



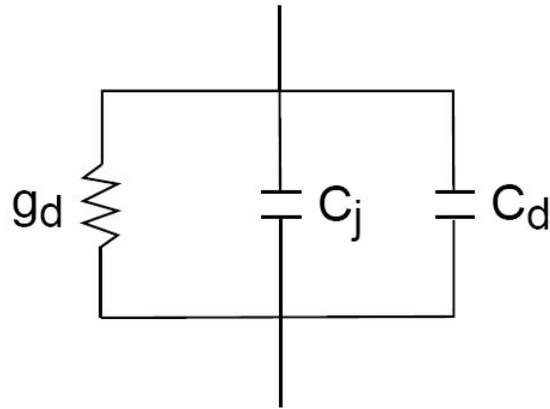
- $C_d$  domina en polarización directa fuerte ( $\sim \exp(qV_D/kT)$ )
- $C_j$  domina en polarización inversa y en polarización directa débil ( $\sim 1/\sqrt{\phi_B - V_D}$ )

Para polarización directa fuerte,  $C_j$  diverge.

Se considera que  $C_j$  satura para  $V_D \approx \frac{\phi_B}{2}$

$$\Rightarrow C_{j,max} = \sqrt{2}C_{j0}$$

Completamos el modelo equivalente de pequeña señal del diodo PN:



## Principales conclusiones

Comportamiento de pequeña señal del diodo:

- *conductancia*: asociada con las características I-V

$$g_d \propto I_D \text{ en polarización directa}$$

$$g_d \sim 0 \text{ en polarización inversa}$$

- *capacitancia de juntura*: asociada con la modulación de la carga espacial en la región de deserción SCR

$$C_j \sim 1/\sqrt{\phi_B - V_D}$$

- *capacitancia de difusión*: asociada con la carga almacenada en las regiones QNR a fin de conservar la cuasi-neutralidad

$$C_d \sim \exp(qV_D/kT)$$

$$C_d \sim I_D$$

## **Clase 9 - El diodo de juntura PN (III)**

### **DIODO REAL**

#### **Contenido:**

1. Efectos de la temperatura en la corriente del Diodo
2. Diodo real
3. Diodo Zener

#### **Lectura recomendada:**

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 4, §§4.4; Ch. 5, §§5.3; Ch. 7, §§7.2.

## Preguntas disparadoras

- ¿Cómo afecta la temperatura a los parámetros del diodo y a su comportamiento?
- ¿Cómo se comportan los diodos reales?
- ¿Puede circular una corriente apreciable en un diodo en inversa?

# 1. Efectos de la temperatura en la corriente del Diodo

Expresión de la corriente del diodo:

$$I = I_o \left[ \exp \left( \frac{qV_D}{kT} \right) - 1 \right]$$

$$I_o = qAn_i^2 \left( \frac{1}{N_a} \frac{D_n}{W_p - x_p} + \frac{1}{N_d} \frac{D_p}{W_n - x_n} \right)$$

¿Qué sucede cuando aumenta la temperatura?

- Aumenta el potencial térmico

$$\frac{kT}{q} \uparrow \Rightarrow \exp \left( \frac{qV_D}{kT} \right) \downarrow \Rightarrow I \downarrow$$

- Disminuye la movilidad y el coeficiente de difusión

$$\mu_{n,p} \downarrow \Rightarrow D_{n,p} \downarrow \Rightarrow I_o \downarrow \Rightarrow I \downarrow$$

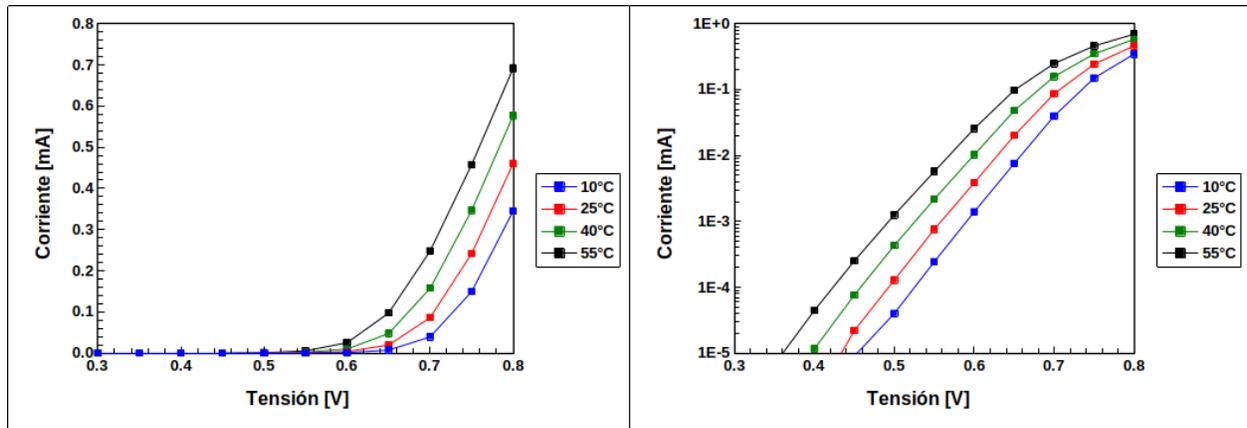
- Aumenta la concentración intrínseca de portadores

$$n_i \uparrow \Rightarrow n_i^2 \uparrow \uparrow \Rightarrow I_o \uparrow \Rightarrow I \uparrow$$

¿Y entonces? ¿Quién gana? ¿La corriente aumenta o disminuye?

Para determinar qué ocurre cuando cambia la temperatura se podría desarrollar la expresión analítica completa.

Sin embargo podemos determinarlo de forma empírica a través de mediciones:



La corriente aumenta con la temperatura.

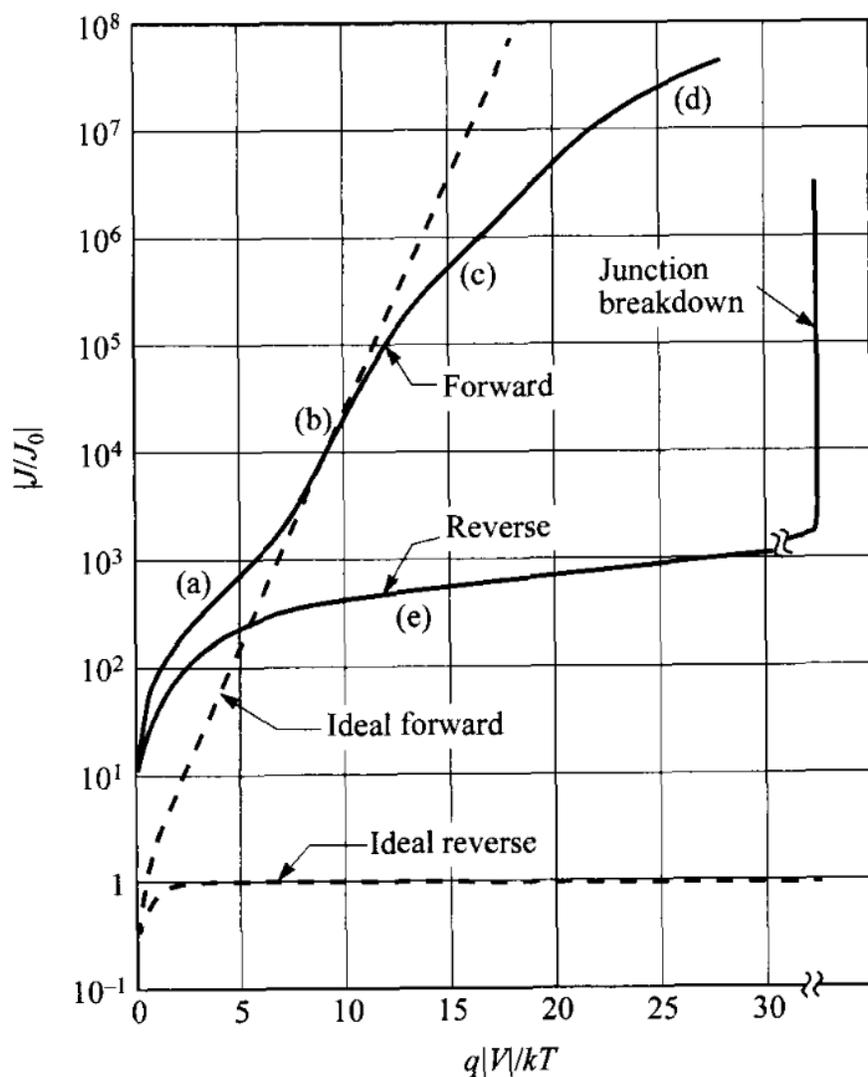
El aumento de  $I_o$  supera a la disminución de  $\exp\left(\frac{qV_D}{kT}\right)$

$\Rightarrow$  el aumento en  $n_i$  es predominante.

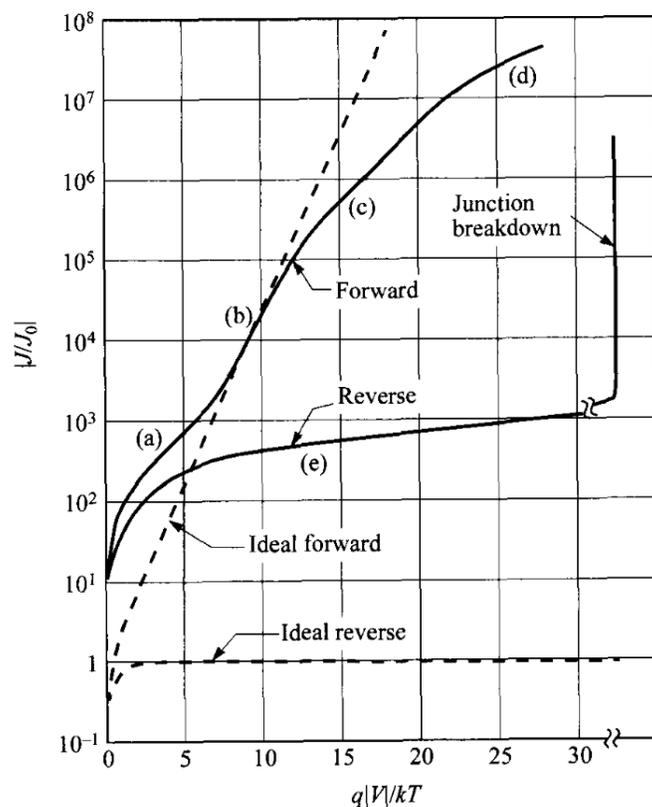
## 2. El diodo real

### *El diodo ideal vs. el diodo real*

Al medir la característica I-V de un diodo real se observa que es necesario introducir factores empíricos en la ecuación teórica para que la misma ajuste correctamente la curva experimental.



En la figura pueden observarse como afectan a la características del diodo las diferentes no idealidades:



- Polarización directa
  - (a) Corriente de recombinación
  - (b) Coeficiente de emisión/factor de idealidad: la juntura no es abrupta
  - (c) Incremento del coeficiente de emisión/factor de idealidad: quasi-equilibrio, alto nivel de inyección
  - (d) Resistencia serie: quasi-neutralidad
- Polarización inversa
  - (e) Corriente de generación
  - (f) Efecto de ruptura de la juntura

*(a) Corriente de recombinación*

En directa débil, la corriente (ideal) es muy baja ( $I_D \approx I_o \dots 100 \times I_o$ ).

Cualquier aporte de carga adicional a la estructura, será comparable o superior a la carga que atraviesa la juntura de manera ideal.

En directa, la concentración de portadores en la SCR aumenta respecto de equilibrio térmico.

⇒ la **recombinación** supera a la generación.

Si un par de portadores se recombina, no está disponible para formar parte de la corriente ideal

⇒ Se debe compensar esa pérdida de portadores a través de un nuevo componente de corriente: *Corriente de recombinación* ( $I_r$ )

La corriente de recombinación suele ser mucho mayor a la corriente ideal para tensiones bajas ( $I_r \gg I_{D(\text{ideal})}$ )

$$I_D = I_{D(\text{ideal})} + I_r \approx I_r \approx q A \frac{x_d n_i}{2\tau_r} \exp\left(\frac{V_D}{2kT/q}\right)$$

$$I_r \approx q A \frac{x_d n_i}{2\tau_r} \exp\left(\frac{V_D}{2kT/q}\right)$$

- es proporcional a  $x_d \propto \sqrt{V_D}$ .
- $\tau_r$  es el tiempo medio de recombinación.
- por ser proporcional con  $n_i$  depende fuertemente de la temperatura.

*(b - c) Coeficiente de emisión*

*Coeficiente de emisión* o *Factor de idealidad* ( $n$ ) modifica la expresión de la corriente del diodo:

$$I_D = I_o \left[ \exp \left( \frac{V_D}{n kT/q} \right) - 1 \right]$$

- Es un factor empírico.
  - Puede tomar valores entre 1 y 2 dependiendo del diodo, el tipo de semiconductor y el proceso de fabricación.
  - Debe introducirse ya que ciertas hipótesis no se cumplen de forma rigurosa.
2. Al estudiar la juntura PN, se supuso la aproximación de **juntura abrupta**. Sin embargo esto no puede lograrse en la fabricación real del dispositivo y existe una zona de transición entre la región dopada tipo P y la tipo N.
3. Al seguir aumentando la corriente del diodo, otras hipótesis comienzan a perder validez
- La corriente que atraviesa la SCR puede ser comparable con las corrientes de equilibrio

- ⇒ Deja de ser válida la aproximación de *cuasi-equilibrio*
- ⇒ La concentración de minoritarios en el borde de la SCR ya no responde a la relación de Boltzmann.
- Los minoritarios en el borde de la SCR aumentan considerablemente
  - ⇒ Ya no es válida la hipótesis de *bajo nivel de inyección*.

Normalmente se modela  $n$  como un único valor constante (SPICE).

Sin embargo, se observa que una mejor forma de modelar los efectos mencionados es utilizar distintos valores de  $n$  según el rango de corrientes.

En la figura observamos que  $n_{(b)} < n_{(c)}$

*(d) Resistencia serie*

El semiconductor presenta una resistividad ( $\rho$ ) que depende del nivel de dopaje.

Se incrementa la corriente

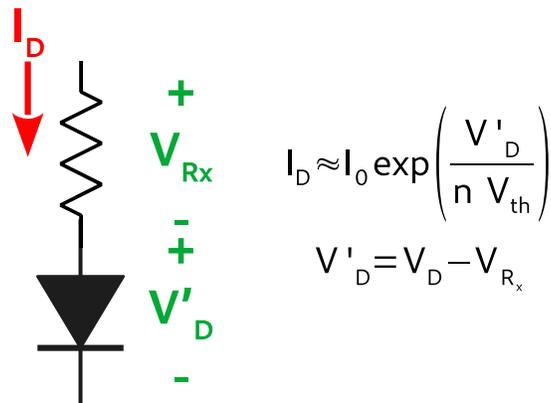
$\Rightarrow$  hay caída de tensión en las QNR

$\Rightarrow$  la tensión aplicada en los terminales del diodo ( $V_D$ ) difiere de la diferencia de potencial en los bordes de la SCR ( $\phi(x_n) - \phi(-x_p)$ )

$$\Delta V_{SCR} = \phi(x_n) - \phi(-x_p) < \phi_B - V_D$$

Los contactos metal-semiconductor también presentan un efecto resistivo adicional.

Ambos fenómenos suelen modelarse considerando una resistencia ( $R_x$ ) conectada en serie con el diodo.



$$I_D \approx I_0 \exp\left(\frac{V'_D}{n V_{th}}\right)$$

$$V'_D = V_D - V_{R_x}$$

*(e) Corriente de generación*

En inversa, la corriente (ideal) es menor a la corriente de saturación inversa ( $|I_D| < I_o$ ).

Al igual que en directa, cualquier aporte de carga adicional a la estructura, será comparable o superior a la carga que atraviesa la juntura de manera ideal.

En inversa, la concentración de portadores en la SCR disminuye respecto de equilibrio térmico.

⇒ la **generación** supera a la recombinación.

Si se genera un par de portadores, son separados por el campo eléctrico

⇒ esos nuevos portadores son arrastrados en direcciones opuestas

⇒ forman parte de un nuevo componente de corriente:  
*Corriente de generación* ( $I_g$ )

En inversa, la corriente de generación suele ser mucho mayor a la corriente ideal ( $I_g \gg |I_{D(\text{ideal})}|$ )

$$I_D = I_{D(\text{ideal})} - I_g \approx -I_g$$

$$I_g \approx \frac{qAn_i x_i (V_D)}{\tau_g}$$

- $x_i$  es una fracción  $x_d$  y  $x_i \propto \sqrt{V_D}$ .
- $\tau_g$  es el tiempo medio de generación.
- por ser proporcional con  $n_i$  depende fuertemente de la temperatura.

## *Ruptura inversa*

Al polarizar el diodo en inversa ( $V_D < 0$ ):

- Aumenta la diferencia de potencial en la juntura respecto del equilibrio  
 $\Rightarrow$  aumenta el campo eléctrico interno.

$$|E(x = 0; V_D)| = \sqrt{\frac{2 q (\phi_B - V_D) N_a N_d}{\epsilon_s (N_a + N_d)}}$$

- Campos eléctricos elevados en la juntura pueden producir la *ruptura inversa* de la juntura.
- *Ruptura inversa*: incremento abrupto del módulo de la corriente para una tensión inversa determinada.
- Este efecto puede o no destruir el dispositivo.

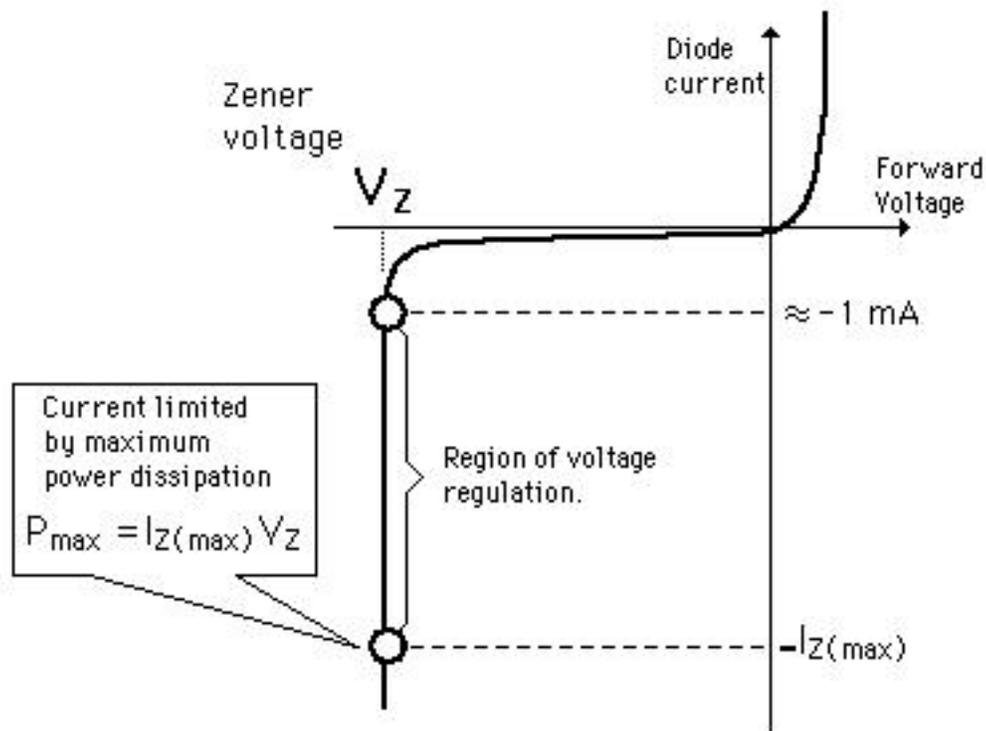
Existen dos fenómenos físicos asociados con la ruptura inversa de la juntura son:

- El efecto avalancha (ocurre en junturas levemente dopadas)
- El efecto túnel (ocurre en juntura fuertemente dopadas)

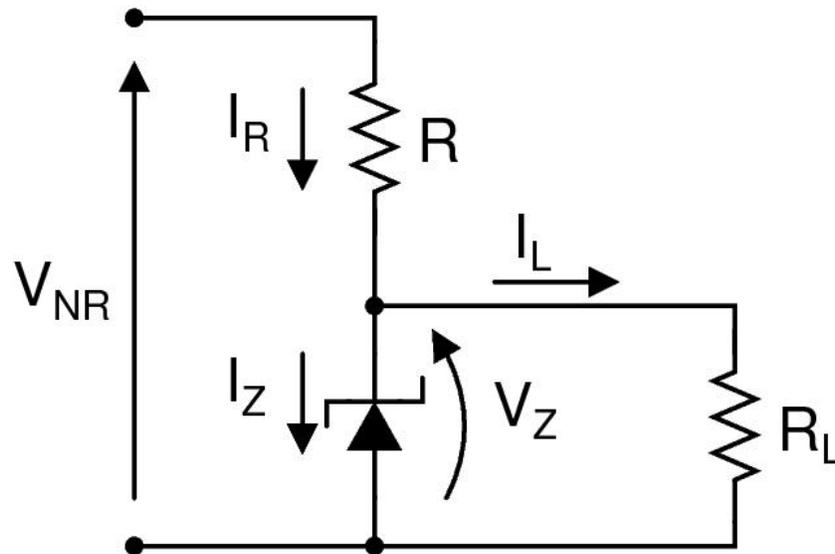
El diodo zener es un ejemplo de aplicación de la ruptura inversa.

### 3. El diodo zener

Este efecto de incremento de corriente inversa, da lugar a una nueva aplicación de diodo: el **Diodo Zener**



- Se lo utiliza en polarización inversa.
- Presenta una región de tensión casi constante para un rango amplio de corrientes.
- $\Rightarrow$  Se los utiliza para obtener una tensión regulada.
- En directa, es igual a un diodo de juntura PN como los estudiados.



Eligiendo la resistencia  $R$  y conociendo las características del diodo, se puede lograr que la tensión en la carga ( $R_L$ ) permanezca prácticamente constante dentro de un rango de variación de la tensión de entrada  $V_{NR}$ .

Para elegir la resistencia limitadora  $R$  adecuada, hay que considerar:

- la corriente  $I_L$  mínima y máxima que puede circular por la carga ( $R_L$ ).
- las corrientes de Zener mínimas y máximas ( $I_Z$ ).
- las tensiones mínimas y máximas de la fuente no regulada ( $V_{NR}$ ).
- $\Rightarrow$  se debe calcular cuál puede ser su valor máximo y mínimo:

$$R_{min} = \frac{V_{NR,max} - V_Z}{I_{L,min} + I_{Z,max}}$$

$$R_{max} = \frac{V_{NR,min} - V_Z}{I_{L,max} + I_{Z,min}}$$

## Principales conclusiones

La temperatura afecta las características del diodo provocando el aumento de la corriente.

El diodo en la realidad no se ajusta perfectamente al modelo exponencial

Aparecen nuevos efectos y aproximaciones que dejan de cumplirse:

- Corriente de recombinación en directa débil
- Corriente de generación en inversa
- Es necesario introducir el coeficiente de emisión debido a que:
  - La juntura no es abrupta
  - Deja de valer la aproximación de cuasi-equilibrio
  - Alto nivel de inyección
- Para corrientes muy altas, es necesario considerar la resistividad en las QNR y contactos metálicos.
- Para tensiones inversas muy altas se produce la ruptura de la juntura

- **Nuevo Dispositivo:** El diodo Zener aprovecha el efecto de ruptura y se utiliza para regular tensiones

# Clase 10<sup>1</sup> - El Transistor Bipolar de Juntura (I)

## RÉGIMEN ACTIVO DIRECTO

### Contenido:

1. TBJ: Estructura y operación básica
2. Características I-V en régimen activo directo

### Lecturas recomendadas:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 6, §§6.1–6.2.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 6, §§6.1–6.3 .
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 7, §§7.3–7.4.
- Gray, Hurst, Lewis, Meyer, “Analysis and Design of Analog Integrated Circuits”, Ch. 1, §§1.3.

---

<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras:

- ¿Cómo es un transistor bipolar de juntura?
- ¿Cómo funciona un transistor bipolar de juntura?
- ¿Cuáles son las principales dependencias de las corrientes del TBJ en Régimen Activo Directo?

## Un nuevo dispositivo semiconductor: el transistor

□ *¿Qué es un transistor y para qué sirve?*

El **transistor** es un dispositivo semiconductor que permite el paso de una señal (salida) en respuesta a otra (entrada).

El transistor se puede “comportar” como amplificador, oscilador, conmutador o rectificador.

□ *¿De dónde sale la palabra “transistor”?*

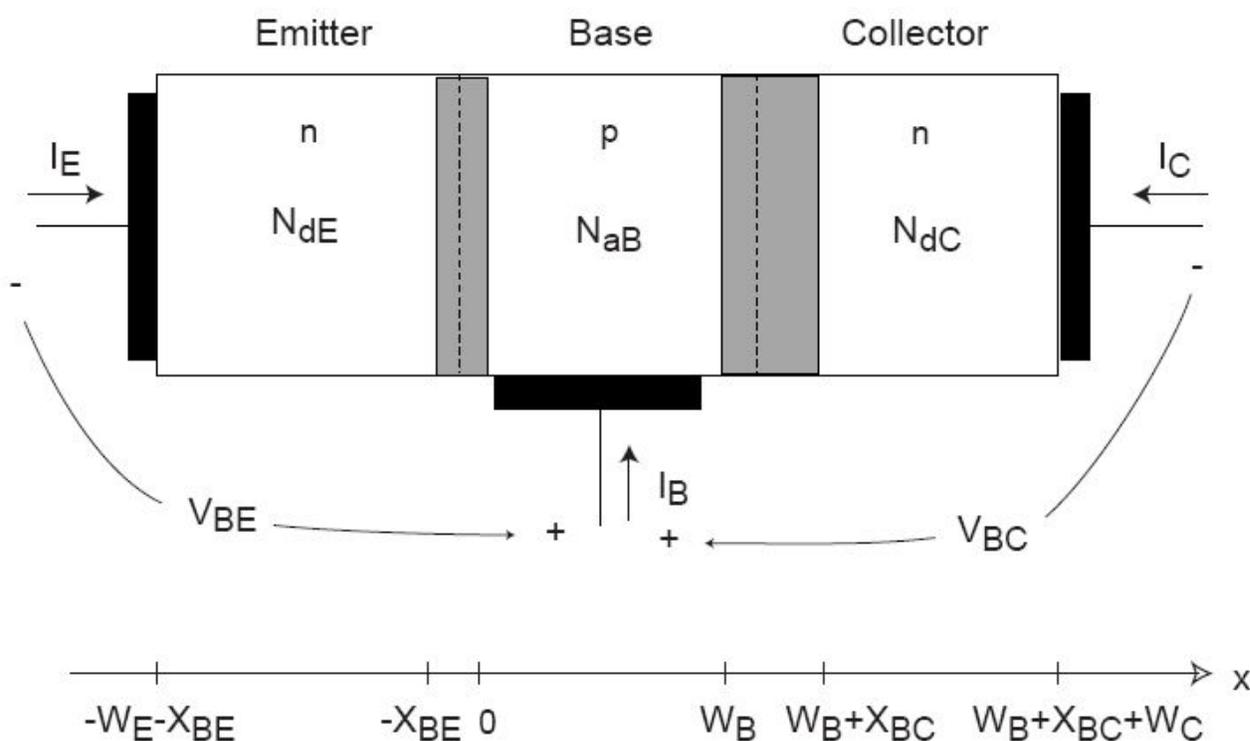
El término transistor viene del acrónimo “*transfer resistor*” (resistor de transferencia) e indica la capacidad del dispositivo de transferir una corriente desde un terminal “de control” con un bajo valor de resistencia (juntura en directa) a otro terminal con un elevado valor de resistencia (juntura en inversa).

## 1. TBJ: estructura y operación básica

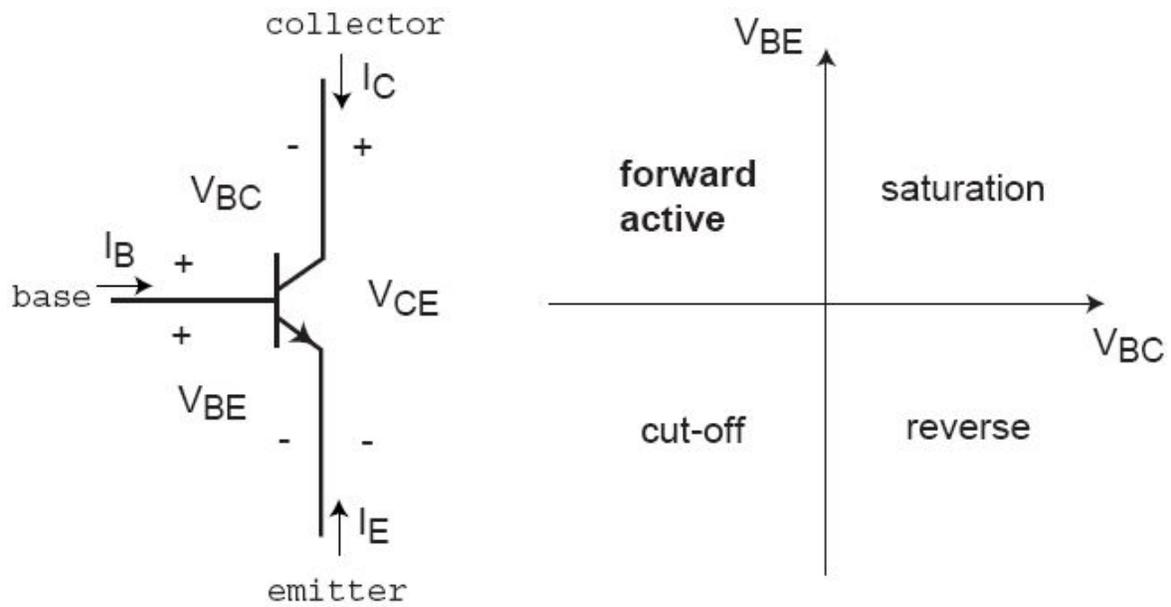
El TBJ es la superposición de tres regiones con dopajes contrarios, formando **dos** junturas PN.

Al intercambiar el tipo de dopaje, pueden obtenerse dos combinaciones distintas: NPN y PNP.

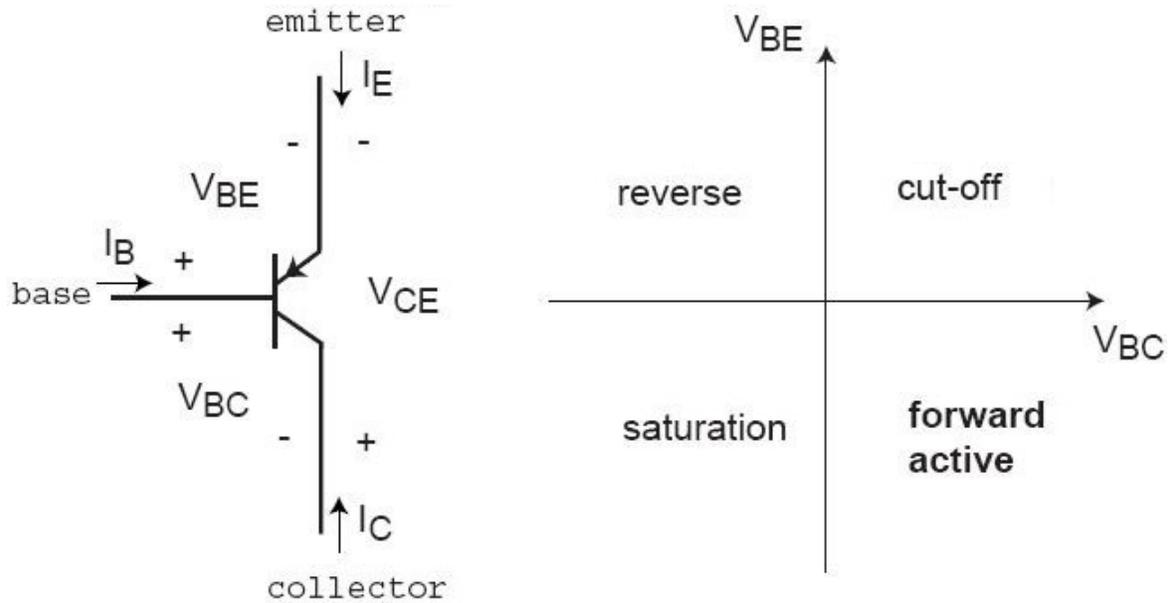
□ *Esquema simplificado (NPN)*



- Simbología y regímenes para NPN



- Simbología y regímenes para PNP



¿Qué destaca al TBJ?

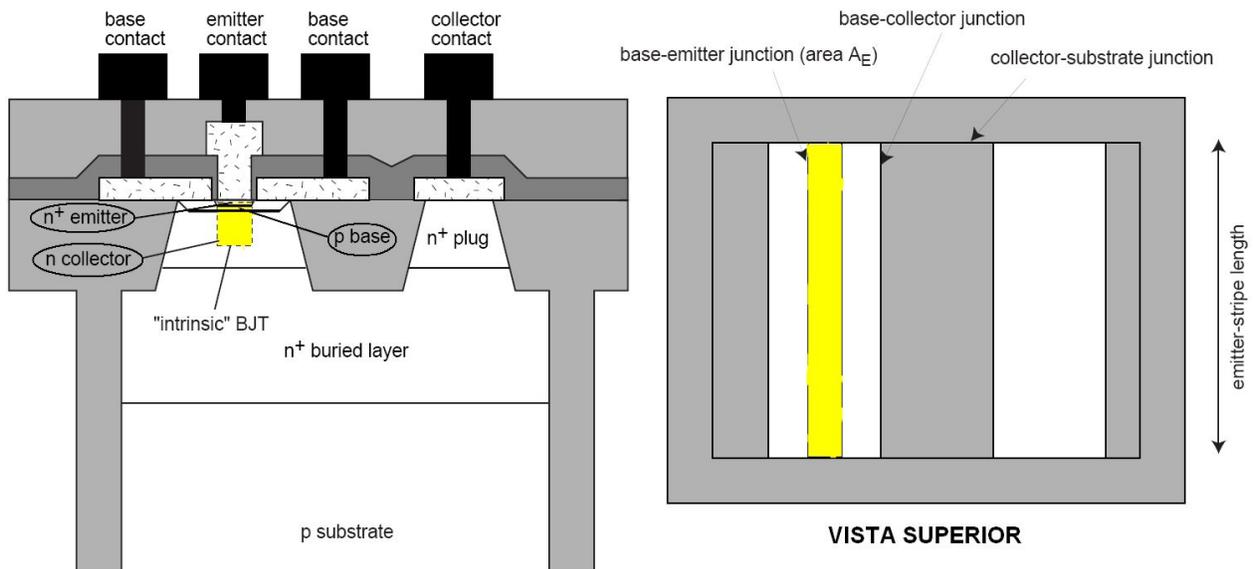
Permite manejar corrientes elevadas a altas velocidades

⇒ es excelente para aplicaciones analógicas y para interfaces de entrada en sistemas de comunicaciones (RF).

Desventaja: consumo de potencia.

## □ Fabricación en tecnología planar

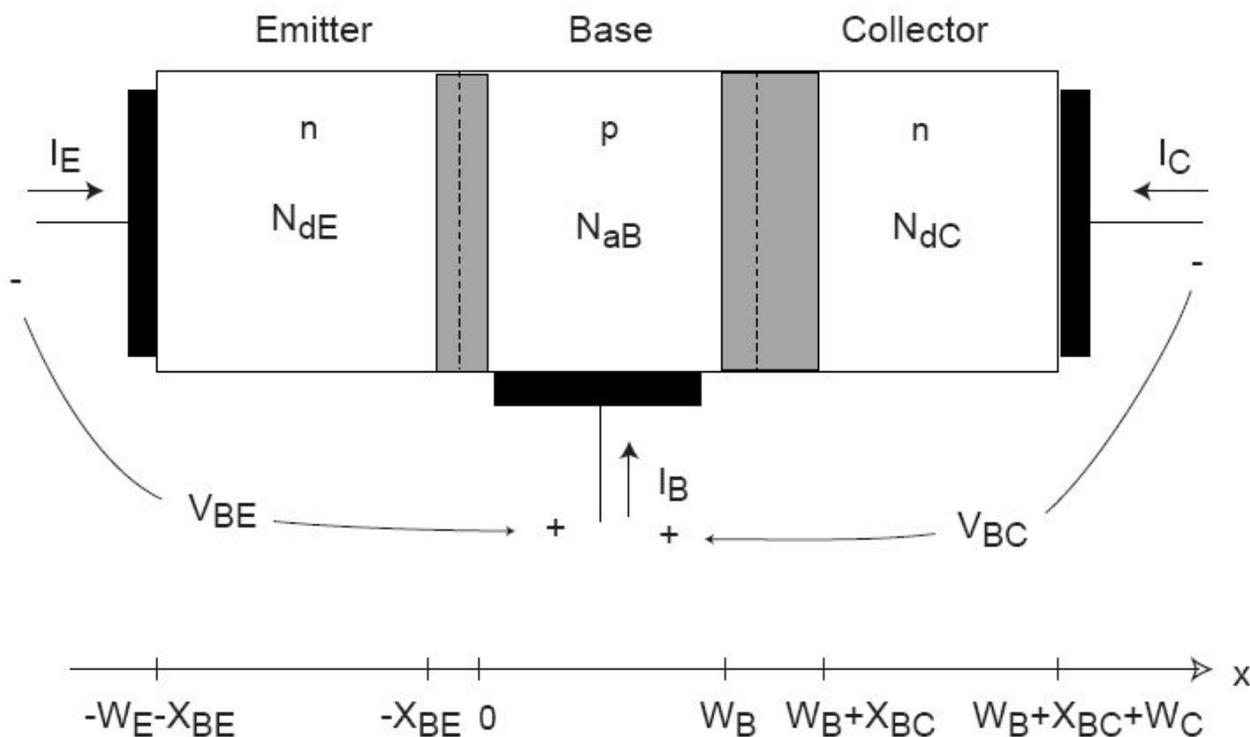
¿Cómo se logra fabricar esta estructura en una tecnología planar?



La superposición de dopajes obliga a que:

- $N_{dE} > N_{aB} > N_{dC}$  para NPN
- $N_{aE} > N_{dB} > N_{aC}$  para PNP

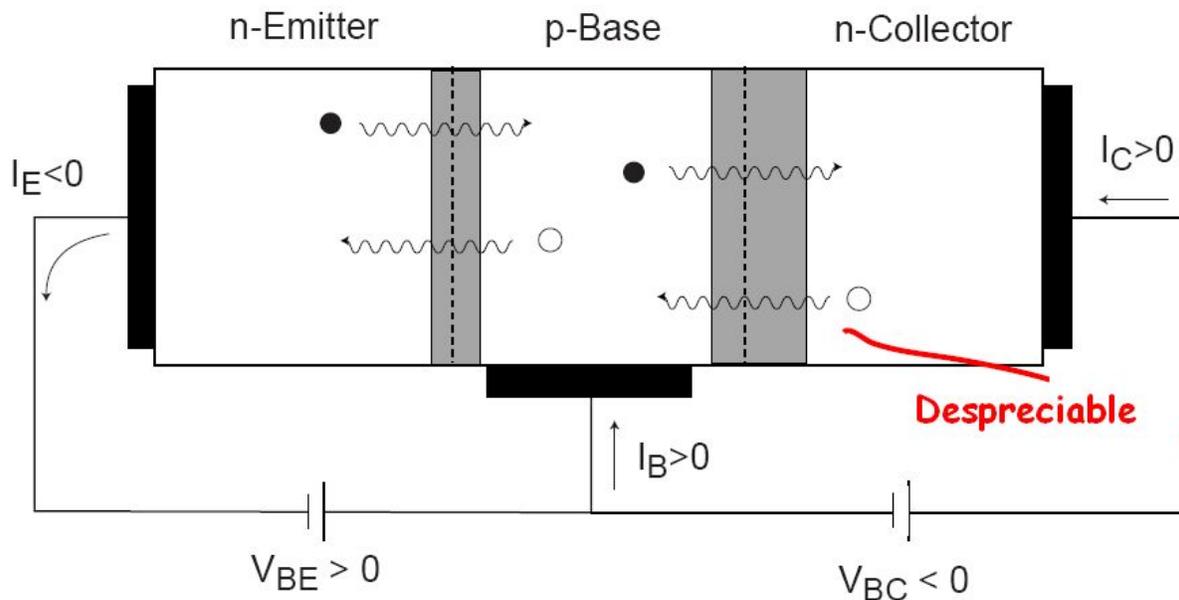
□ *Modelo simplificado unidimensional del TBJ*



TBJ = dos juntas PN adyacentes:

- suficientemente juntas como para que los portadores minoritarios interactúen (pueden difundirse rápido sin recombinarse en la base).
- suficientemente separadas como para que las regiones de deserción (SCR) no se solapen (*punchthrough*).

□ *Operación básica en Modo Activo Directo (MAD)*



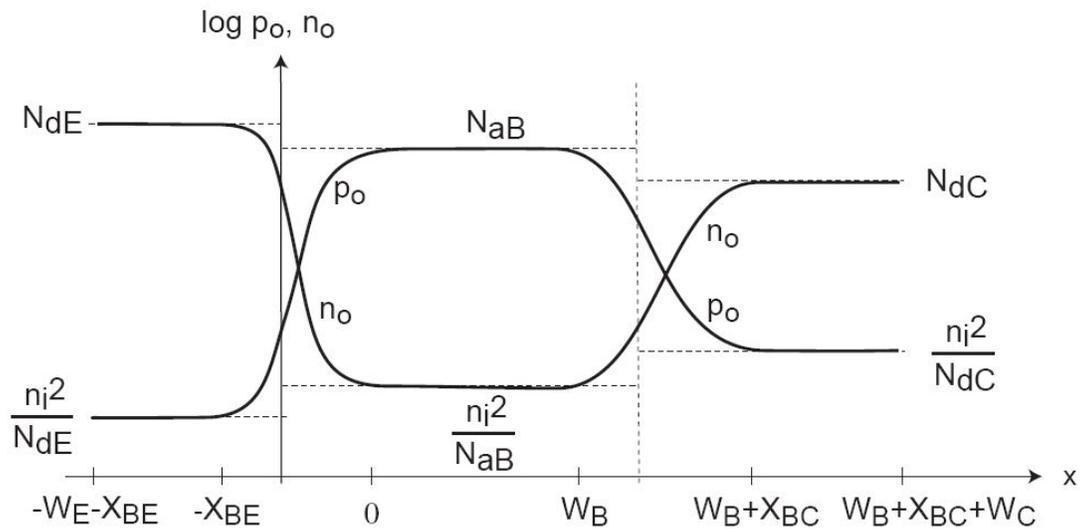
$V_{BE} > 0 \Rightarrow$  juntura en directa  
 inyección de electrones de E a B  
 inyección de huecos de B a E

$V_{BC} < 0 \Rightarrow$  juntura en inversa  
 extracción de electrones de B a C  
 extracción de huecos de C a B

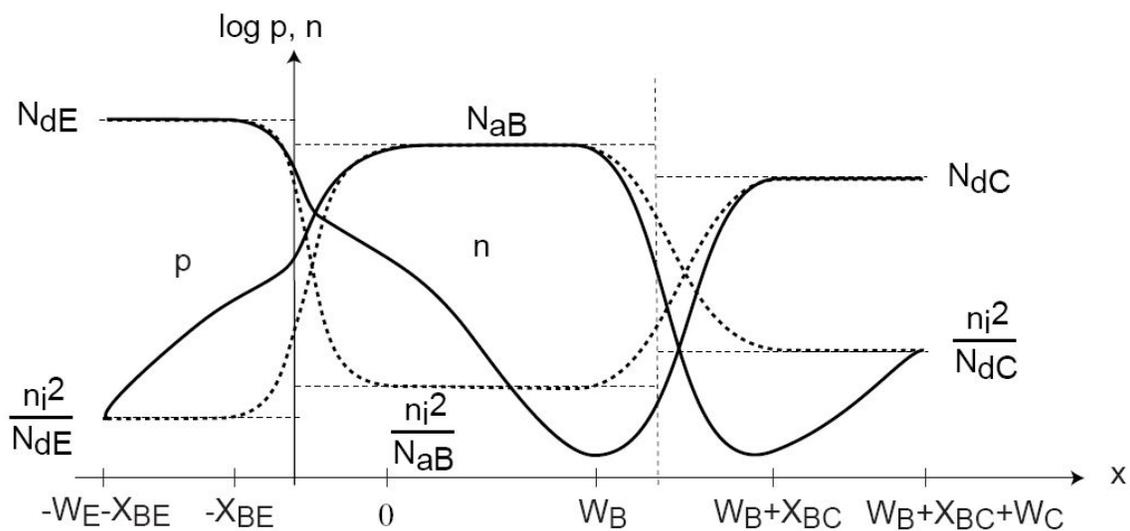
*Efecto Transistor:*

¡Los electrones inyectados de E a B, salen por el C!

- Concentración de portadores en equilibrio térmico:

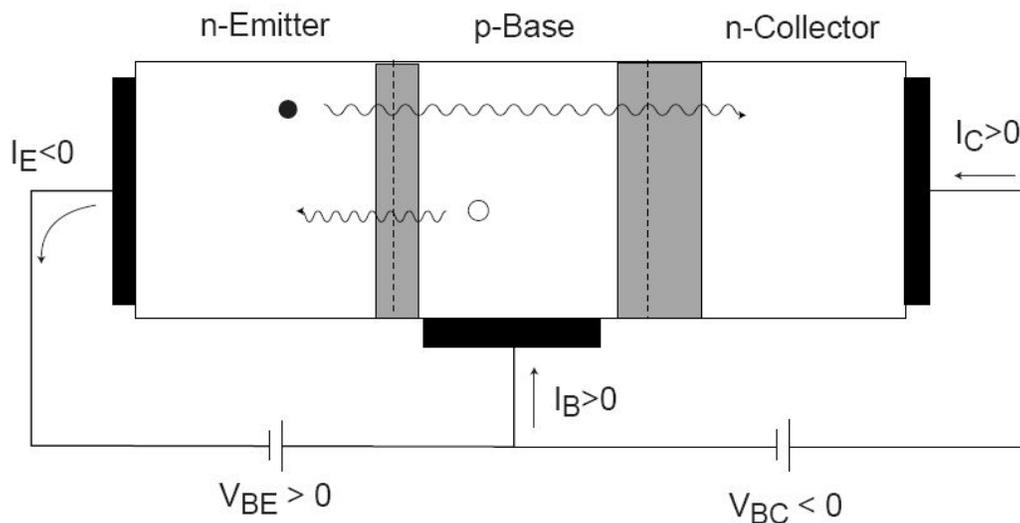


- Concentración de portadores en Modo Activo Directo:



- El perfil de  $e^-$  sugiere que habrá difusión desde emisor hacia colector, donde serán extraídos por el campo eléctrico en la SCR.
- El perfil de  $h^+$  sugiere que solamente habrá difusión desde base hacia emisor.

● Corrientes dominantes en Modo Activo Directo:



$I_C$ : 1. Inyección de  $e^-$  de E a B, difusión en B y extracción en C.

2. Extracción de  $h^+$  de C a B (despreciable en MAD).

$I_B$ : 1. Inyección de  $h^+$  de B a E.

2. Extracción de  $h^+$  de C a B (despreciable en MAD).

3. Recombinación de  $e^-$  provenientes de E con  $h^+$  de B (despreciable).

$I_E$ : 1. Inyección de  $e^-$  de E a B ( $\sim I_C$ ).

2. Inyección de  $h^+$  de B a E ( $\sim I_B$ ).

$$\Rightarrow I_E = -I_C - I_B.$$

En Modo Activo Directo:

- $V_{BE}$  (o  $I_B$ ) controla  $I_C$  (“efecto transistor”)
- $I_C$  independiente de  $V_{BC}$  (“aislación”)
- el precio a pagar por el control:  $I_B \Rightarrow$  Hay consumo de potencia en la base.

Se define la figura de mérito  $\beta_F$  (o  $h_{FE}$ ) como el cociente entre la corriente de colector y de base:

$$\beta_F = \frac{I_C}{I_B} \quad (\text{se desea que sea grande, } \simeq 100)$$

## 2. Características I-V en Modo Activo Directo

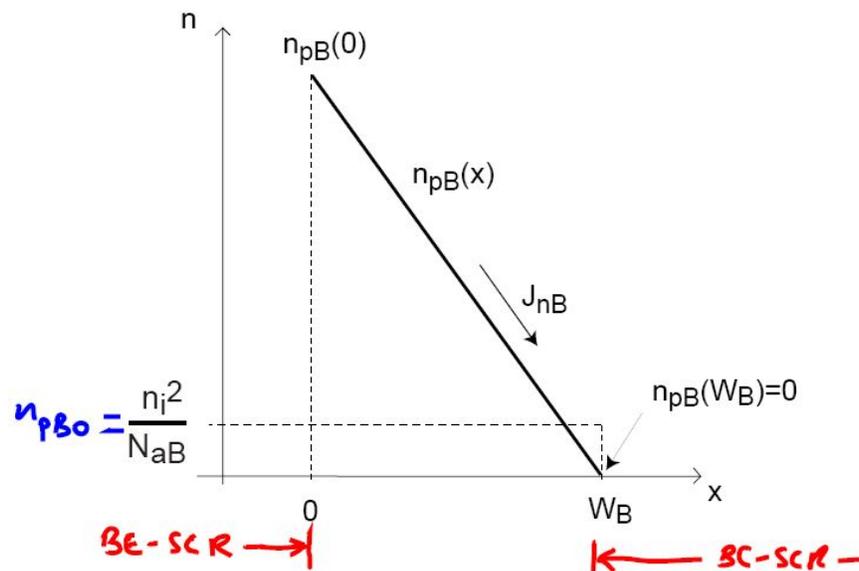
### □ *Corriente de Colector*

¿Cómo fluye la corriente de Colector ( $I_C$ ) a través del dispositivo?

1. La corriente de colector es una corriente de electrones.
2. Los  $e^-$  ingresan por el emisor (mayoritarios) donde se transportan por arrastre hasta la SCR Emisor-Base.
3. La juntura Emisor-Base está en directa y son inyectados a la Base por difusión.
4. En la Base, *son minoritarios y se difunden a través de la QNR hasta alcanzar la SCR Base-Colector*
5. La juntura Base-Colector está en inversa y son arrastrados por el campo eléctrico hacia el Colector
6. En el Colector vuelven a ser mayoritarios y se transportan por arrastre hasta el terminal de colector.

## ¿Cómo calculamos la corriente en un transporte tan complejo?

Nos concentramos en la difusión de  $e^-$  (minoritarios) en la base. La corriente debe ser la misma en todas las regiones.



Condiciones de borde. Hipótesis:

1. Aproximación de cuasi-equilibrio
2. Hipótesis de diodo corto

$$n_{pB}(0) = n_{pB0} \exp\left(\frac{V_{BE}}{kT/q}\right), \quad n_{pB}(W_B) = 0$$

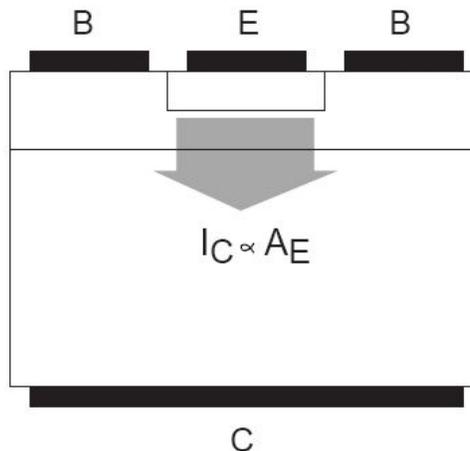
Perfil de electrones:

$$n_{pB}(x) = n_{pB}(0) \left( 1 - \frac{x}{W_B} \right)$$

Densidad de corriente de electrones:

$$J_{nB} = q D_n \frac{\partial n_{pB}(x)}{\partial x} = -q D_n \frac{n_{pB}(0)}{W_B}$$

La corriente de  $e^-$  es proporcional al área de la juntura base-emisor  $A_E$ :



La corriente de  $e^-$  se define en sentido  $+x$  pero circula en sentido  $-x$  (valor negativo), mientras que la corriente de colector se define en sentido  $-x$  (valor positivo):

$$\Rightarrow I_C = -J_{nB} A_E$$

Corriente de colector:

$$I_C = -J_{nB} A_E = q A_E \frac{D_n}{W_B} n_{pB0} \exp\left(\frac{V_{BE}}{kT/q}\right)$$

$$I_C = q A_E \frac{D_n}{W_B} \frac{n_i^2}{N_{aB}} \exp\left(\frac{V_{BE}}{kT/q}\right)$$

$$I_C = I_S \exp\left(\frac{V_{BE}}{kT/q}\right)$$

$I_S \equiv$  corriente de saturación del colector [A]

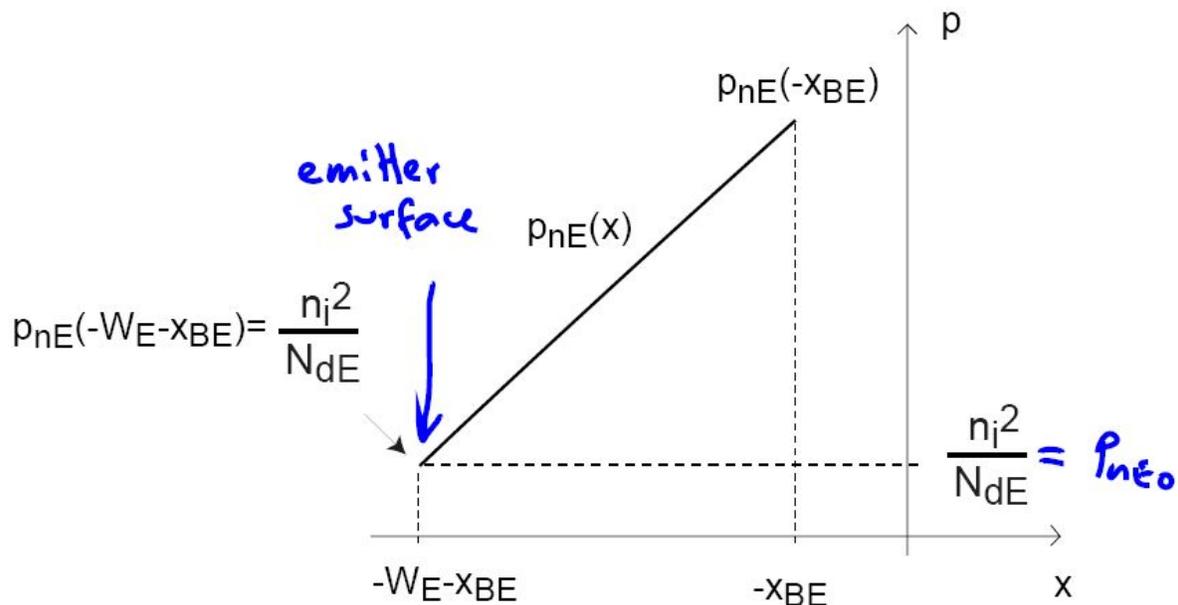
□ *Corriente de base*

¿Cómo fluye la corriente de Base ( $I_B$ ) a través del dispositivo?

1. La corriente de base es una corriente de huecos.
2. Los  $h^+$  ingresan por la base (mayoritarios) donde se transportan por arrastre hasta la SCR Emisor-Base.
3. La juntura Emisor-Base está en directa y son inyectados al Emisor por difusión.
4. En el Emisor, *son minoritarios y se difunden a través de la QNR hasta alcanzar el terminal de Emisor*

## La corriente de Base es similar a la corriente de un diodo fuertemente asimétrico en directa

Nos concentramos en la difusión de  $h^+$  inyectados en el Emisor (minoritarios). La corriente debe ser la misma en todas las regiones.



Condiciones de borde:

$$p_{nE}(-x_{BE}) = p_{nE0} \exp\left(\frac{V_{BE}}{kT/q}\right), \quad p_{nE}(-W_E - x_{BE}) = p_{nE0}$$

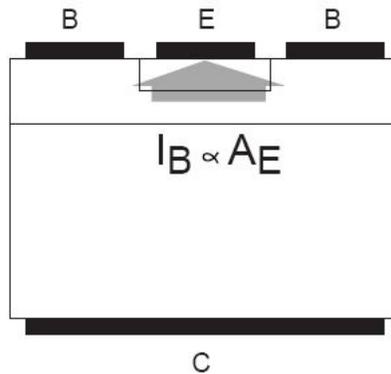
Perfil de huecos:

$$p_{nE}(x) = [p_{nE}(-x_{BE}) - p_{nE0}] \left(1 + \frac{x + x_{BE}}{W_E}\right) + p_{nE0}$$

Densidad de corriente de huecos:

$$J_{pE} = -q D_p \frac{\partial p_{nE}(x)}{\partial x} = -q D_p \frac{p_{nE}(-x_{BE}) - p_{nE0}}{W_E}$$

La corriente de base es proporcional al área de la juntura base-emisor  $A_E$ :



La corriente de  $h^+$  se define en sentido  $+x$  pero circula en sentido  $-x$  (valor negativo), mientras que la corriente de base se define en sentido  $-x$  (valor positivo):

$$\Rightarrow I_B = -J_{pE} A_E$$

Corriente de base:

$$I_B = -J_{pE} A_E = q A_E \frac{D_p}{W_E} p_{nE0} \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - 1 \right)$$

$$I_B = q A_E \frac{D_p}{W_E} \frac{n_i^2}{N_{dE}} \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - 1 \right)$$

Luego:

$$I_B = \frac{I_S}{\beta_F} \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - 1 \right)$$

Para  $V_{BE} \gg \frac{kT}{q}$ :

$$I_B \simeq \frac{I_C}{\beta_F}$$

□ *Ganancia de corriente:*

$$\beta_F = \frac{I_C}{I_B} = \frac{n_{pB0} \frac{D_n}{W_B}}{p_{nE0} \frac{D_p}{W_E}} = \frac{N_{dE} D_n W_E}{N_{aB} D_p W_B}$$

Para maximizar  $\beta_F$ :

- $N_{dE} \gg N_{aB}$
- $W_E \gg W_B$
- “Mejor” *NPN* que *PNP* (debido a que  $D_n > D_p$ )

Estado actual del arte en TBJs circuitos integrados para aplicaciones analógicas de instrumentación o comunicaciones:

$$I_C \sim 0,1 \dots 1 \text{ mA}, \quad \beta_F \sim 50 \dots 300$$

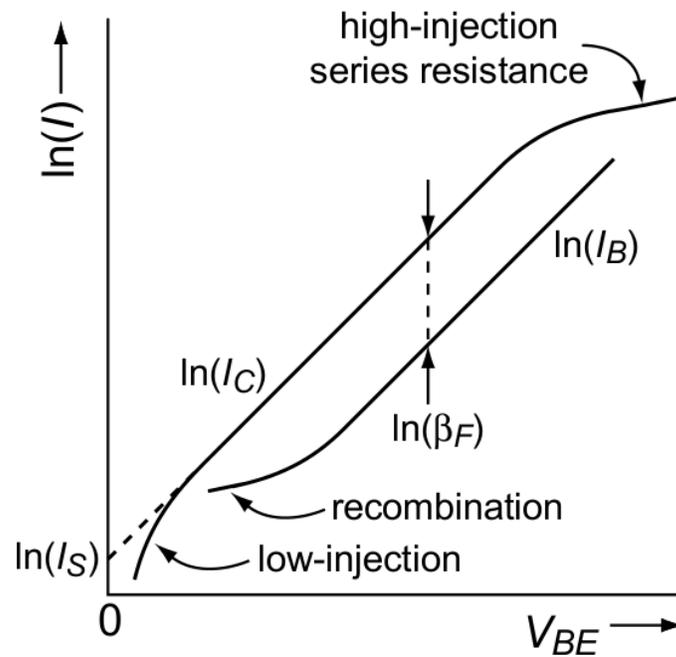
$\beta_F$  es difícil de controlar en el proceso de fabricación

⇒ Necesitamos circuitos insensibles a variaciones en  $\beta_F$

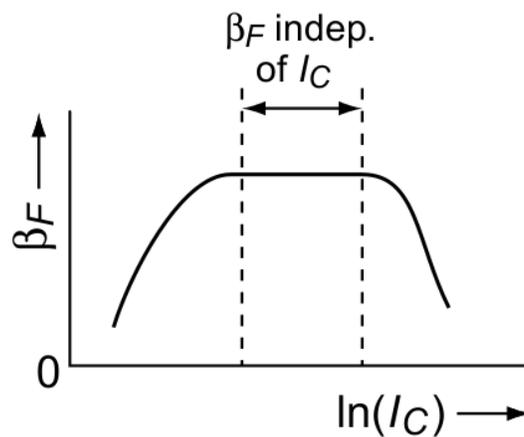
⇒ se utilizan circuitos realimentados.

## □ Gráfico de Gummel

Gráfico semilogarítmico de  $I_C$  e  $I_B$  vs.  $V_{BE}$



En consecuencia, dependencia de  $\beta_F$  con  $I_C$ :



□ *Dispersión de los parámetros del TBJ*

...debido a variaciones en el proceso de fabricación

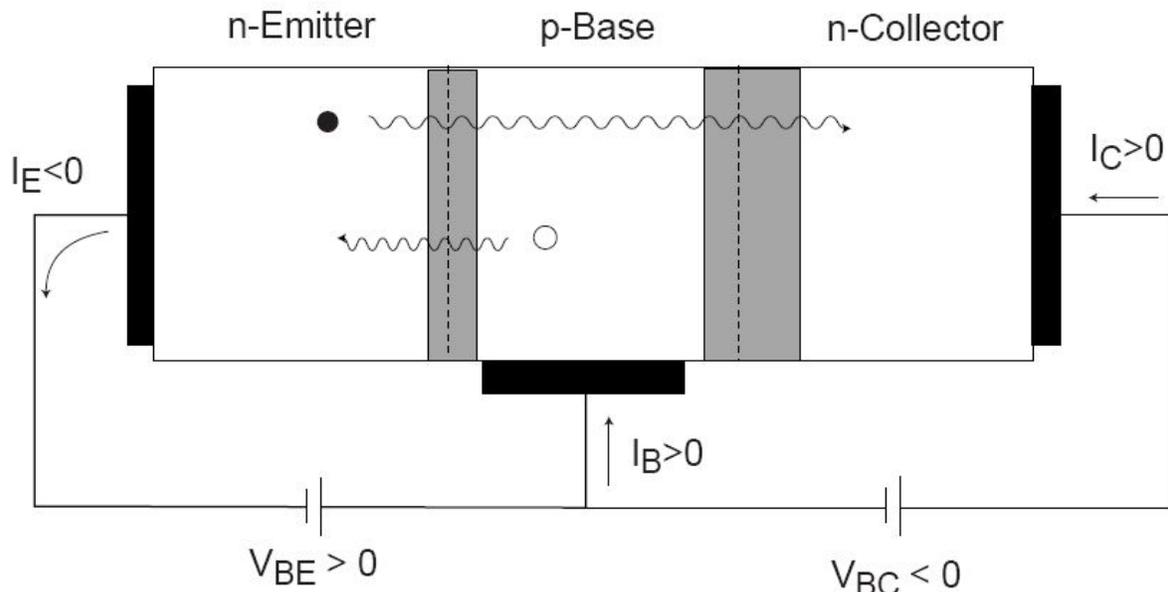
- Variaciones en  $\beta_F$  debido a variaciones en el ancho de la base:  $W_B$
- Variaciones en  $n_i$  y  $\mu$  debido a estrés mecánico
- Variaciones en la corriente de saturación:

$$I_S = A_E kT \frac{n_i^2}{N_{aB}} \frac{\bar{\mu}}{W_B}$$

Se debe fundamentalmente a la dispersión en la concentración del nivel de dopantes en la base.

## Principales conclusiones

Corrientes del TBJ *NPN* en Modo Activo Directo:



- El emisor “inyecta” electrones en la base,  
El colector “colecta” electrones de la base.
- $\Rightarrow I_C$  es controlada por  $V_{BE}$ , independientemente de  $V_{BC}$  (*efecto transistor*):

$$I_C \propto \exp\left(\frac{V_{BE}}{kT/q}\right)$$

- La base inyecta huecos en el emisor  $\Rightarrow I_B > 0$
- Relación entre la corriente de base y la de colector:

$$\beta_F = \frac{I_C}{I_B}$$

# Clase 11<sup>1</sup> - El transistor bipolar de juntura (II)

## REGÍMENES DE OPERACIÓN

### Contenido:

1. Regímenes de operación.
2. Modelo circuital equivalente de gran señal.
3. Características de salida.

### Lecturas recomendadas:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 6, §§6.1; 6.3–6.4.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 6, §§6.1–6.3 .
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 7, §§7.3–7.4.
- Gray, Hurst, Lewis, Meyer, “Analysis and Design of Analog Integrated Circuits”, Ch. 1, §§1.3.

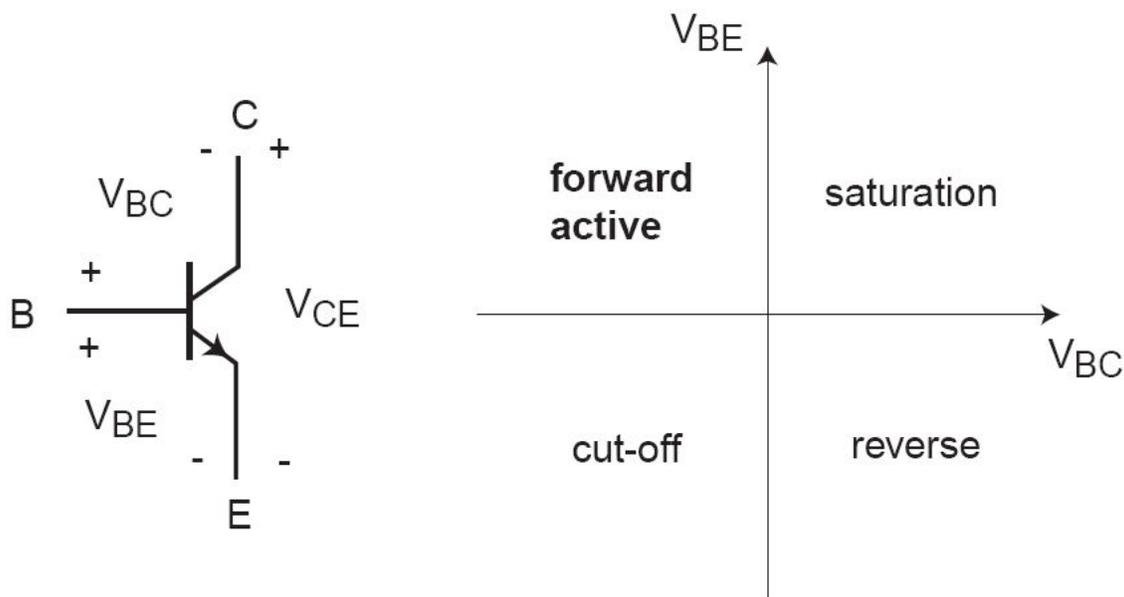
---

<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras:

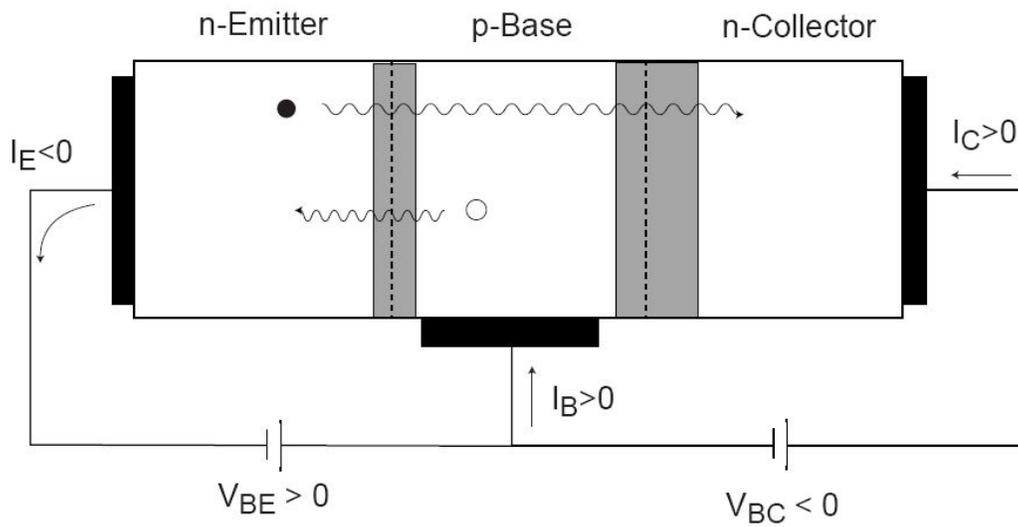
- ¿Qué regímenes de operación existen para un TBJ?
- ¿Qué tiene de particular cada régimen?
- ¿Cómo son los modelos circuitales equivalentes del TBJ?

## 1. Regímenes de operación

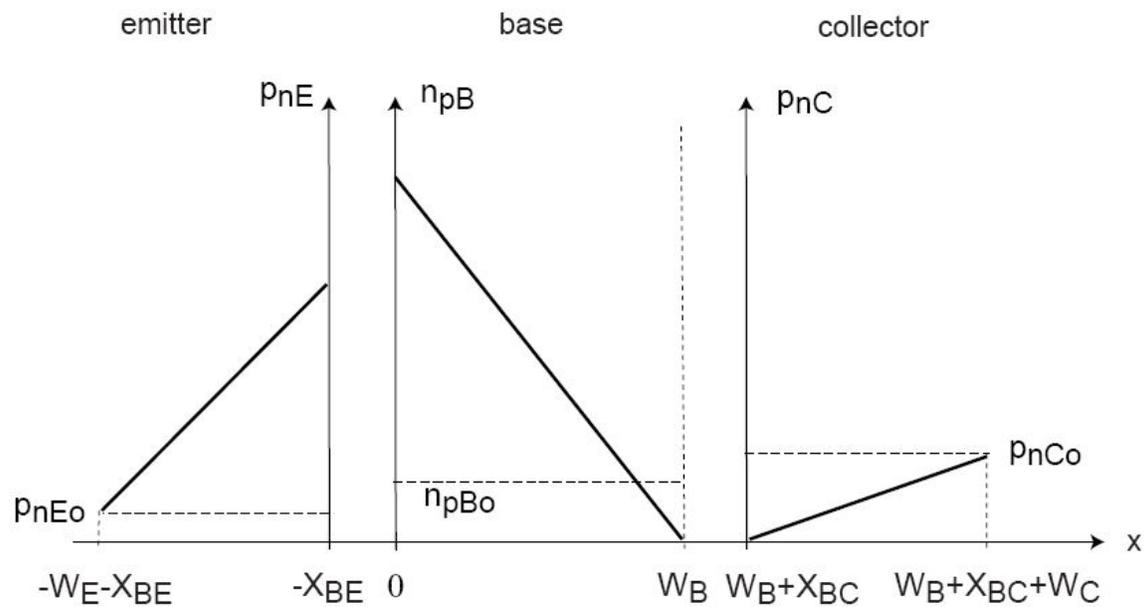


- *Modo Activo Directo (forward active)*: la corriente de colector se controla a través de  $V_{BE}$  y tiene poca dependencia con la tensión del colector (buena aislación).
- *Saturación (saturation)*: el TBJ está en conducción pero la corriente depende de  $V_{BE}$  y de  $V_{BC}$ . La base está inundada de portadores minoritarios.
- *Reversa (reverse)*: ganancia es pobre; el dispositivo NO es útil en esta región y debe evitarse.
- *Corte (cut-off)*: corrientes  $I_C$  e  $I_B$  despreciables: se encuentra en “bloqueo”.

□ RÉGIMEN ACTIVO DIRECTO:  $V_{BE} > 0$ ,  $V_{BC} < 0$



● Perfil de portadores minoritarios (*no en escala*):



- El emisor inyecta electrones en la base, el colector colecta electrones de la base:

$$I_C = I_S \exp\left(\frac{V_{BE}}{kT/q}\right)$$

- La base inyecta huecos al emisor, que se recombinan en el contacto del emisor:

$$I_B = \frac{I_S}{\beta_F} \left( \exp\left(\frac{V_{BE}}{kT/q}\right) - 1 \right)$$

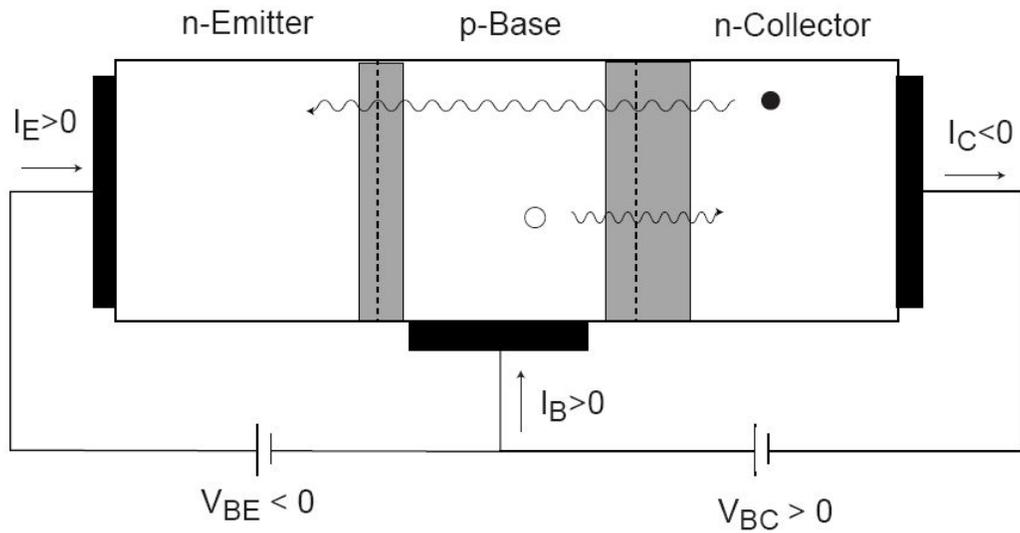
- Corriente del emisor:

$$I_E = -I_C - I_B$$

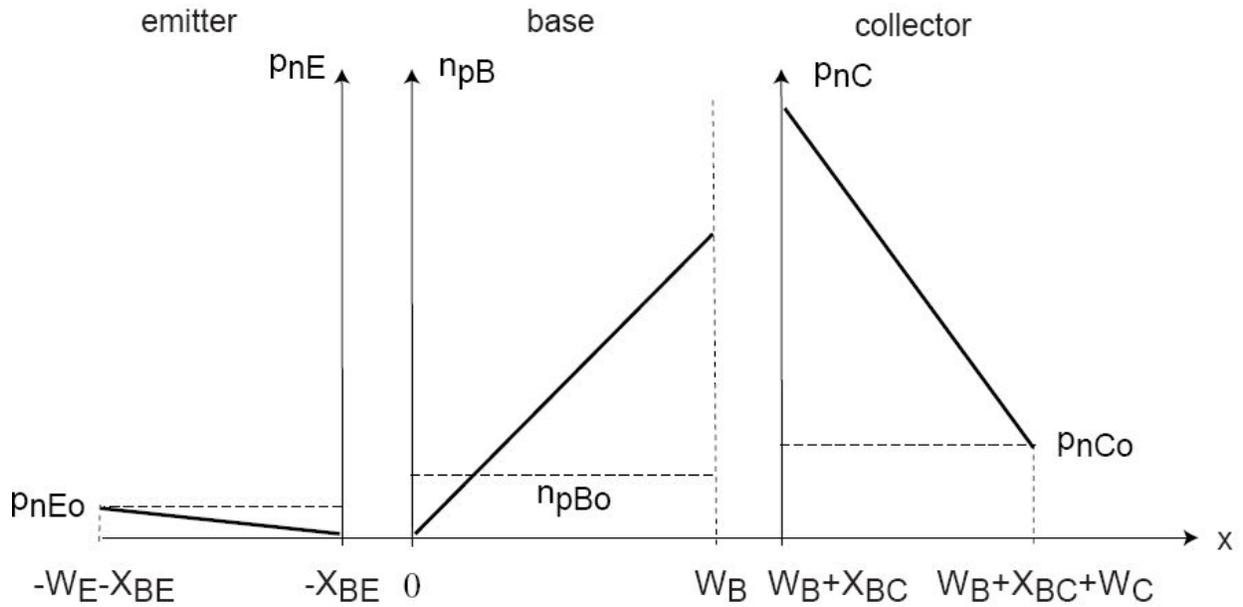
$$I_E = -I_S \exp\left(\frac{V_{BE}}{kT/q}\right) - \frac{I_S}{\beta_F} \left( \exp\left(\frac{V_{BE}}{kT/q}\right) - 1 \right)$$

- Los TBJs integrados actualmente:  $I_C \sim 0,1 \dots 1 \text{ mA}$ ,  $\beta_F \sim 50 \dots 300$ .
- $\beta_F$  difícil de controlar con precisión  $\Rightarrow$  se recurre a técnicas de diseño de circuitos para lograr insensibilidad a variaciones en  $\beta_F$ .

□ RÉGIMEN DE REVERSA:  $V_{BE} < 0$ ,  $V_{BC} > 0$



● Perfil de portadores minoritarios:



- El colector inyecta electrones en la base, el emisor colecta electrones de la base:

$$I_E = I_S \exp\left(\frac{V_{BC}}{kT/q}\right)$$

- La base inyecta huecos al colector, se recombinan en el contacto con el colector y el sustrato:

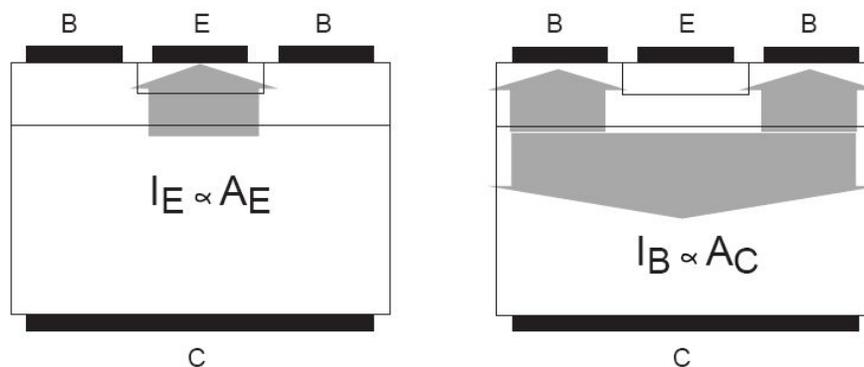
$$I_B = \frac{I_S}{\beta_R} \left( \exp\left(\frac{V_{BC}}{kT/q}\right) - 1 \right)$$

- Corriente de colector:

$$I_C = -I_E - I_B$$

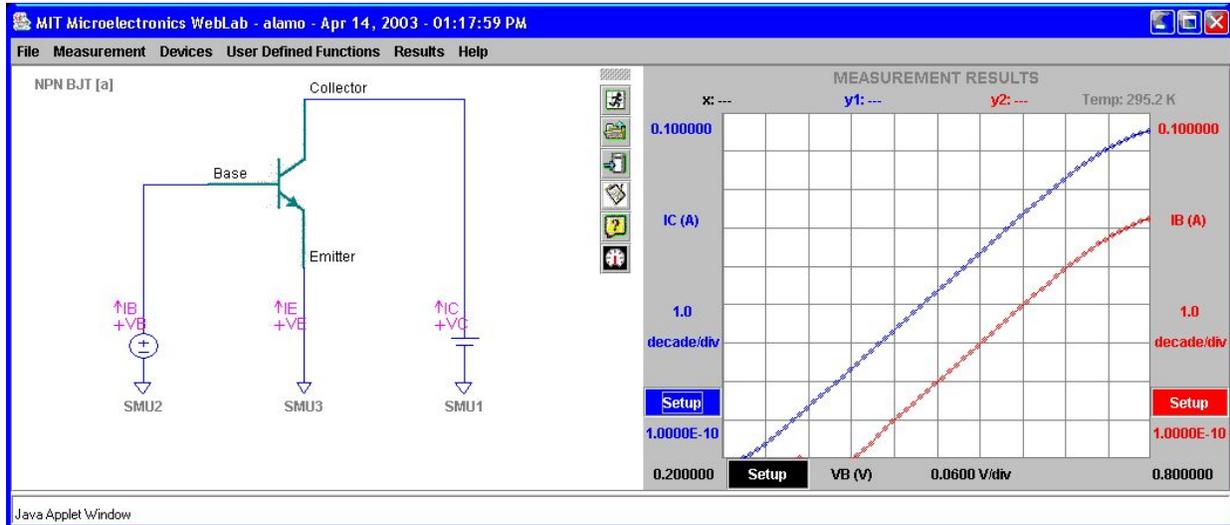
$$I_C = -I_S \exp\left(\frac{V_{BC}}{kT/q}\right) - \frac{I_S}{\beta_R} \left( \exp\left(\frac{V_{BC}}{kT/q}\right) - 1 \right)$$

- Típicamente,  $\beta_R \sim 0,1 \dots 5 \ll \beta_F$ .

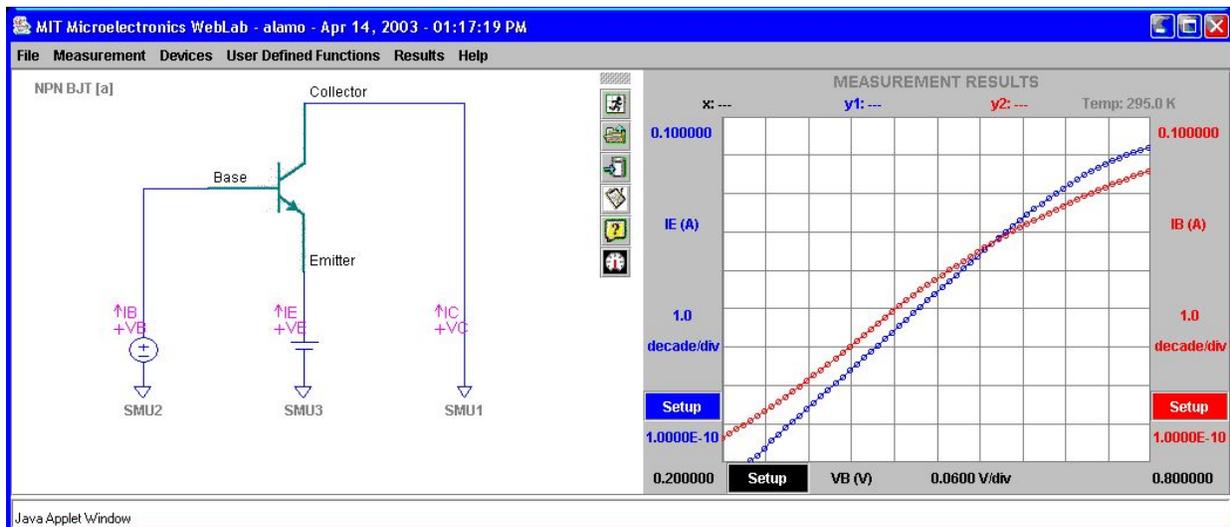


- Comparación de Gráficos de Gummel

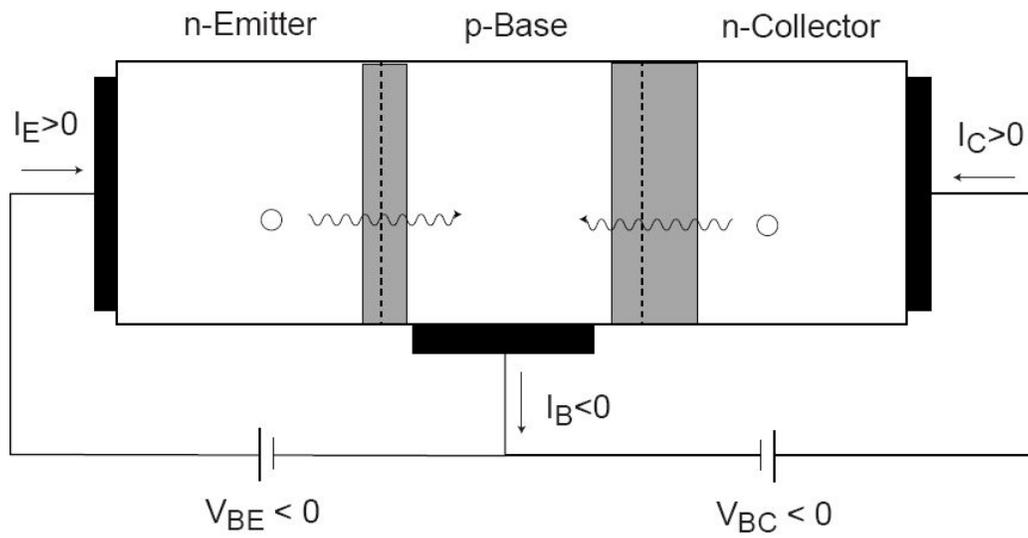
- Régimen Activo Directo ( $V_{CE} = 3\text{ V}$ ):



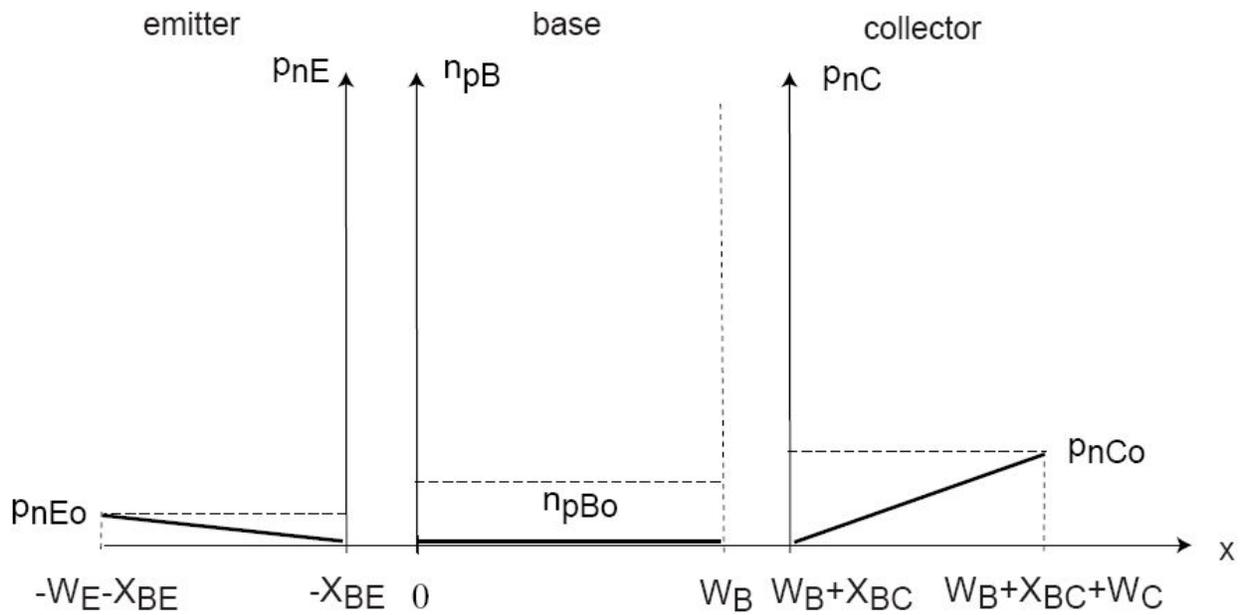
- Régimen de Reversa ( $V_{EC} = 3\text{ V}$ ):



□ CORTE:  $V_{BE} < 0$ ,  $V_{BC} < 0$



Concentración de portadores minoritarios:



- La base extrae huecos del emisor:

$$I_E = \frac{I_S}{\beta_F}$$

- La base extrae huecos del colector:

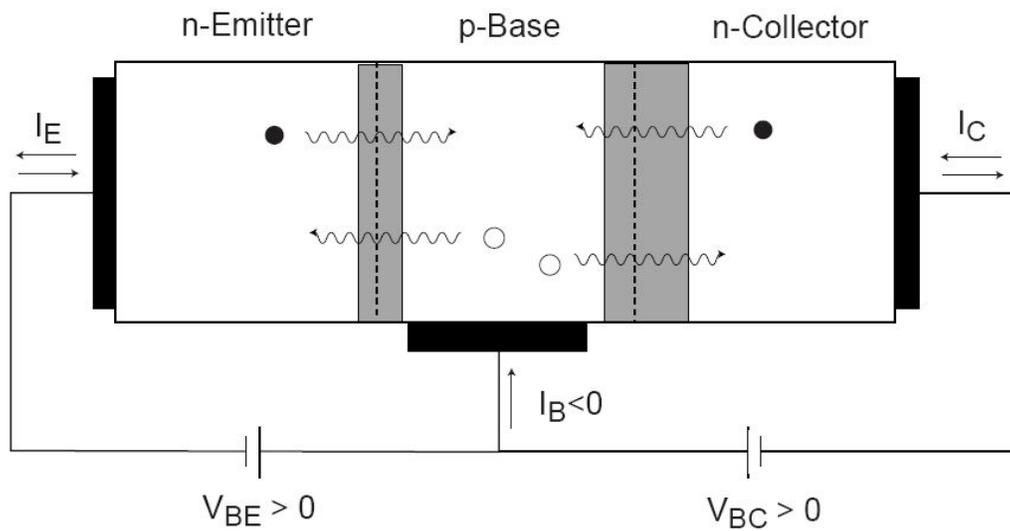
$$I_C = \frac{I_S}{\beta_R}$$

- Luego la corriente de base es:

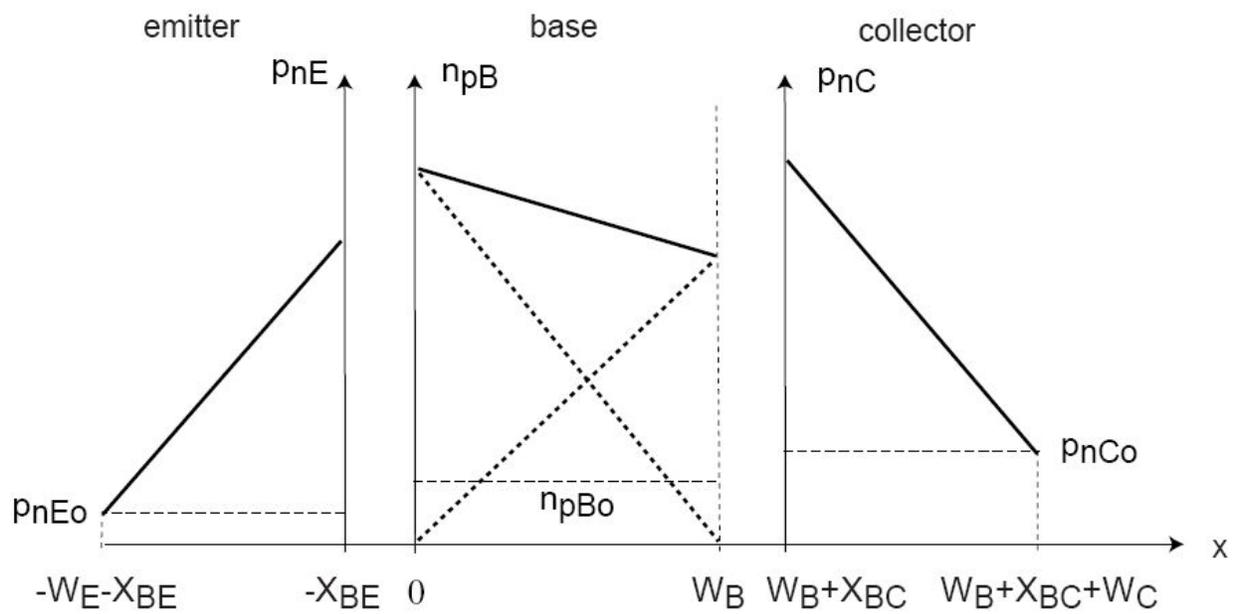
$$I_B = -I_C - I_E$$

- Estas son solo pequeñas corrientes de fuga ( $\sim$  pA) que en la mayoría de las aplicaciones prácticas pueden despreciarse.

□ SATURACIÓN:  $V_{BE} > 0, V_{BC} > 0$



Perfiles de concentración de los portadores minoritarios:



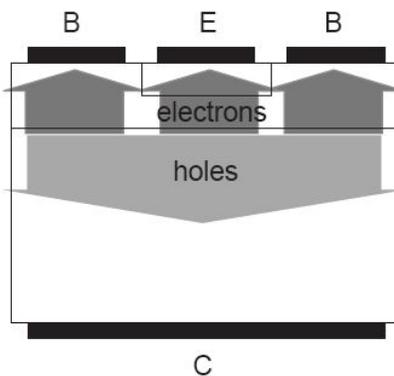
El régimen de saturación es la superposición del régimen activo y el reverso:

$$I_C = I_S \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - \exp \left( \frac{V_{BC}}{kT/q} \right) \right) - \frac{I_S}{\beta_R} \left( \exp \left( \frac{V_{BC}}{kT/q} \right) - 1 \right)$$

$$I_B = \frac{I_S}{\beta_F} \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - 1 \right) + \frac{I_S}{\beta_R} \left( \exp \left( \frac{V_{BC}}{kT/q} \right) - 1 \right)$$

$$I_E = -\frac{I_S}{\beta_F} \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - 1 \right) - I_S \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - \exp \left( \frac{V_{BC}}{kT/q} \right) \right)$$

- $I_C$  y  $I_E$  pueden tener cualquier signo, dependiendo de la magnitud relativa de  $V_{BE}$  y  $V_{BC}$ , y  $\beta_F$  y  $\beta_R$ .
- En saturación el colector y la base están inundados de portadores minoritarios en exceso  $\Rightarrow$  demora mucho tiempo sacar al TBJ de saturación



## 2. Modelo circuital equivalente de gran señal

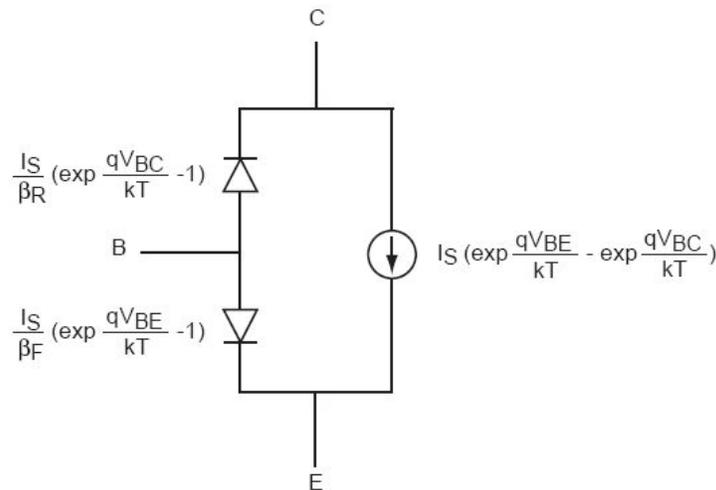
□ Sistema de ecuaciones que describen la operación del TBJ

$$I_C = I_S \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - \exp \left( \frac{V_{BC}}{kT/q} \right) \right) - \frac{I_S}{\beta_R} \left( \exp \left( \frac{V_{BC}}{kT/q} \right) - 1 \right)$$

$$I_B = \frac{I_S}{\beta_F} \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - 1 \right) + \frac{I_S}{\beta_R} \left( \exp \left( \frac{V_{BC}}{kT/q} \right) - 1 \right)$$

$$I_E = -\frac{I_S}{\beta_F} \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - 1 \right) - I_S \left( \exp \left( \frac{V_{BE}}{kT/q} \right) - \exp \left( \frac{V_{BC}}{kT/q} \right) \right)$$

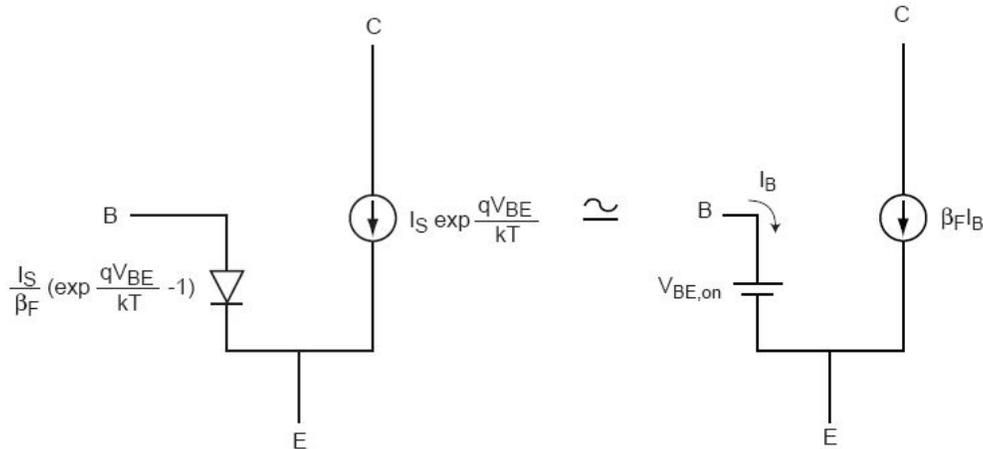
□ Representación del modelo circuital equivalente: *Modelo No Lineal Híbrido- $\pi$*  o *Modelo de “Ebers-Moll”*



Hay tres parámetros en este modelo:  $I_S$ ,  $\beta_F$ , y  $\beta_R$ .

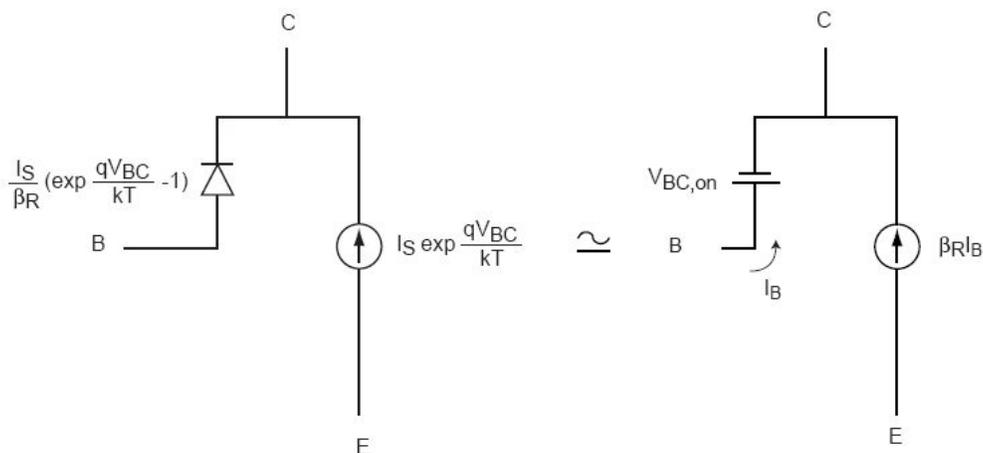
□ Simplificaciones del modelo circuital equivalente

- Régimen activo directo:  $V_{BE} > 0$ ,  $V_{BC} < 0$



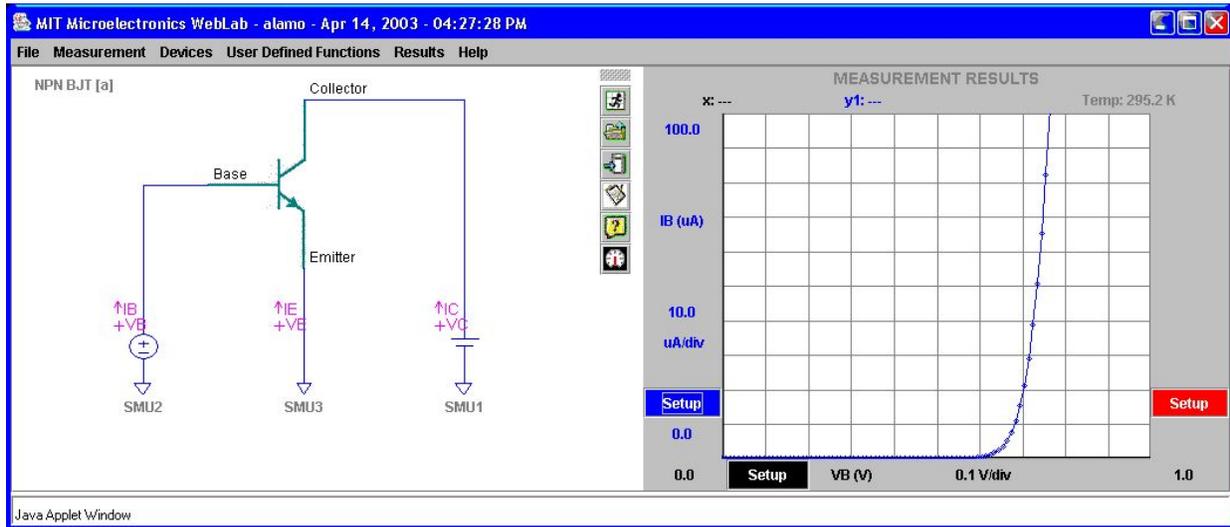
Típicamente:  $V_{BE(on)} \simeq 0,7 \text{ V}$ .  $I_B$  depende del circuito externo (malla de entrada o de control).

- En reversa:  $V_{BE} < 0$ ,  $V_{BC} > 0$

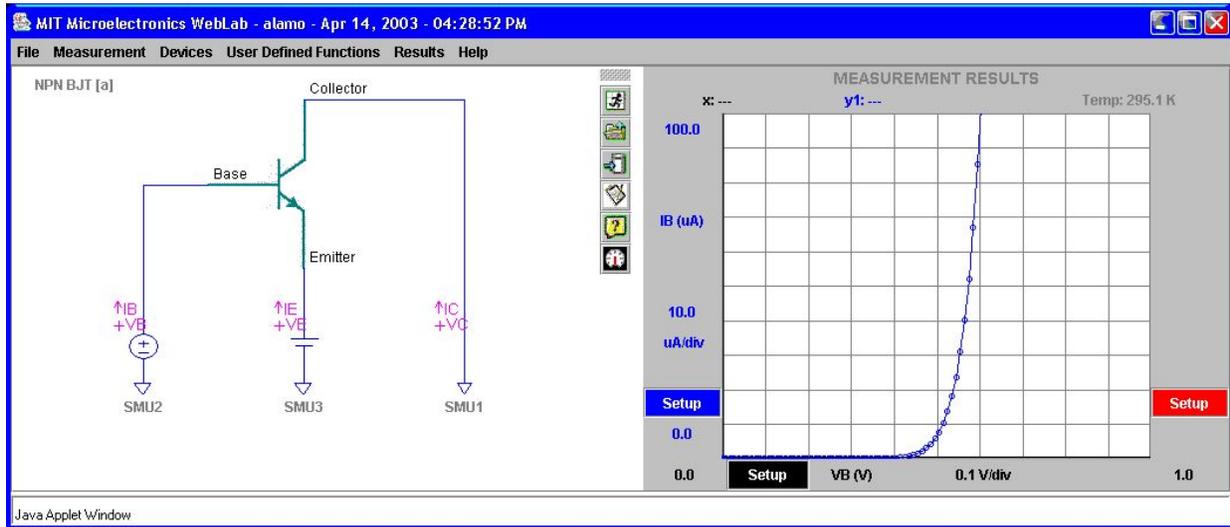


Típicamente:  $V_{BC(on)} \simeq 0,5 \text{ V}$  (los dopajes de la juntura BC son menores).  $I_B$  también depende del circuito externo.

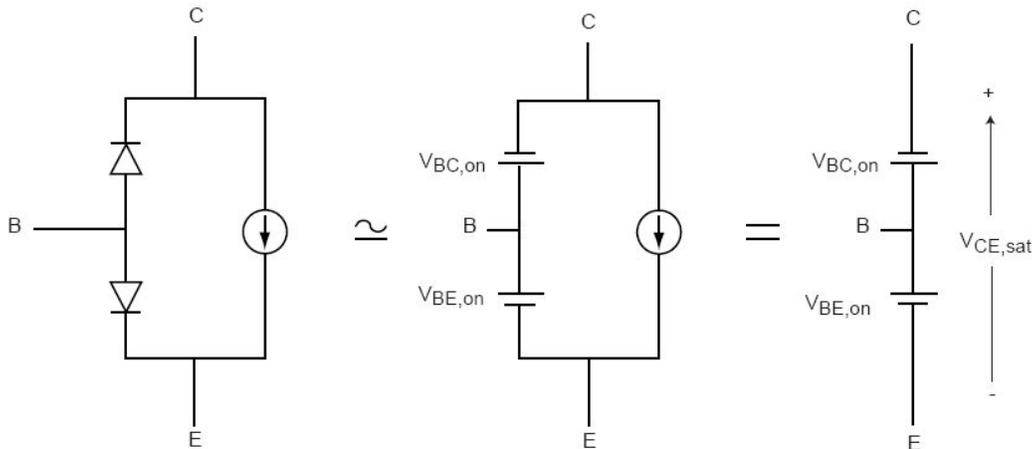
$I_B$  vs.  $V_{BE}$  para  $V_{CE} = 3\text{ V}$  (dispositivo en MAD):



$I_B$  vs.  $V_{BC}$  para  $V_{EC} = 3\text{ V}$  (dispositivo en reversa):



- En saturación:  $V_{BE} > 0$ ,  $V_{BC} > 0$

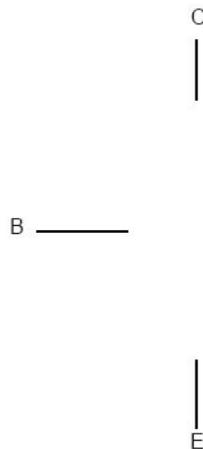


El dispositivo se comporta como dos diodos en directa con la base como ánodo común. Luego puede obtenerse:

$$V_{CE(sat)} = V_{BE(on)} - V_{BC(on)} \simeq 0,2 \text{ V.}$$

$I_B$  e  $I_C$  dependen del *circuito externo*.

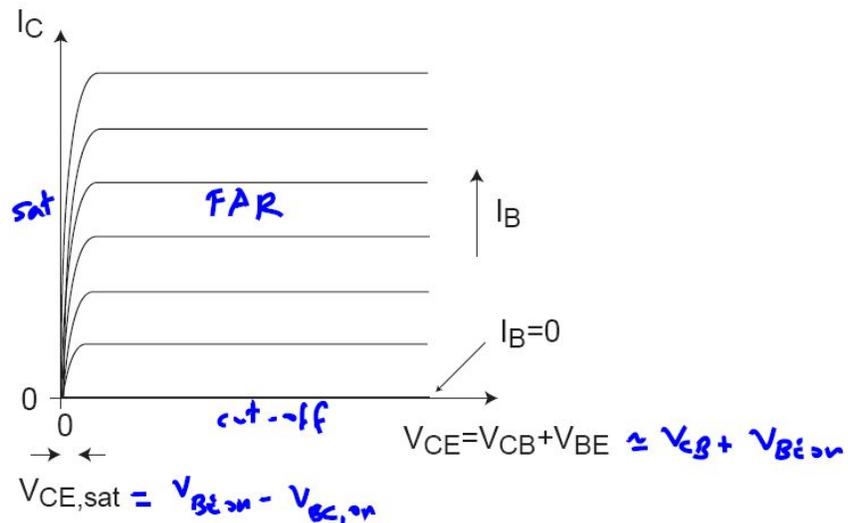
- Corte:  $V_{BE} < 0$ ,  $V_{BC} < 0$



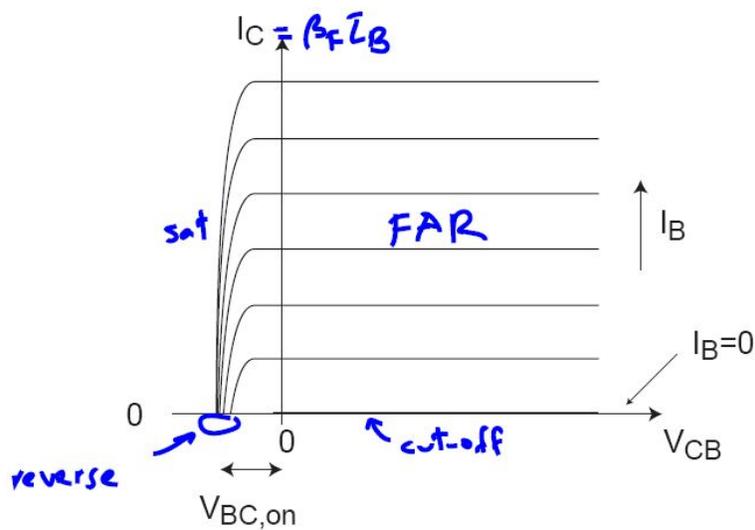
Solo existen corrientes de fuga despreciables.

### 3. Características de salida

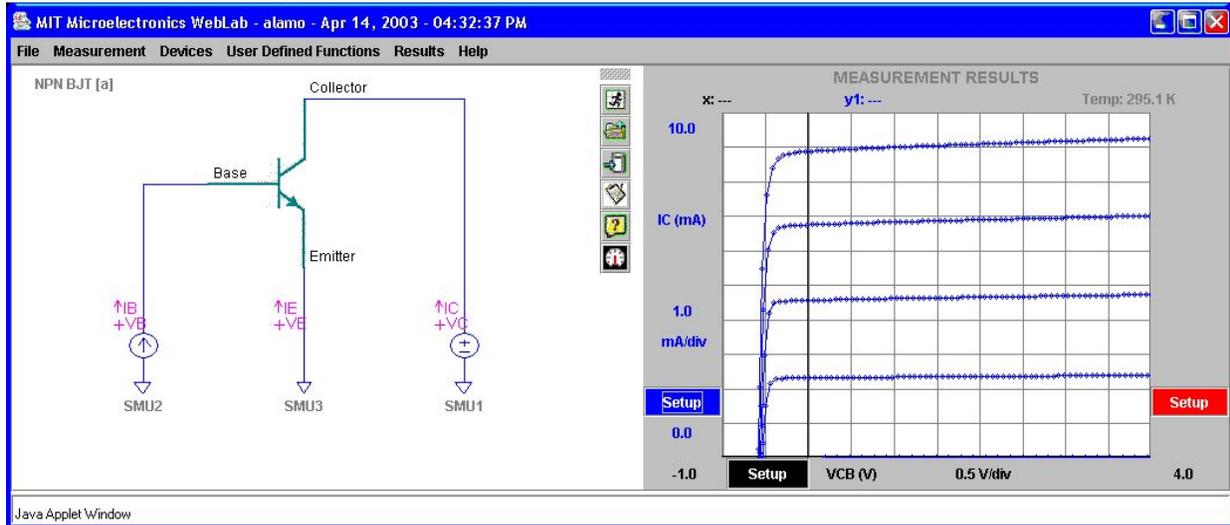
Características de salida referidas al emisor:  $I_C$  vs.  $V_{CE}$  (para distintas  $I_B$ ):



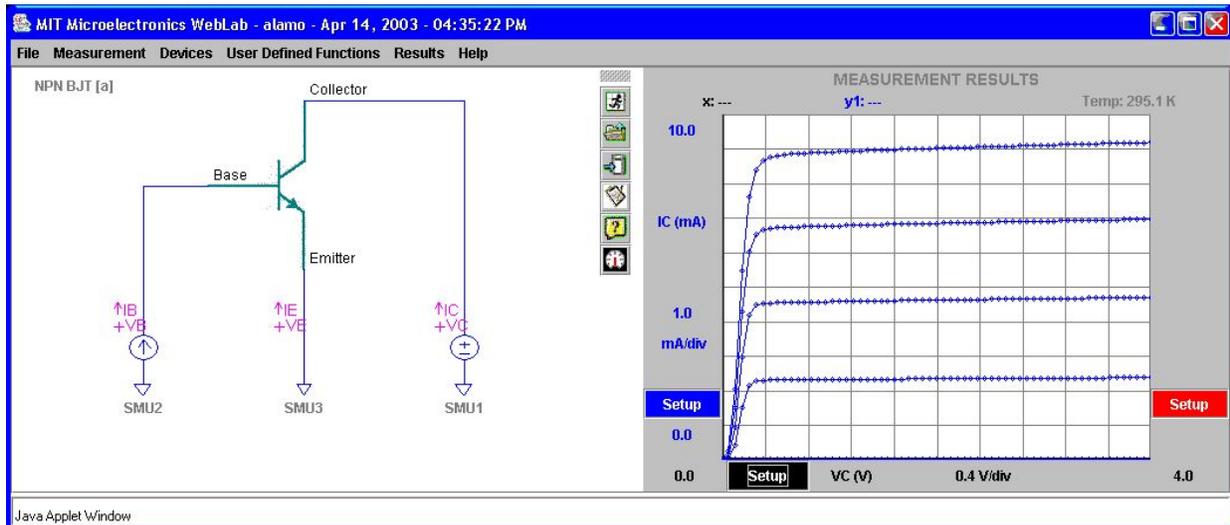
También podría considerarse:  $I_C$  vs.  $V_{CB}$  (para distintas  $I_B$ ):



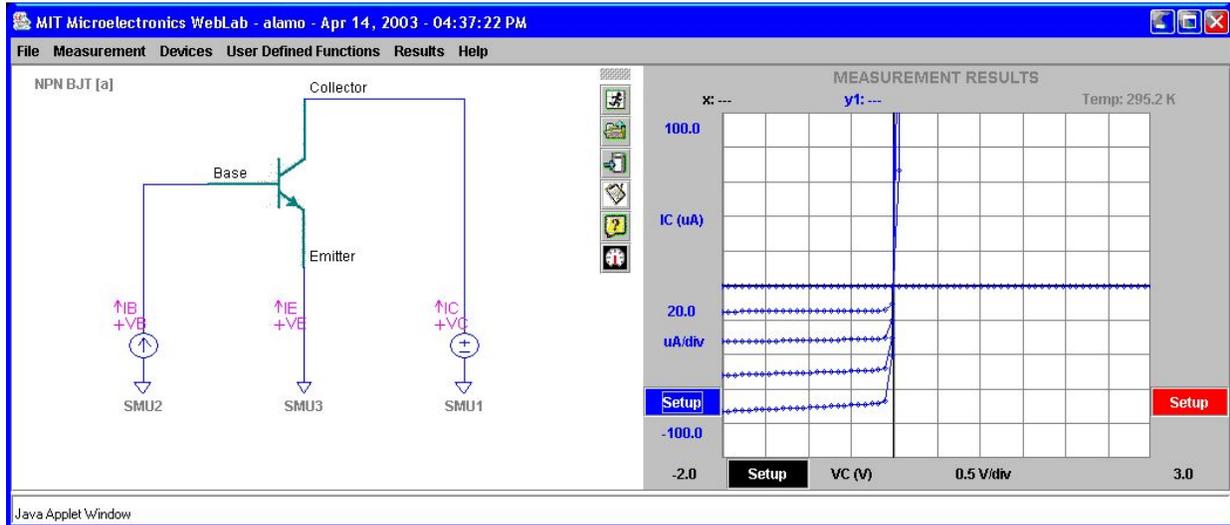
$I_C$  vs.  $V_{CB}$  para  $0 \leq I_B \leq 100 \mu\text{A}$ :



$I_C$  vs.  $V_{CE}$  para  $0 \leq I_B \leq 100 \mu\text{A}$ :

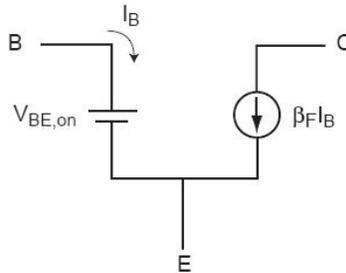


$I_C$  vs.  $V_{CE}$  para  $0 \leq I_B \leq 100 \mu\text{A}$ :

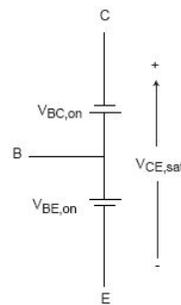


## Conclusiones Principales

- En Modo Activo Directo el TBJ tiene ganancia de corriente y aislación del colector.



- En saturación se comporta como dos diodos en directa con ánodo común en la base.  $I_C$  e  $I_B$  dependen de los circuitos externos.



- En corte bloquea la circulación de corriente:



# Clase 12 - El transistor bipolar de juntura (III)

## MODELO DE PEQUEÑA SEÑAL

### Contenido:

1. Modelo de pequeña señal
2. Validez del modelo de pequeña señal
3. Parámetros del modelo de pequeña señal para bajas frecuencias
4. Parámetros del modelo de pequeña señal para altas frecuencias

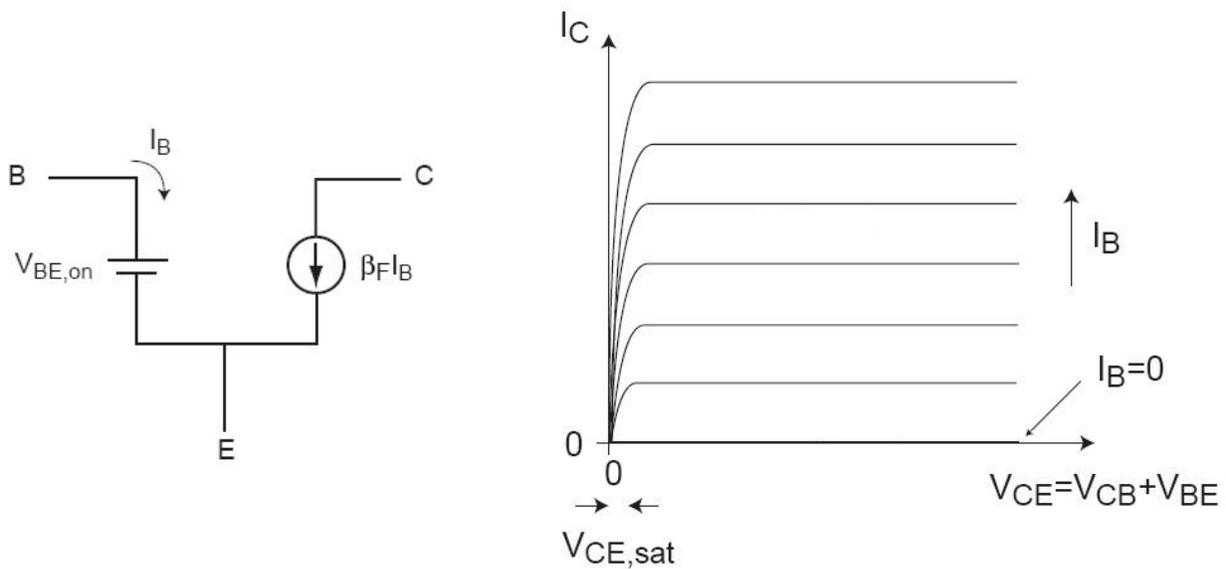
### Lecturas recomendadas:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 7, §§7.1; 7.5.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 6, §§6.4.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 7, §§7.3–7.4.
- Gray, Hurst, Lewis, Meyer, “Analysis and Design of Analog Integrated Circuits”, Ch. 1, §§1.3.

## Introducción: Necesidad de un modelo de pequeña señal

□ EL TBJ EN M.A.D. (Repaso)

$$V_{BE} \simeq V_{BE(on)} = 0,7\text{ V} > 0; V_{CE} > V_{CE(sat)}$$



$$I_C = I_S \exp\left(\frac{V_{BE}}{kT/q}\right)$$

$$I_B = \frac{I_S}{\beta} \exp\left(\frac{V_{BE}}{kT/q}\right)$$

$$I_C = \beta I_B$$

## Tensiones dependientes del tiempo

El TBJ es un dispositivo alineal. ¿Qué significa esto?

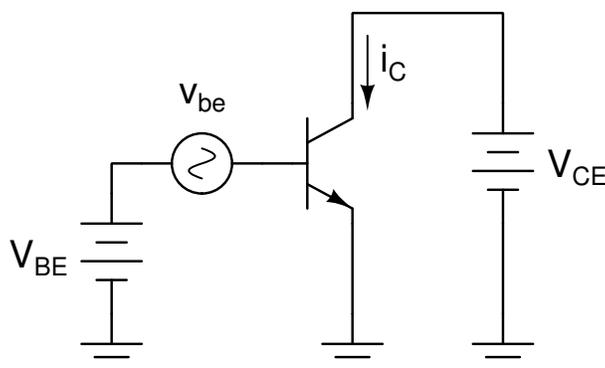
$$i_C = I_S \exp\left(\frac{v_{BE}}{kT/q}\right) \begin{cases} i_{C1} = I_S \exp\left(\frac{v_{BE1}}{kT/q}\right) \\ i_{C2} = I_S \exp\left(\frac{v_{BE2}}{kT/q}\right) \end{cases}$$

Si tengo dos excitaciones independientes, la respuesta de ambas excitaciones simultáneas **no** es igual a la suma de la respuesta de cada excitación de manera independiente.

$$\Rightarrow i_C = I_S \exp\left(\frac{v_{BE1} + v_{BE2}}{kT/q}\right) \neq i_{C1} + i_{C2}$$

*No se cumple el principio de superposición.*

Si además una de estas excitaciones es una tensión dependiente del tiempo, y su dependencia temporal puede ser arbitraria, tendremos una situación como la que se presenta a continuación:



$$i_C = I_S \exp \left( \frac{V_{BE} + v_{be} \sin(\omega t + \phi)}{kT/q} \right)$$

Esta situación es *irresoluble* de manera analítica (en lápiz y papel).

¿Cómo lo simplificamos? Nuevamente aplicando el modelo de pequeña señal.

# 1. Modelo de pequeña señal

## □ EL TEOREMA DE TAYLOR

Sea  $f(x)$   $n$ -derivable en  $x_0$ :

$$f(E\{x_0\}) \simeq \sum_{i=0}^{(n)} \frac{1}{n!} \left. \frac{\partial^n f(x)}{\partial x^n} \right|_{x=x_0} (x - x_0)^n$$

Y tomando solamente el polinomio de primer orden ( $n = 1$ ):

$$f(E\{x_0\}) \simeq f(x_0) + \left. \frac{\partial f(x)}{\partial x} \right|_{x_0} (x - x_0) + \dots$$

¿Cómo se aplica a nuestro problema?

## □ LINEALIZACIÓN

Desarrollamos  $i_C(v_{BE})$  en serie de Taylor:

$$i_C(V_{BE} + v_{be}) \simeq i_C(V_{BE}) + \left. \frac{\partial i_C(v_{BE})}{\partial v_{BE}} \right|_Q \cdot (v_{BE} - V_{BE})$$

Evaluando para M.A.D.

$$i_C(V_{BE}) = I_S \exp\left(\frac{V_{BE}}{kT/q}\right)$$

$$\left. \frac{\partial i_C(v_{BE})}{\partial v_{BE}} \right|_Q = \frac{I_S}{kT/q} \exp\left(\frac{V_{BE}}{kT/q}\right)$$

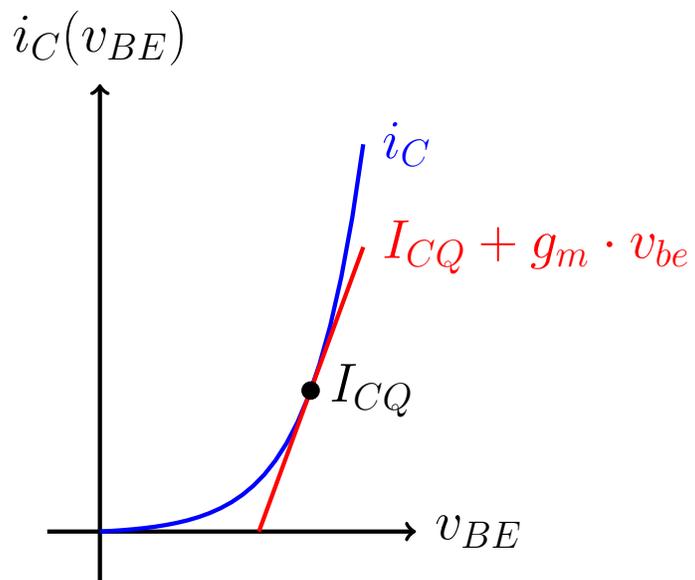
$$v_{BE} - V_{BE} = v_{be}$$

El modelo linealizado resulta:

$$i_C(v_{BE}) \simeq I_S \exp\left(\frac{V_{BE}}{kT/q}\right) + \frac{I_S}{kT/q} \exp\left(\frac{V_{BE}}{kT/q}\right) \cdot v_{be}$$

$$i_C(v_{BE}) \simeq I_{CQ} + i_c$$

$$i_c = \frac{I_S}{kT/q} \exp\left(\frac{V_{BE}}{kT/q}\right) \cdot v_{be} = g_m \cdot v_{be}$$



La linealización (recta roja) siempre se realiza sobre un punto de trabajo (punto negro), y es válido mientras no se aparte demasiado de la respuesta real (curva azul).

## 2. Validez del modelo

- ¿Cuánto puede separarse la recta roja de la curva azul?
- ¿Cuán pequeña debe ser la *pequeña señal*?
- ¿Hasta dónde es válido el modelo?

El error que cometemos entre el valor estimado de señal  $i_c(t)$  y el valor real  $i_C(t) - I_C$  debe ser pequeño.

Aplicaremos el criterio del 10% respecto del valor real:

$$(i_C(t) - I_{CQ}) - i_c(t) < 10\% (i_C(t) - I_{CQ})$$

Como esta inecuación no tiene solución  $\Rightarrow$  pedimos que el término de segundo orden de Taylor (primer término de error) sea despreciable frente al término lineal:

$$\frac{1}{2} \left. \frac{\partial^2 i_C}{\partial v_{BE}^2} \right|_Q \cdot v_{be}^2 < 10\% i_c(t)$$

$$\frac{1}{2} \frac{I_{CQ}}{(kT/q)^2} \cdot v_{be}^2 < 0,1 \left( \frac{I_{CQ}}{kT/q} v_{be} \right)$$

$$v_{be} < 0,2 kT/q$$

Considerando temperatura ambiente se obtiene:

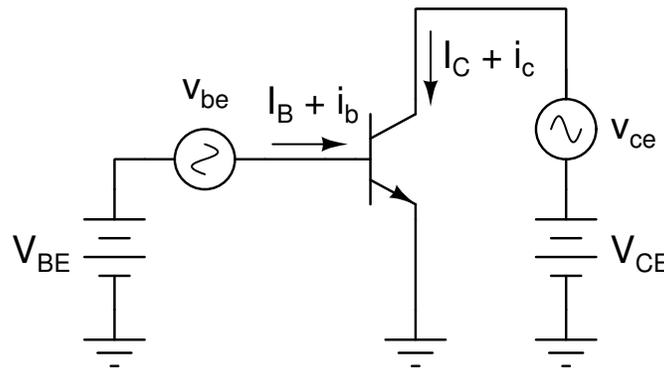
$$v_{be} \approx 5,2 \text{ mV}$$

En la práctica se tolera:

$$|v_{be}| < 10 \text{ mV}$$

### 3. Modelo de pequeña señal del TBJ en bajas frecuencias

Generalizamos la idea de linealización para todas las corrientes y todas las señales aplicadas sobre cualquiera de las fuentes de polarización:



Puntos fundamentales:

- Podemos separar la respuesta del transistor en *polarización* y *pequeña señal*.
- La señal es *pequeña*: La respuesta no lineal puede aproximarse a una respuesta lineal.
- Al poder considerar la respuesta lineal, se puede aplicar una *pseudo-superposición*.
- **¡OJO!** El orden importa. Primero polarización, luego pequeña señal.

Matemáticamente:

$$i_C(V_{BE} + v_{be}, V_{CE} + v_{ce}) \simeq$$

$$I_C(V_{BE}, V_{CE}) + \left. \frac{\partial i_C}{\partial v_{BE}} \right|_Q v_{be} + \left. \frac{\partial i_C}{\partial v_{CE}} \right|_Q v_{ce}$$

$$i_B(V_{BE} + v_{be}, V_{CE} + v_{ce}) \simeq$$

$$I_B(V_{BE}, V_{CE}) + \left. \frac{\partial i_B}{\partial v_{BE}} \right|_Q v_{be} + \left. \frac{\partial i_B}{\partial v_{BC}} \right|_Q v_{bc}$$

Donde  $Q \equiv$  punto de polarización  $(V_{BE}, V_{CE})$

- Corriente  $i_c$  de pequeña señal:

$$i_c \simeq g_m v_{be} + g_o v_{ce}$$

- Corriente  $i_b$  de pequeña señal:

$$i_b \simeq g_\pi v_{be} + g_\mu v_{bc}$$

Definimos:

$$g_m \equiv \text{transconductancia } [g_m] = \text{S}$$

$$g_o \equiv \text{conductancia de salida o de colector } [g_o] = \text{S}$$

$$g_\pi \equiv \text{conductancia de entrada o de base } [g_\pi] = \text{S}$$

$$g_\mu \equiv \text{conductancia de realimentación } [g_\mu] = \text{S}$$

Luego:

$$g_m \simeq \left. \frac{\partial i_C}{\partial v_{BE}} \right|_Q \quad g_o \simeq \left. \frac{\partial i_C}{\partial v_{CE}} \right|_Q$$

$$g_\pi \simeq \left. \frac{\partial i_B}{\partial v_{BE}} \right|_Q \quad g_\mu \simeq \left. \frac{\partial i_B}{\partial v_{BC}} \right|_Q$$

## □ TRANSCONDUCTANCIA

En M.A.D.

$$i_C = I_S \exp\left(\frac{v_{BE}}{kT/q}\right)$$

Luego:

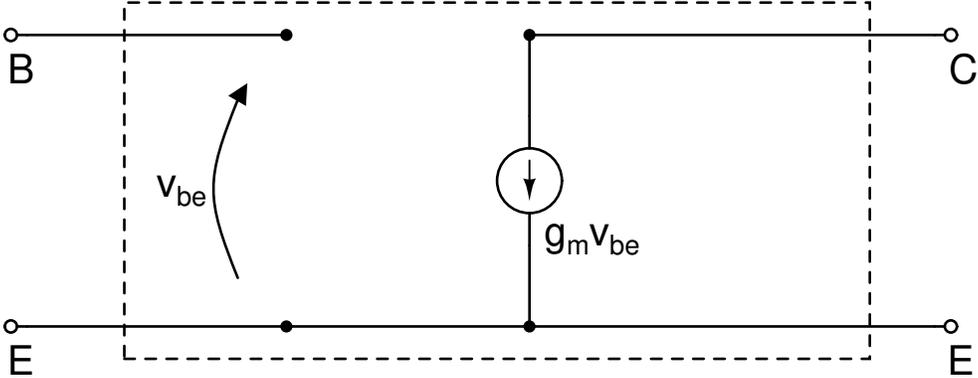
$$g_m = \left. \frac{\partial i_C(v_{BE})}{\partial v_{BE}} \right|_Q = \frac{I_S}{kT/q} \exp\left(\frac{V_{BE}}{kT/q}\right)$$

Lo reescribimos en término de  $I_{CQ}$ :

$$g_m = \frac{I_{CQ}}{kT/q}$$

- Modelo circuital equivalente de  $g_m$ :

Lo modelamos como una *fuentes de corriente controlada por tensión*.



## □ RESISTENCIA DE ENTRADA

Los cambios en  $v_{BE}$  también producen cambios en  $i_B$ .

En M.A.D.

$$i_B = \frac{i_C}{\beta}$$

$$i_B \simeq \frac{I_S}{\beta} \exp\left(\frac{v_{BE}}{kT/q}\right)$$

Luego:

$$g_\pi = \left. \frac{\partial i_B(v_{BE})}{\partial v_{BE}} \right|_Q = \frac{1}{\beta} \left. \frac{\partial i_C(v_{BE})}{\partial v_{BE}} \right|_Q = \frac{1}{\beta} \frac{I_S}{kT/q} \exp\left(\frac{V_{BE}}{kT/q}\right)$$

Lo reescribimos en término de  $I_{BQ}$ :

$$g_\pi = \frac{I_{BQ}}{kT/q}$$

o también en término de  $I_{CQ}$ :

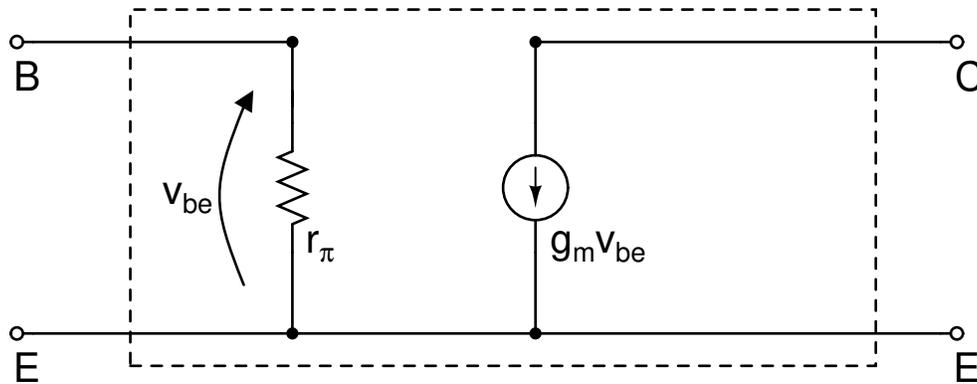
$$g_\pi = \frac{1}{\beta} \frac{I_{CQ}}{kT/q} = \frac{g_m}{\beta}$$

Es más usual escribirlo en términos de resistencia:

$$r_\pi = \frac{1}{g_\pi} = \frac{kT/q}{I_{BQ}} = \beta \frac{kT/q}{I_{CQ}} = \frac{\beta}{g_m}$$

- Modelo circuital equivalente de  $r_\pi$ :

Lo modelamos como una *resistencia* ( $r_\pi$ ) o *conductancia* ( $g_\pi$ ).



## □ GANANCIA DE CORRIENTE

En el TBJ podemos definir la ganancia de corriente de pequeña señal.

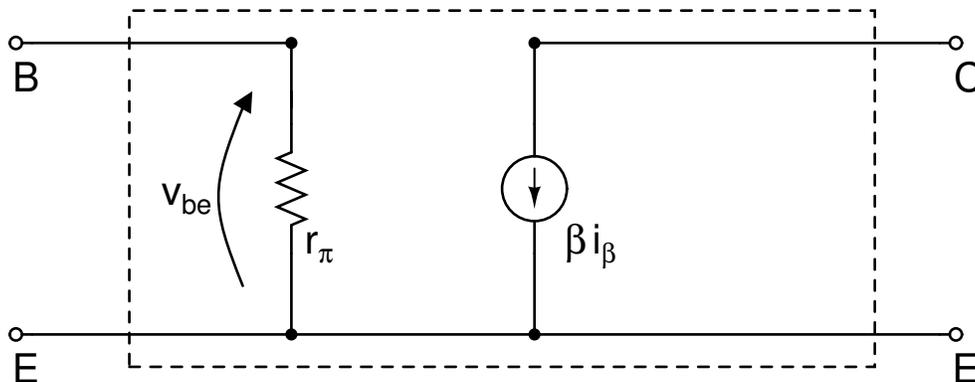
$$\beta_0 = \left. \frac{\partial i_C(i_B)}{\partial i_B} \right|_{i_B=I_{BQ}} \simeq \beta_F$$

$\beta_0$ : Ganancia de corriente

Si bien existen casos particulares donde  $\beta_0 \neq \beta_F$ , en **DISPOSITIVOS SEMICONDUCTORES** consideraremos que siempre se cumple  $\beta_0 = \beta_F$ .

- Modelo circuital equivalente de  $\beta_0$ :

Lo modelamos como una *fuerza de corriente controlada por corriente*.

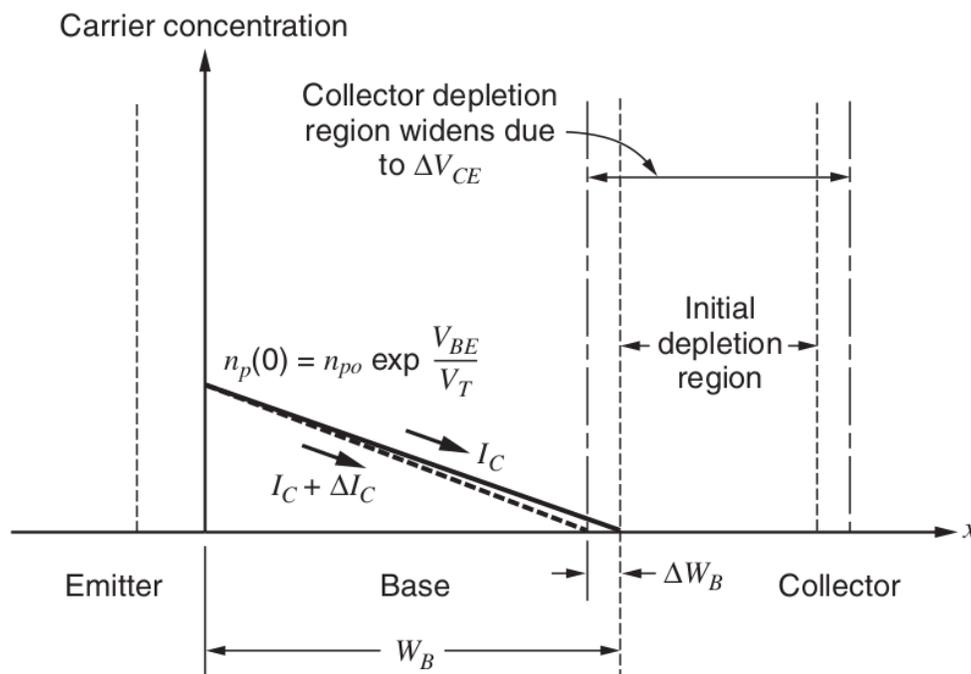


## □ RESISTENCIA DE SALIDA

### ● Efecto Early

En el modelo planteado hasta el momento, en M.A.D. la corriente  $I_C$  no debería incrementarse frente a cambios de la tensión  $V_{CE}$  ya que la juntura Base–Colector no influye en el perfil de minoritarios en la base, y por lo tanto no altera su flujo de difusión.

Pero la región de vaciamiento de la juntura BC se ve afectada frente a cambios de la tensión  $V_{CE}$  aumentando o disminuyendo su ancho.



Si bien no se altera el valor de la densidad de minoritarios en la base, sí se ve afectado el ancho efectivo de la base, que influye en el perfil de minoritarios.

Este fenómeno puede modelizarse considerando:

$$i_C \propto \frac{1}{W_{B(\text{efectivo})}} = \frac{1}{W_B - \Delta W_B} \simeq \frac{1}{W_B} \left( 1 + \frac{\Delta W_B}{W_B} \right)$$

Entonces:

$$i_C = \underbrace{\frac{q A_E D_n n_i^2}{W_B N_{aB}} \exp\left(\frac{v_{BE}}{kT/q}\right)}_{i_{C(MAD)}} \left( 1 + \frac{\Delta W_B}{W_B} \right)$$

Se puede simplificar la dependencia de  $W_B$  con  $v_{CE}$  a primer orden:

$$\Delta W_B \propto v_{CE}$$

Luego:

$$i_C = i_{C(MAD)} \left( 1 + \frac{\Delta W_B}{W_B} \right) = i_{C(MAD)} \left( 1 + \frac{v_{CE}}{V_A} \right)$$

donde  $V_A$  se denomina *Tensión de Early*.

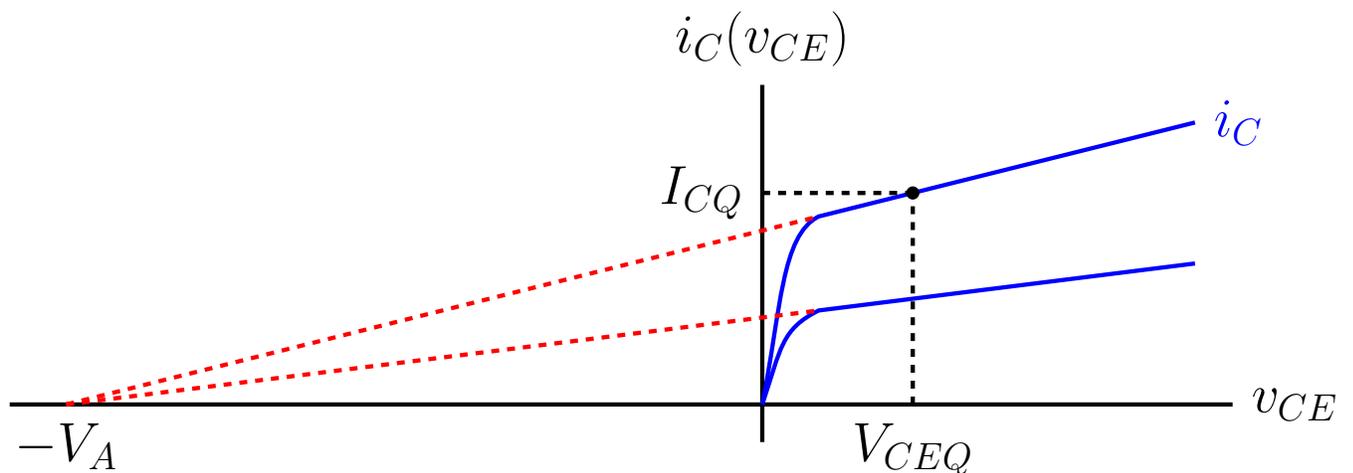
Además en M.A.D.

$$i_{C(MAD)} = \beta i_B$$

Entonces:

$$i_C = i_{C(MAD)} \left( 1 + \frac{v_{CE}}{V_A} \right) = \beta i_B \left( 1 + \frac{v_{CE}}{V_A} \right)$$

La *tensión de Early* puede observarse en las curvas de salida como el punto del eje de tensiones donde se encuentran las proyecciones de las rectas que modelan a la corriente de colector en M.A.D.



El *Efecto Early* también afecta al dispositivo en otros regímenes, como saturación, ya que siempre que la juntura BC esté polarizada y cambie su tensión de polarización, existirá un cambio en el ancho de la zona de vaciamiento de la juntura que afecta al ancho efectivo de la base.

### • Resistencia de salida

Los cambios en  $v_{CE}$  también producen cambios en  $i_C$ .

En M.A.D.

$$i_C = I_S \exp\left(\frac{v_{BE}}{kT/q}\right) \left(1 + \frac{v_{CE}}{V_A}\right)$$

Luego:

$$g_o = \left. \frac{\partial i_C(v_{CE})}{\partial v_{CE}} \right|_Q = \frac{I_S}{V_A} \exp\left(\frac{V_{BE}}{kT/q}\right)$$

Lo reescribimos en término de  $I_{CQ}$ :

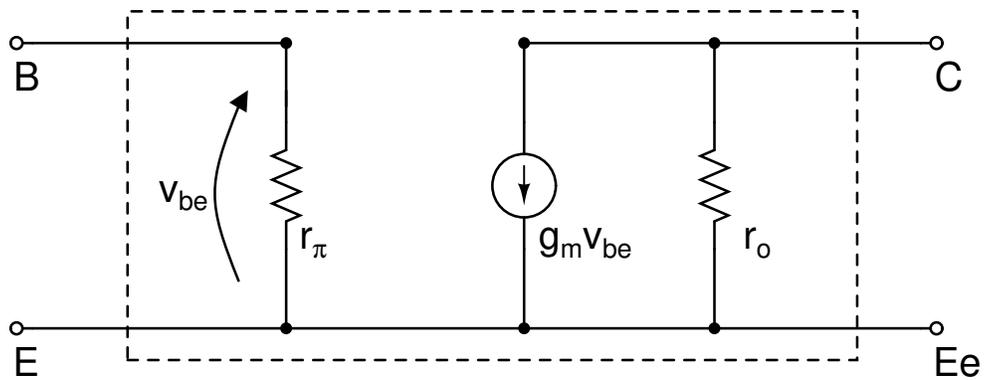
$$g_o = \frac{I_{C(MAD)}}{V_A} \simeq \frac{I_{CQ}}{V_A}$$

Es más usual escribirlo en términos de resistencia:

$$r_o = \frac{1}{g_o} = \frac{V_A}{I_{C(MAD)}} \simeq \frac{V_A}{I_{CQ}}$$

- Modelo circuital equivalente de  $r_o$ :

Lo modelamos como una *resistencia* ( $r_o$ ) o *conductancia* ( $g_o$ ).



## □ RESISTENCIA DE REALIMENTACIÓN

Los cambios en  $v_{BC}$  también producen cambios en  $i_B$ .

$$I_B = I_{B1} + I_{B2}$$

Donde:

- $I_{B1}$ : corriente debido a la inyección de huecos de la base hacia el emisor.
- $I_{B2}$ : corriente de recombinación de portadores en la base.

Para el cálculo de polarización,  $I_{B2}$  se considera despreciable y  $I_{B1}$  es predominante.

Los cambios en  $v_{CE}$  alteran la extensión de la zona de vaciamiento de la juntura Base–Colector, afectando la distribución de minoritarios en la base.

$$v_{CE} \uparrow \Rightarrow n(\text{base}) \downarrow \Rightarrow R \downarrow \Rightarrow I_{B2} \downarrow$$

Considerando  $V_{BE}$  constante:

$$g_{\mu} = \left. \frac{\partial i_B}{\partial v_{CE}} \right|_Q = \left. \frac{\partial (i_{B1} + i_{B2})}{\partial v_{CE}} \right|_Q = \left. \frac{\partial i_{B1}}{\partial v_{CE}} \right|_Q + \left. \frac{\partial i_{B2}}{\partial v_{CE}} \right|_Q$$

Como la variación de la zona de vaciamiento de la juntura BC no afecta a la inyección de huecos en el emisor

$$\left. \frac{\partial i_{B1}}{\partial v_{CE}} \right|_Q = 0$$

Si consideramos que toda la corriente  $i_B$  está determinada por  $i_{B2}$  podemos decir que

$$\frac{\partial i_{B2}}{\partial i_C} = \frac{\partial i_B}{\partial i_C} = \frac{1}{\beta_0}$$

y entonces podemos reescribir

$$g_{\mu} = \left. \frac{\partial i_{B2}}{\partial i_C} \right|_Q \left. \frac{\partial i_C}{\partial v_{CE}} \right|_Q = \frac{1}{\beta_0} g_o$$

Como  $i_{B2} < i_B$  la relación entre  $g_{\mu}$  y  $g_o$  resulta en una cota superior, es decir:

$$g_{\mu} < \frac{1}{\beta_0} g_o$$

O en términos de resistencia, una cota inferior:

$$r_{\mu} = \frac{1}{g_{\mu}} > \beta_0 r_o$$

Por lo tanto,  $r_{\mu}$  tiene un valor muy elevado y generalmente puede despreciarse.

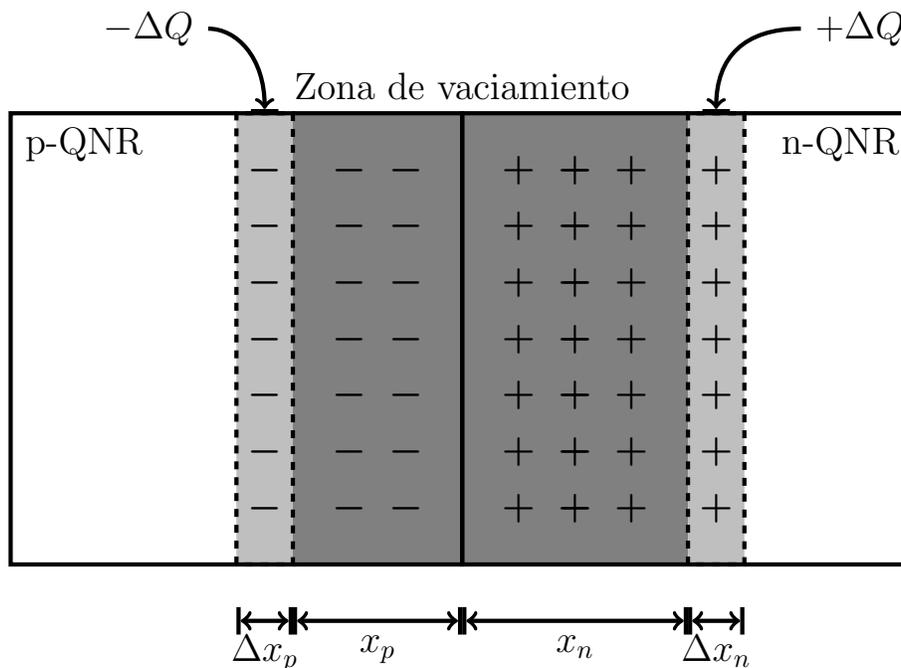
## 4. Modelo de pequeña señal del TBJ en altas frecuencias

### □ REPASO DE CAPACIDADES EN JUNTURA PN

#### • Capacidad de juntura ( $C_j$ )

Representa la variación de la carga en la zona de vaciamiento respecto de variaciones en la tensión de juntura aplicada

$$C_j = \left| \frac{\partial Q_{ZV}}{\partial V_j} \right|$$



La carga en la zona de vacimiento puede expresarse como

$$Q_{ZV} = q N_{d/a} A x_{n/p}$$

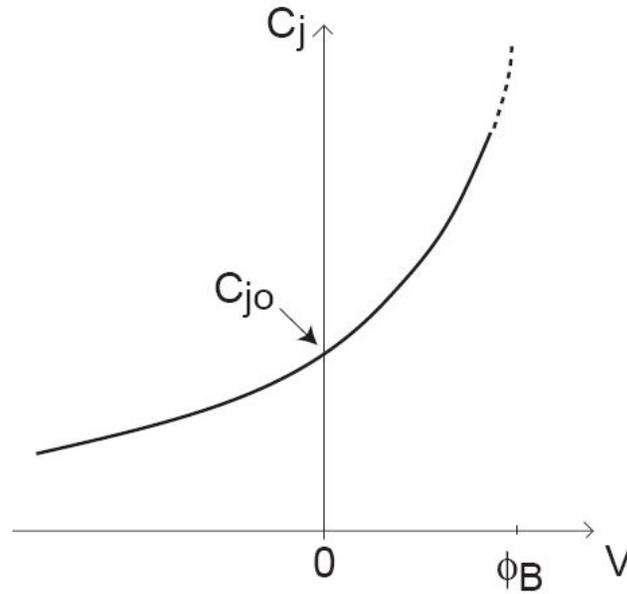
y su variación está dada por la variación del ancho  $x_{n/p}$

$$\frac{\partial Q_{ZV}}{\partial V_j} = q N_{d/a} A \frac{\partial x_{n/p}}{\partial V_j}$$

$$\frac{\partial x_{n/p}}{\partial V_j} = \sqrt{\frac{2 \epsilon_S N_{a/d}}{q (N_{a/d} + N_{d/a}) N_{d/a}}} \frac{-1}{2 \sqrt{\phi_B - V_j}}$$

$$\frac{\partial Q_{ZV}}{\partial V_j} = -A \sqrt{\frac{q \epsilon_S N_a N_d}{2 \phi_B (N_a + N_d)}} \frac{1}{\sqrt{1 - \frac{V_j}{\phi_B}}}$$

$$C_j = \frac{C_{j0}}{\sqrt{1 - \frac{V_j}{\phi_B}}} \quad C_{j0} = \sqrt{\frac{q \epsilon_S N_a N_d}{2 \phi_B (N_a + N_d)}}$$



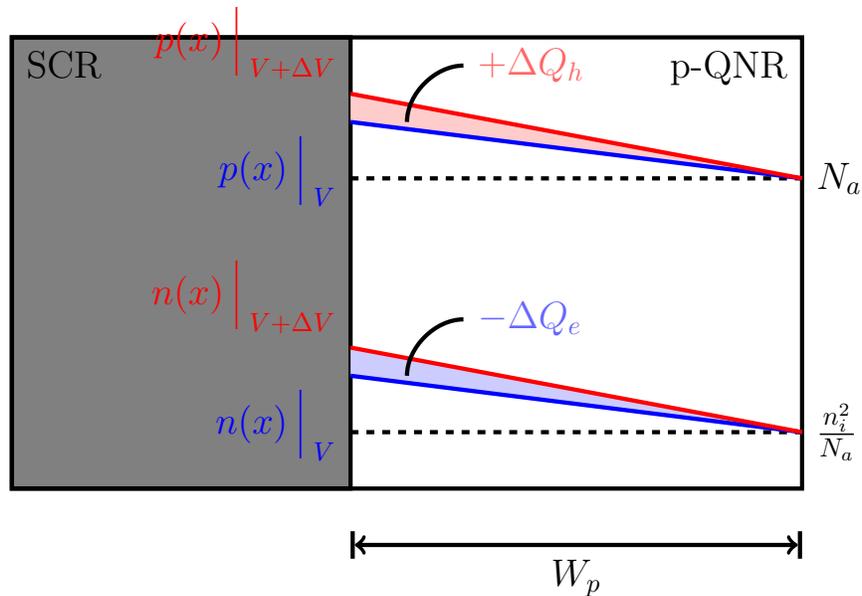
$$C_j = \frac{C_{j0}}{\sqrt{1 - \frac{V_j}{\phi_B}}}$$

La expresión de  $C_j$  diverge, pero existe una saturación para la juntura en directa para  $V_j = \frac{\phi_B}{2}$

$$C_{jSat} = \sqrt{2}C_{j0}$$

## • Capacidad de difusión ( $C_d$ )

Representa la variación de carga en las QNR debido al cambio del perfil de concentración de portadores



Suponemos que  $N_d \gg N_a$

$$C_d = C_{dp} = \frac{\partial Q_{ep}}{\partial V_j} = \frac{\partial Q_{hp}}{\partial V_j}$$

$$Q_{ep} = A \frac{1}{2} (n(0) - n(W_p)) W_p$$

Recordando

$$n(0) = \frac{n_i^2}{N_a} \exp\left(\frac{V_j}{V_{th}}\right) \quad n(W_p) = 0$$

$$\Rightarrow C_d = A \frac{1}{2} W_p \frac{1}{V_{th}} \frac{n_i^2}{N_a} \exp\left(\frac{V_j}{V_{th}}\right)$$

Como  $J_D = \frac{1}{N_a} \frac{D_e}{W_p} \exp\left(\frac{V_j}{V_{th}}\right)$  Definiendo  $\tau_T = \frac{W_p^2}{2 D_e}$

$$\Rightarrow C_d = \frac{1}{V_{th}} \tau_T I_C$$

$\square$  CAPACIDAD BASE-EMISOR ( $C_\pi$ )

En el TBJ se cumple que  $N_E \gg N_B$

$$C_\pi = C_{dBE} + C_{jBE}$$

Para el TBJ en M.A.D., la juntura BE se encuentra polarizada en directa, entonces predomina  $C_d$

$$C_\pi \simeq C_{dBE} = \tau_T g_m$$

Definimos:

$$C_\pi \equiv \textit{capacidad de entrada}$$

$$[C_\pi] = \text{F}$$

$\square$  CAPACIDAD BASE-COLECTOR ( $C_\mu$ )

En el TBJ se cumple que  $N_B \gg N_C$

$$C_\mu = C_{dBC} + C_{jBC}$$

Para el TBJ en M.A.D., la juntura BC se encuentra polarizada en inversa, entonces predomina  $C_j$

$$C_\mu \simeq C_{jBC} = \frac{C_{jBC0}}{\sqrt{1 + \frac{V_{CB}}{\phi_B}}}$$

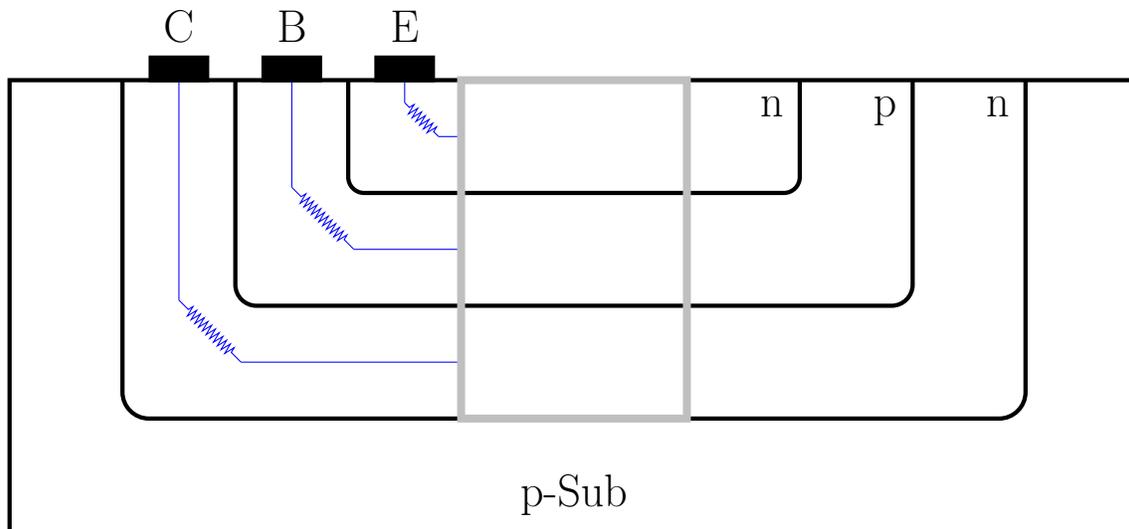
Definimos:

$$C_\mu \equiv \textit{capacidad de realimentaci3n}$$

$$[C_\mu] = \text{F}$$

## □ RESISTENCIAS PARÁSITAS

Los materiales presentan resistividad y por lo tanto aparecen efectos resistivos parásitos.

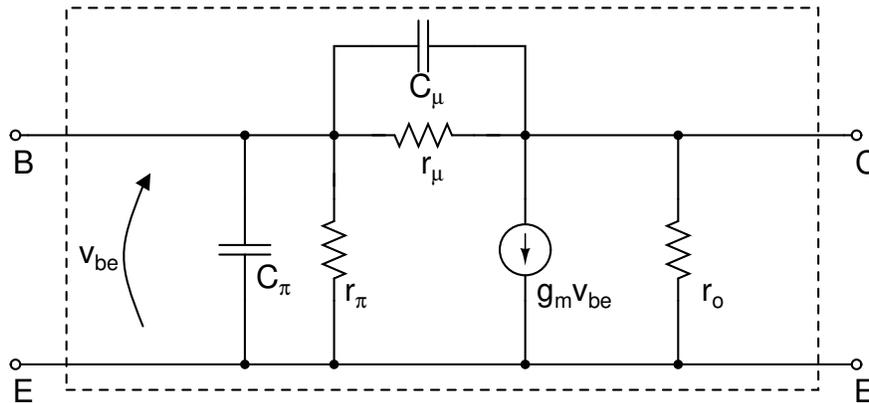


Son resistencias de muy bajo valor.

Despreciables frente a otras resistencias del modelo y las resistencias externas del circuito.

## Principales conclusiones

Modelo de pequeña señal del TBJ (Modelo híbrido  $\pi$ ):



En MAD:

- Transconductancia:  $g_m = \frac{I_{CQ}}{kT/q}$
- Resistencia de entrada:  $r_\pi = \frac{kT/q}{I_{BQ}} = \beta \frac{kT/q}{I_{CQ}} = \frac{\beta}{g_m}$
- Resistencia de salida:  $r_o = \frac{V_A}{I_{C(MAD)}} \simeq \frac{V_A}{I_{CQ}}$
- Resistencia de realimentación:  $r_\mu > \beta_0 r_o$
- Capacidad Base-Emisor:  $C_\pi = C_{dBE} = \tau_T g_m$
- Capacidad Base-Colector:  $C_\mu = C_{jBC} = \frac{C_{jBC0}}{\sqrt{1 + \frac{V_{CB}}{\phi_B}}}$

# Clase 13<sup>1</sup> - La estructura Metal-Óxido-Semiconductor (I)

## ELECTROSTÁTICA DE LA ESTRUCTURA METAL-ÓXIDO-SEMICONDUCTOR

### Contenido:

1. Introducción a la estructura MOS
2. Electrostatica de la estructura MOS sin polarización
3. Electrostatica de la estructura MOS con polarización

### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 8, §§8.1–8.3.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 4, §§4.1–4.2.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 3, §§3.7–3.8.

---

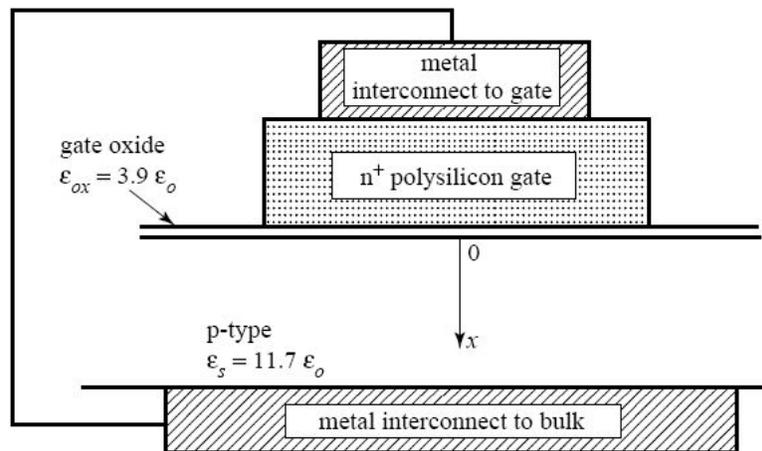
<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras

- ¿Por qué es tan importante estudiar la estructura MOS?
- ¿Cómo es la electrostática de la estructura MOS sin polarización aplicada?
- ¿Cómo se modifica la electrostática de la estructura MOS al aplicar una tensión entre sus terminales?

# 1. Introducción

Estructura Metal-Óxido-Semiconductor:

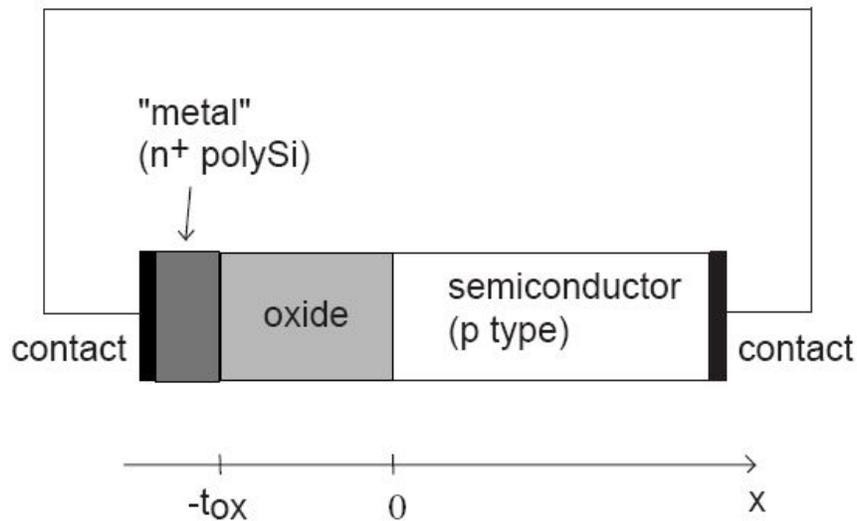


La estructura MOS esta en el corazón de la revolución de la electrónica

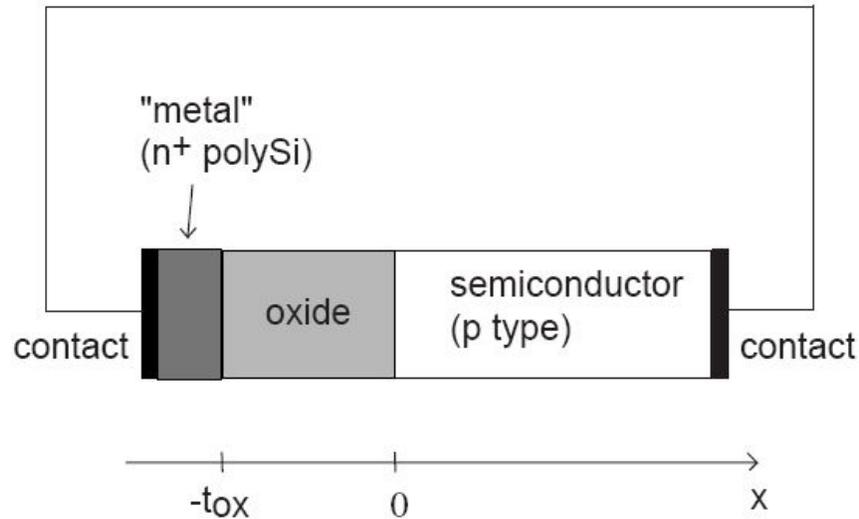
- *Aplicaciones analógicas y digitales:* El transistor MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) es el elemento fundamental de la tecnología CMOS (Complementary Metal-Oxide-Semiconductor)
- *Memorias:* DRAM (Dynamic Random Access Memory), E<sup>2</sup>PROM (Electrically Erasable Programmable Read-Only Memory) y Flash
- *Imágenes:* Cámaras CCD (Charge-Couple Device) y CMOS
- *Displays:* Pantallas LCD (Liquid-Crystal Displays)

## 2. Electrostática de la estructura MOS sin polarización

Estructura 1D idealizada:

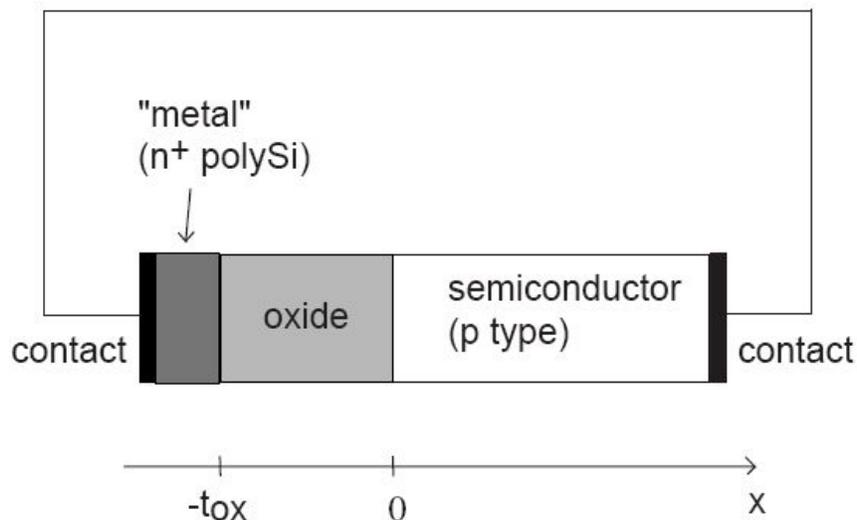


- **Metal:** no soporta carga en volumen  $\Rightarrow$  la carga sólo puede existir en su superficie
- **Óxido:** es aislante  $\Rightarrow$  no soporta carga en volumen (no hay portadores, ni dopantes)
- **Semiconductor:** soporta carga en volumen

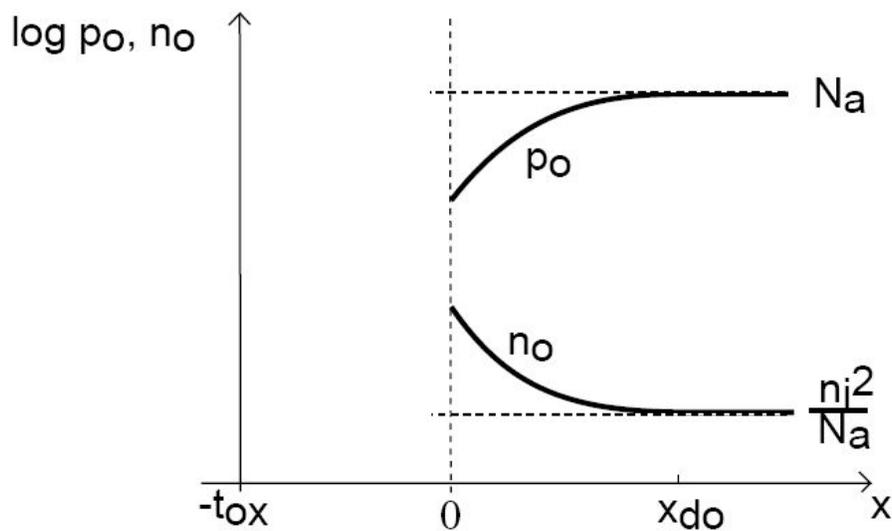


### Observaciones:

- La condición de equilibrio no puede establecerse a través del óxido; se requiere de un cable para permitir el intercambio de carga entre el metal y el semiconductor.
- La estructura MOS es un sandwich de 3 materiales con potenciales diferentes  $\Rightarrow$  campo eléctrico  $\Rightarrow$  acomodamiento de carga  $\Rightarrow$  aparece una región de carga espacial.
- La mayoría de los metales al ser colocados sobre p-Si, alcanzan el equilibrio térmico a partir de la difusión de electrones desde el metal hacia el semiconductor y huecos desde el semiconductor hacia el metal.  
(Veremos más adelante que existen excepciones)



De éste reajustamiento de carga resulta:



Recordar:  $n_o p_o = n_i^2$ .

Pocos  $h^+$  cerca de la interfaz Si/SiO<sub>2</sub>  $\Rightarrow$  quedan expuestos átomos aceptores ionizados y se genera una zona de carga espacial en volumen (SCR) o zona desierta de portadores.

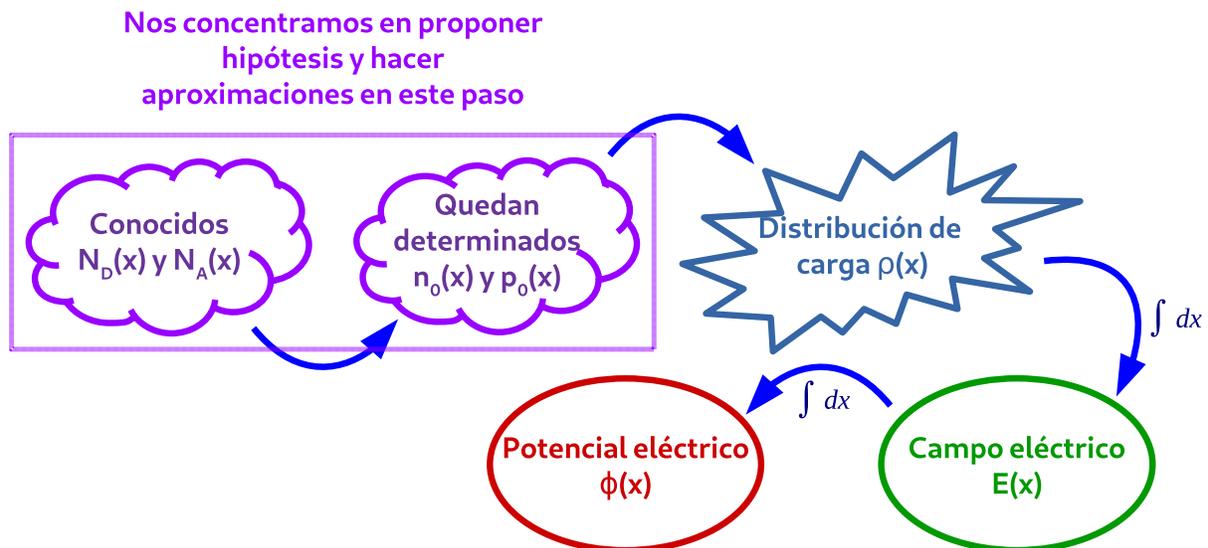
¿Cómo determinamos  $\rho(x)$ ,  $E(x)$  y  $\phi(x)$  si no conocemos  $n_o(x)$ ,  $p_o(x)$  en todo  $x$ ?

Recordemos que la relación entre  $n_o(x)$  y  $p_o(x)$  con  $N_a(x)$  es una ecuación diferencial sin solución analítica...

$$\frac{d^2(\ln n_o(x))}{dx^2} = \frac{q^2}{\epsilon_s kT} (n_o(x) + N_a(x))$$

$$\frac{d^2(\ln p_o(x))}{dx^2} = \frac{q^2}{\epsilon_s kT} (p_o(x) - N_a(x))$$

Para obtener  $n_o(x)$ ,  $p_o(x)$ ,  $\rho(x)$ ,  $E(x)$  y  $\phi(x)$  vamos a utilizar nuevamente la **aproximación de vaciamiento**.



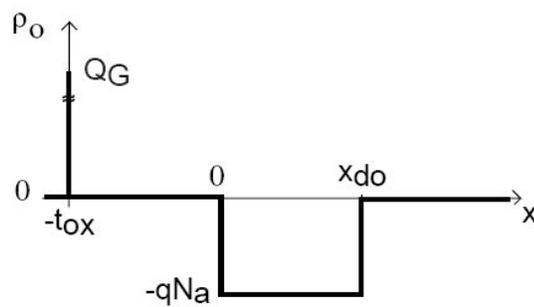
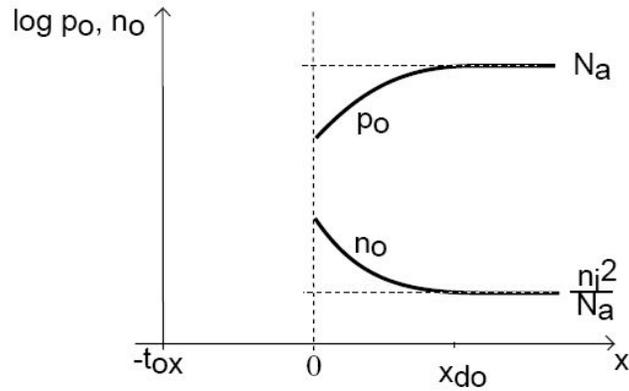
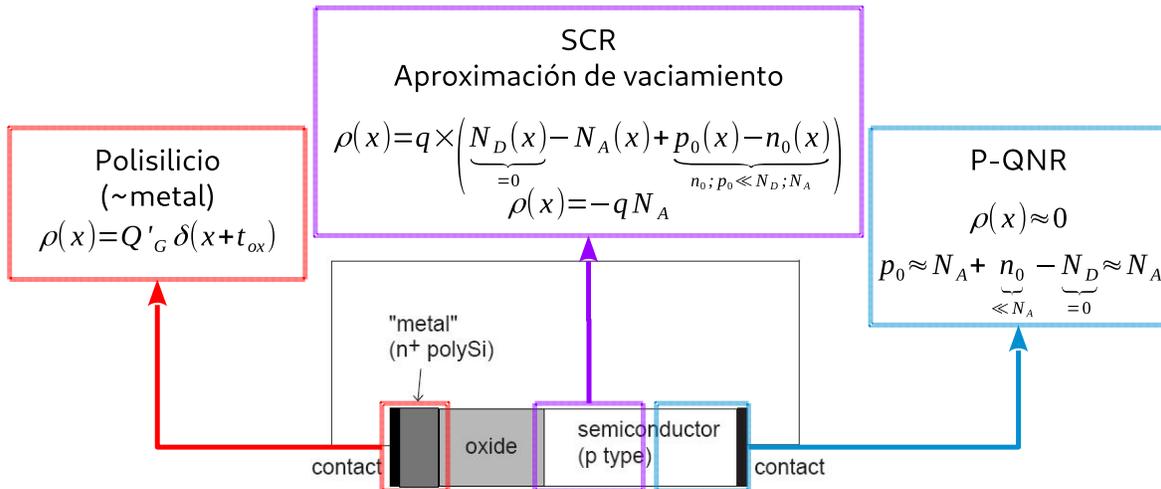
### 3. Aproximación de Vaciamiento

- Suponemos que la QNR's tiene neutralidad de carga

$$\begin{aligned}
 \text{P-QNR: } \rho(x) &= q(p_o - N_a - n_o) \simeq 0 \\
 &\Rightarrow p_o = N_a + \underbrace{n_o}_{\ll N_a} \\
 &\Rightarrow p_o \simeq N_a
 \end{aligned}$$

- Suponemos que la SCR está “vacía” de portadores (*región de vaciamiento*)  
 P-SCR:  $\{n_o; p_o\} \ll N_a$
- Transición entre SCR y QNR's abrupta (debemos calcular donde colocar  $x_{do}$ )

● DENSIDAD DE CARGA ESPACIAL



- En el semiconductor: La región de carga espacial está próxima a la interfaz Si/SiO<sub>2</sub> ⇒ aplicamos *aproximación de vaciamiento*
- En el metal: capa de carga en la interfaz metal/SiO<sub>2</sub>
- Neutralidad global de carga eléctrica

$$\rho(x) = q(N_d + p_o - N_a - n_o)$$

$$\rho(x) = \begin{cases} Q'_G \delta(x + t_{ox}) & x \leq -t_{ox} \\ 0 & -t_{ox} < x < 0 \\ -q N_a & 0 < x < x_{do} \\ 0 & x_{do} < x \end{cases}$$

## ● CAMPO ELÉCTRICO

Integramos la Ecuación de Gauss:

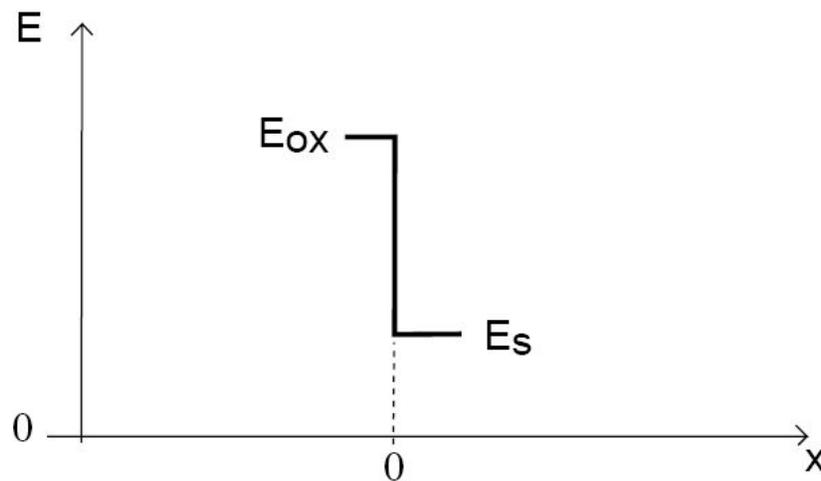
$$E(x_2) - E(x_1) = \frac{1}{\epsilon} \int_{x_1}^{x_2} \rho_o(x) dx$$

En la interfaz óxido-semiconductor:

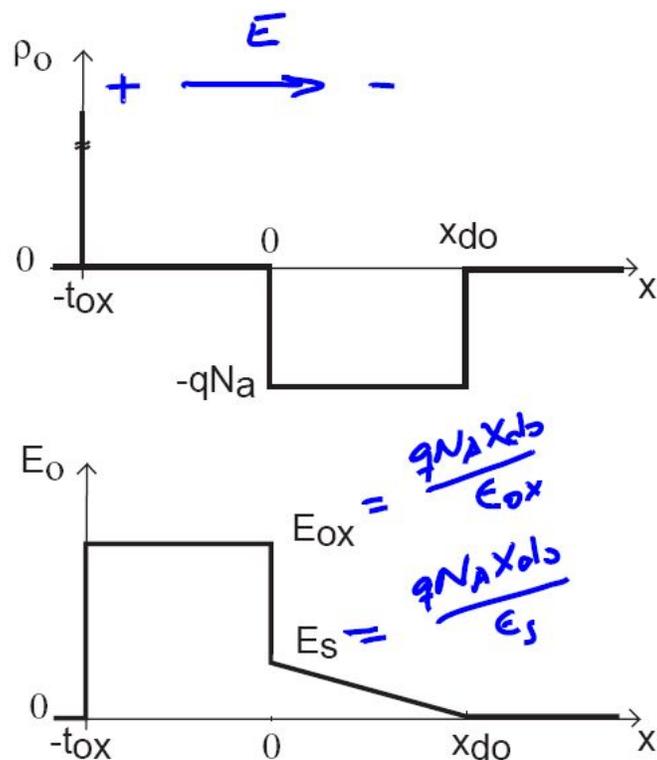
Cambio de permitividad  $\Rightarrow$  Cambio en el campo eléctrico

$$\epsilon_{ox} E_{ox} = \epsilon_s E_s$$

$$\frac{E_{ox}}{E_s} = \frac{\epsilon_s}{\epsilon_{ox}} \simeq 3$$



Integramos desde muy adentro en el semiconductor:



En particular para  $0 < x < x_{do}$ :

$$E(x) - \underbrace{E(x_{do})}_{=0} = \frac{1}{\epsilon_s} \int_{x_{do}}^x -qN_a dx = -\frac{qN_a}{\epsilon_s} x \Big|_{x_{do}}^x = -\frac{qN_a}{\epsilon_s} (x - x_{do})$$

$$E(x) = \begin{cases} 0 & x \leq -t_{ox} \\ \frac{\epsilon_s}{\epsilon_{ox}} E(x = 0^+) = \frac{qN_a x_{do}}{\epsilon_{ox}} & -t_{ox} < x \leq 0 \\ -\frac{qN_a}{\epsilon_s} (x - x_{do}) & 0 < x \leq x_{do} \\ 0 & x_{do} < x \end{cases}$$

## ● POTENCIAL ELECTROSTÁTICO

$$\phi = \frac{kT}{q} \ln \left( \frac{n_o}{n_i} \right) \quad \phi = -\frac{kT}{q} \ln \left( \frac{p_o}{n_i} \right)$$

En las regiones QNR's conocemos  $n_o$ ,  $p_o \Rightarrow$  podemos determinar  $\phi$ :

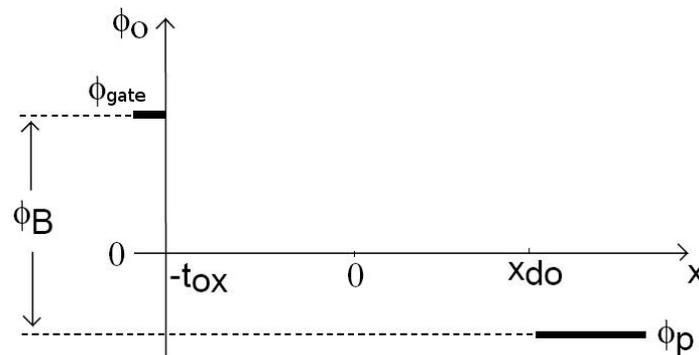
En el gate (polysilicio dopado tipo n):

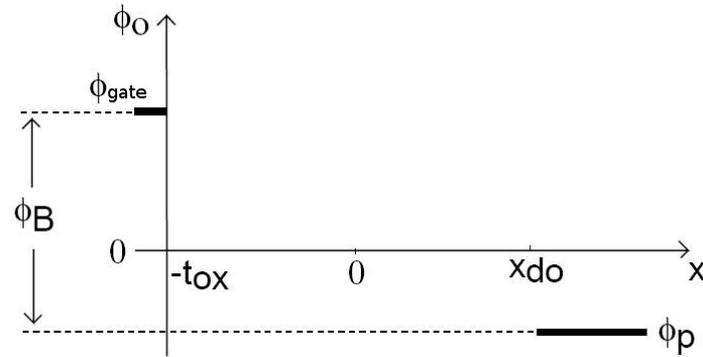
El dopaje  $N_d$  es tan elevado que el SC está degenerado

$$\Rightarrow \phi_{gate} = 550 \text{ mV}$$

En el semiconductor (sustrato), región QNR tipo p:

$$p_o = N_a \Rightarrow \phi_{sust} = -\frac{kT}{q} \ln \left( \frac{N_a}{n_i} \right)$$



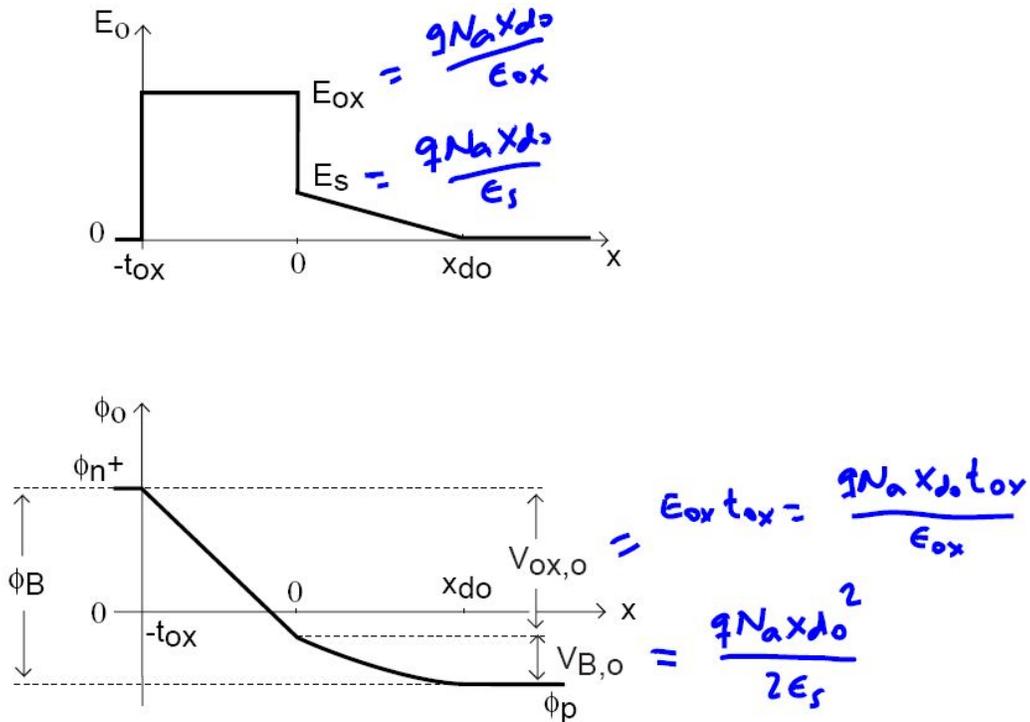


Potencial de juntura:

$$\phi_B = \phi_{gate} - \phi_{sust} = 550 \text{ mV} + \frac{kT}{q} \ln \left( \frac{N_a}{n_i} \right)$$

Para obtener  $\phi_o(x)$  integramos  $E_o(x)$ ; comenzamos desde muy adentro en el semiconductor:

$$\phi_o(x_2) - \phi_o(x_1) = - \int_{x_1}^{x_2} E_o(x) dx$$



En particular para  $0 < x \leq x_{do}$ :

$$\phi(x) - \underbrace{\phi(x_{do})}_{=\phi_p} = - \int_{x_{do}}^x -\frac{q N_a}{\epsilon_s} (x - x_{do}) dx = \frac{q N_a}{2\epsilon_s} (x - x_{do})^2$$

$$\phi(x) = \begin{cases} \phi_{gate} & x \leq -t_{ox} \\ \phi_p + \frac{q N_a x_{do}^2}{2\epsilon_s} + \frac{q N_a x_{do}}{\epsilon_{ox}} (-x) & -t_{ox} < x \leq 0 \\ \phi_p + \frac{q N_a}{2\epsilon_s} (x - x_{do})^2 & 0 < x \leq x_{do} \\ \phi_p & x_{do} < x \end{cases}$$

Aún no conocemos  $x_{do} \Rightarrow$  necesitamos una ecuación más:

La diferencia de potencial a lo largo de la estructura debe ser  $\phi_B$ :

$$\phi_B = V_{B,o} + V_{ox,o} = \frac{q N_a x_{do}^2}{2 \epsilon_s} + \frac{q N_a x_{do} t_{ox}}{\epsilon_{ox}}$$

Resolvemos la ecuación cuadrática:

$$x_{do} = \frac{\epsilon_s}{\epsilon_{ox}} t_{ox} \left[ \sqrt{1 + \frac{2 \epsilon_{ox}^2 \phi_B}{\epsilon_s q N_a t_{ox}^2}} - 1 \right]$$

Si consideramos las siguientes definiciones:

Capacidad por unidad de área de óxido [unidades: F/cm<sup>2</sup>]:

$$C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

y  $\gamma$  (*body factor coefficient*) [unidades: V<sup>1/2</sup>]:

$$\gamma = \frac{1}{C'_{ox}} \sqrt{2 \epsilon_s q N_a}$$

Nos queda:

$$x_{do} = \frac{\epsilon_s}{C'_{ox}} \left[ \sqrt{1 + \frac{4\phi_B}{\gamma^2}} - 1 \right]$$

□ Ejemplo numérico:

$$N_d = 1 \times 10^{20} \text{ cm}^{-3}, \quad N_a = 1 \times 10^{17} \text{ cm}^{-3}, \quad t_{ox} = 8 \text{ nm}$$

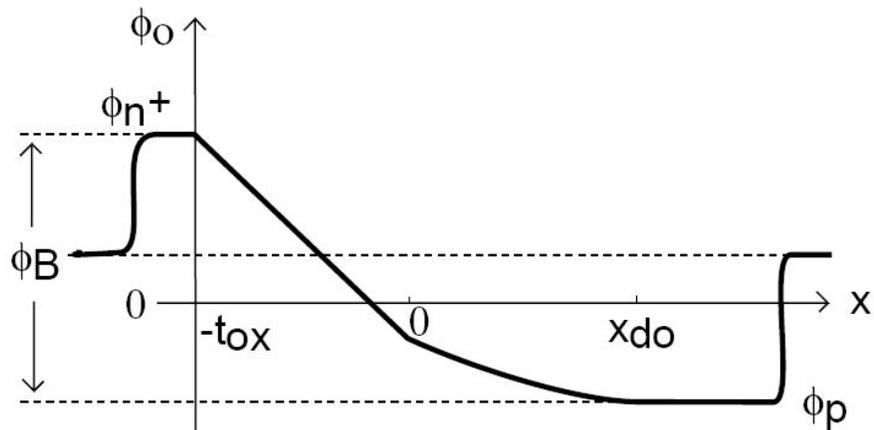
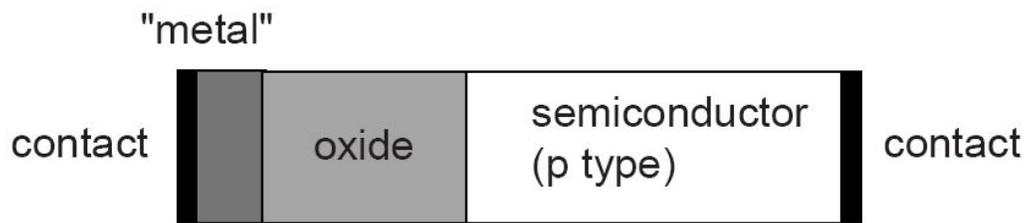
$$\phi_B = 550 \text{ mV} + 420 \text{ mV} = 970 \text{ mV}$$

$$C'_{ox} = 4,3 \times 10^{-7} \text{ F/cm}^2$$

$$\gamma = 0,43 \text{ V}^{1/2}$$

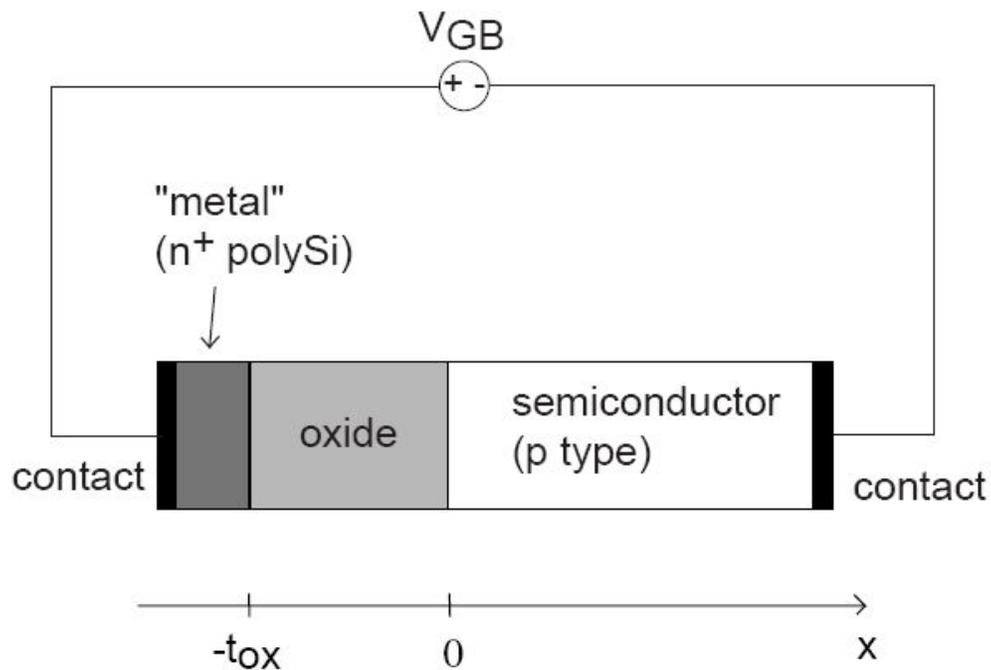
$$x_{do} = 91 \text{ nm}$$

Al considerarse los *potenciales de contacto* de las metalizaciones se tiene que la diferencia de potencial entre contacto y contacto es cero.



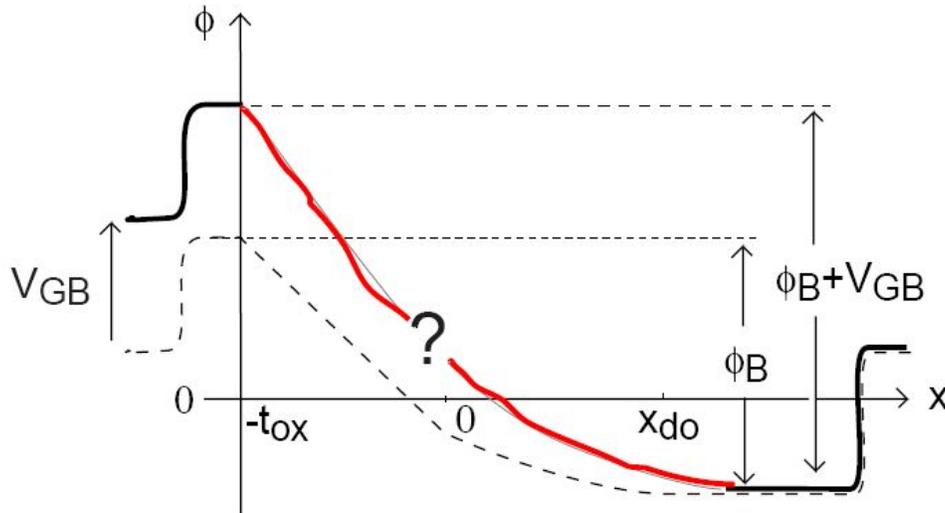
## 4. Electrostática de la estructura MOS con polarización

Aplicamos al gate una tensión ligeramente positiva respecto del sustrato semiconductor:



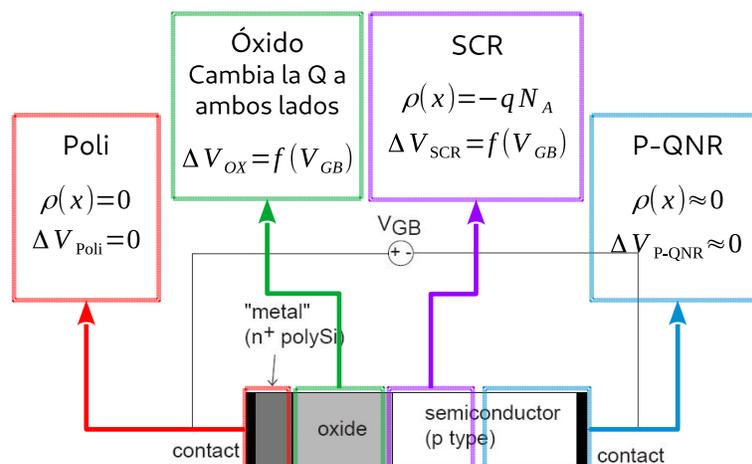
La electrostática del MOS se ve afectada  $\Rightarrow$  la diferencia de potencial a lo largo de la estructura ahora es  $\neq 0$ .

¿Cómo se modifica la distribución de potencial dentro de la estructura como resultado de la polarización aplicada?



¿En qué región se produce la mayor caída del potencial externo  $V_{GB}$  aplicado?

¿Cómo se distribuye la diferencia de potencial  $V_{GB}$  a lo largo de la estructura MOS?



Hay seis regiones donde  $V_{GB}$  puede caer:

- ¿contacto metal/Gate?
- ¿contacto metal/p-QNR?
  - La tensión de los contactos depende de los materiales y no se afecta significativamente por la tensión aplicada
- ¿Polisilicio (Metal)?
  - Los metales son equipotenciales  $\Rightarrow$  no hay caída de potencial.
- ¿p-QNR?
  - $\rho(x) = 0 \Rightarrow \Delta V_{P-QNR} \simeq 0$
- ¿Óxido?
  - Cambia la carga a los lados del aislante (como en un Capacitor)
- ¿Zona desierta (SCR)?

La diferencia de potencial se manifiesta a lo largo del óxido y de la región SCR (zona desierta)

El óxido es un aislante  $\Rightarrow$  no hay corriente en la estructura

En la SCR, prevalece una situación de equilibrio

$\Rightarrow$  nuevo balance entre las corrientes de arrastre y difusión

- la electrostática es cualitativamente idéntica que sin polarización (pero *la cantidad de carga distribuida es diferente*)
- $n_0 p_0 = n_i^2$

¿Y qué le ocurre con  $\rho(x)$ ,  $E(x)$  y  $\phi(x)$  en la región SCR y el óxido?

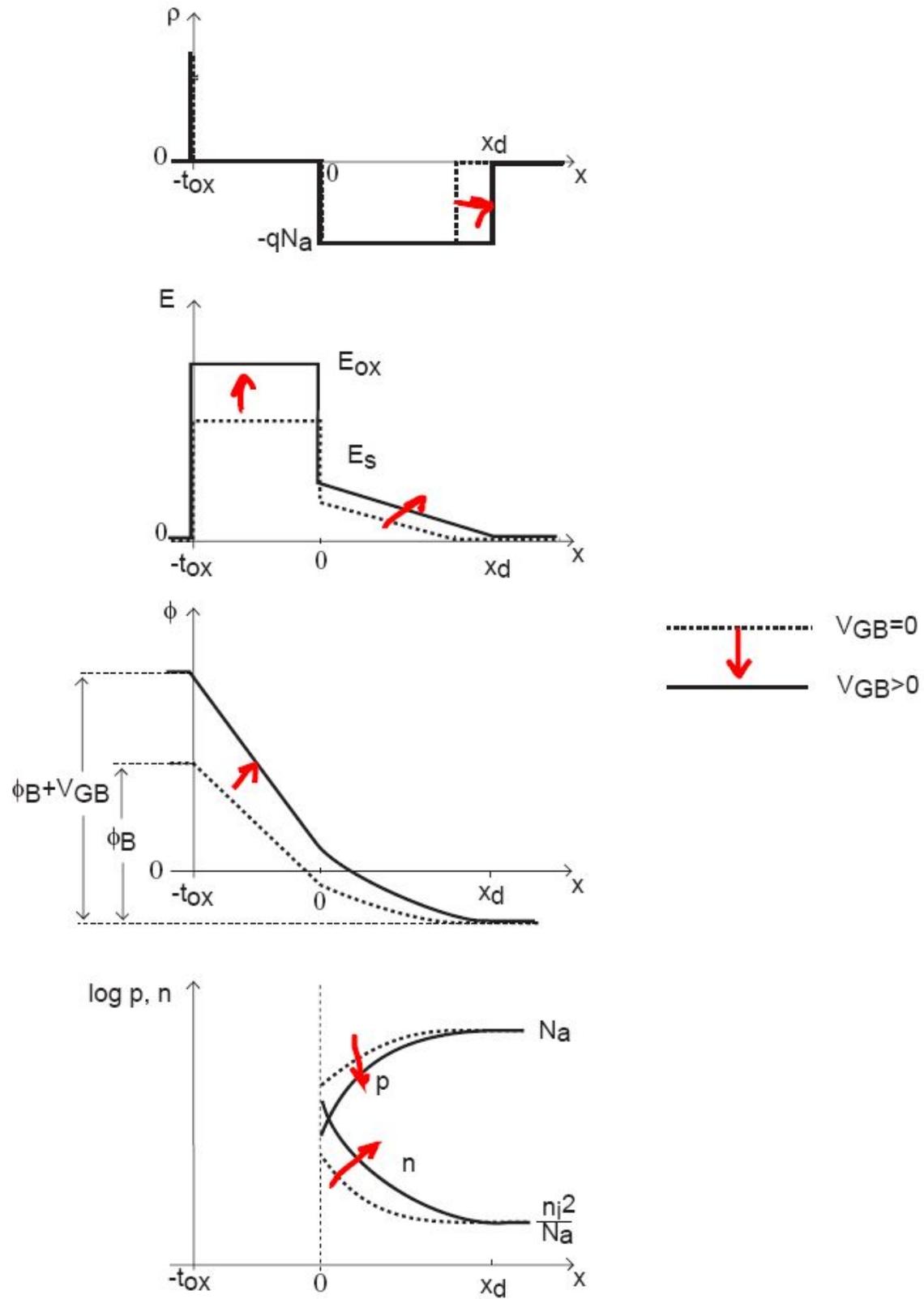
Si  $V_{GB}$  es ligeramente  $> 0$ :

La diferencia de potencial de la estructura aumenta

$\Rightarrow$  se modifica el campo eléctrico en la SCR

$\Rightarrow$  se modifica el dipolo de carga en la SCR

$\Rightarrow$  la SCR debe expandirse



Esencialmente,

- El comportamiento de la estructura MOS polarizada no se modifica cualitativamente respecto de sin polarización.
- Se modifica el dipolo de carga a los lados del aislante de modo de compensar el potencial forzado externamente.

Consecuencia importante:

- La formulación analítica de la estructura MOS polarizada es idéntica a sin polarización, pero considerando:

$$\phi_B \rightarrow \phi_B + V_{GB}$$

Luego, utilizando la aproximación de vaciamiento:

$$x_d(V_{GB}) = \frac{\epsilon_s}{C'_{ox}} \left[ \sqrt{1 + \frac{4(\phi_B + V_{GB})}{\gamma^2}} - 1 \right]$$

$$V_{GB} \uparrow \rightarrow x_d \uparrow$$

## Principales Conclusiones

- La distribución de cargas en una estructura MOS sin polarizar:
  - Región de carga espacial en el semiconductor
  - Potencial de juntura a lo largo de la estructura MOS.
- En la mayoría de los casos podemos hacer la aproximación de vaciamiento en el semiconductor.
- Al aplicar una tensión se modula la extensión de la región de vaciamiento, pero no circula corriente.

# Clase 14<sup>1</sup> - La estructura Metal-Óxido-Semiconductor (II)

## REGÍMENES DE OPERACIÓN

### Contenido:

1. Análisis general de la juntura MOS con tensión de polarización
2. Régimen de Vaciamiento (*Depletion regime*)
3. Tensión de Banda Plana (*Flatband*)
4. Régimen de Acumulación (*Accumulation regime*)
5. Tensión Umbral (*Threshold*)
6. Régimen de Inversión (*Inversion regime*)
7. Distintas combinaciones poly-sustrato
8. Efecto capacitivo de la estructura MOS

### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 8, §§8.1–8.4.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 4, §§4.2–4.4.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 3, §§3.8–3.9.

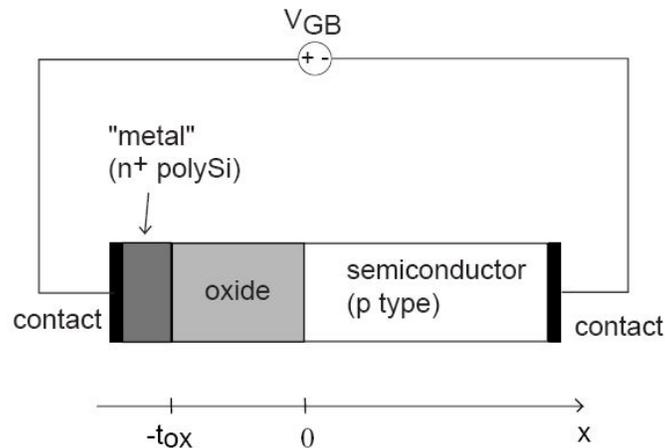
---

<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras:

- ¿Existe más de un régimen de operación de la estructura MOS polarizada?
- ¿Qué significa la "inversión de portadores" y qué tiene de particular?
- ¿Cómo depende la carga de inversión de portadores del potencial de Gate?
- ¿La estructura MOS presenta un comportamiento capacitivo?

# 1. Análisis general de la electrostática de la juntura MOS con polarización aplicada



Al aplicar una pequeña tensión de polarización  $V_{GB}$ :

- El potencial built-in a lo largo de la estructura MOS aumenta de  $\phi_B$  a  $\phi_B + V_{GB}$
- El óxido impide la circulación de corriente  $\Rightarrow$ 
  - Situación de equilibrio:  $J = 0 \forall$  punto en el SC
  - necesitamos *arrastre* = – *difusión* en SCR
- Se debe preservar la condición de contorno en la interfaz Si/SiO<sub>2</sub> :  $E_{ox}/E_s \simeq 3$

¿Cómo pueden satisfacerse todas estas condiciones a la vez?  $\Rightarrow$  *situación de equilibrio* con diferencia de potencial total en el MOS igual a  $\phi_B + V_{GB}$

Consecuencias importantes del estado de equilibrio:

⇒ La relación de Boltzmann se cumple en el semiconductor (fue derivada a partir de  $J_e = J_h = 0$ ):

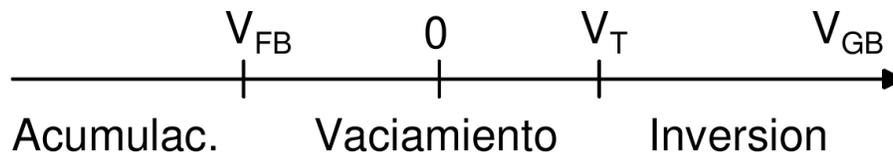
$$n(x) = n_i \exp\left(\frac{q\phi(x)}{kT}\right)$$

$$p(x) = n_i \exp\left(-\frac{q\phi(x)}{kT}\right)$$

y

$$n_o p_o = n_i^2 \quad \text{para todo } x$$

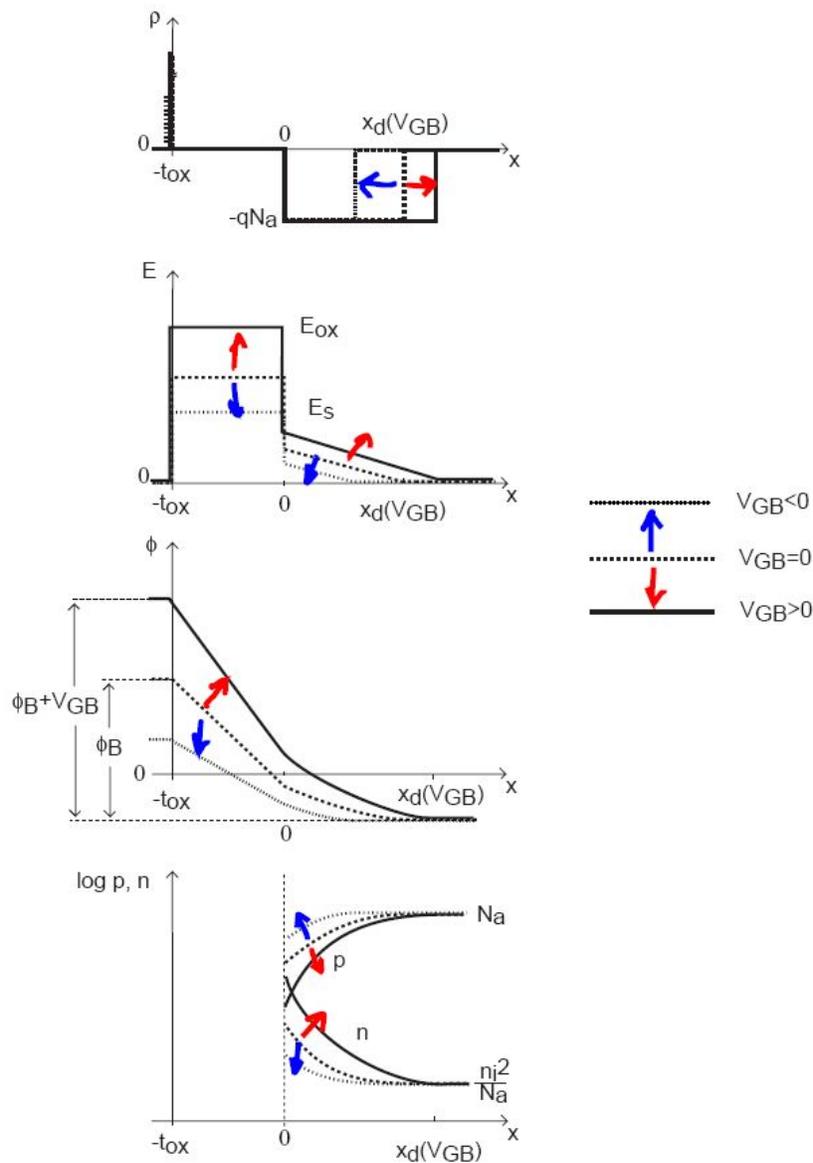
A continuación estudiaremos el comportamiento de la juntura en función de la tensión  $V_{GB}$  para el caso poly N (gate) - sustrato P (semiconductor). Existen 3 regiones de operación delimitadas por 2 tensiones con nombre propio:



## 2. Régimen de vaciamiento

Para  $V_{GB} > 0$ : la fuente mueve huecos desde el sustrato hacia el gate  $\Rightarrow$  la región de vaciamiento crece.

Para  $V_{GB} < 0$ : la fuente mueve huecos desde el gate hacia el sustrato  $\Rightarrow$  la región de vaciamiento se contrae.



En el régimen de vaciamiento son validos todos los resultados obtenidos para  $V_{GB} = 0$  mediante  $\phi_B \rightarrow \phi_B + V_{GB}$ .

- Extensión de la zona de vaciamiento:

$$x_d(V_{GB}) = \frac{\epsilon_s}{C'_{ox}} \left[ \sqrt{1 + \frac{4(\phi_B + V_{GB})}{\gamma^2}} - 1 \right]$$

- Caída de potencial a lo largo de la región SCR del semiconductor:

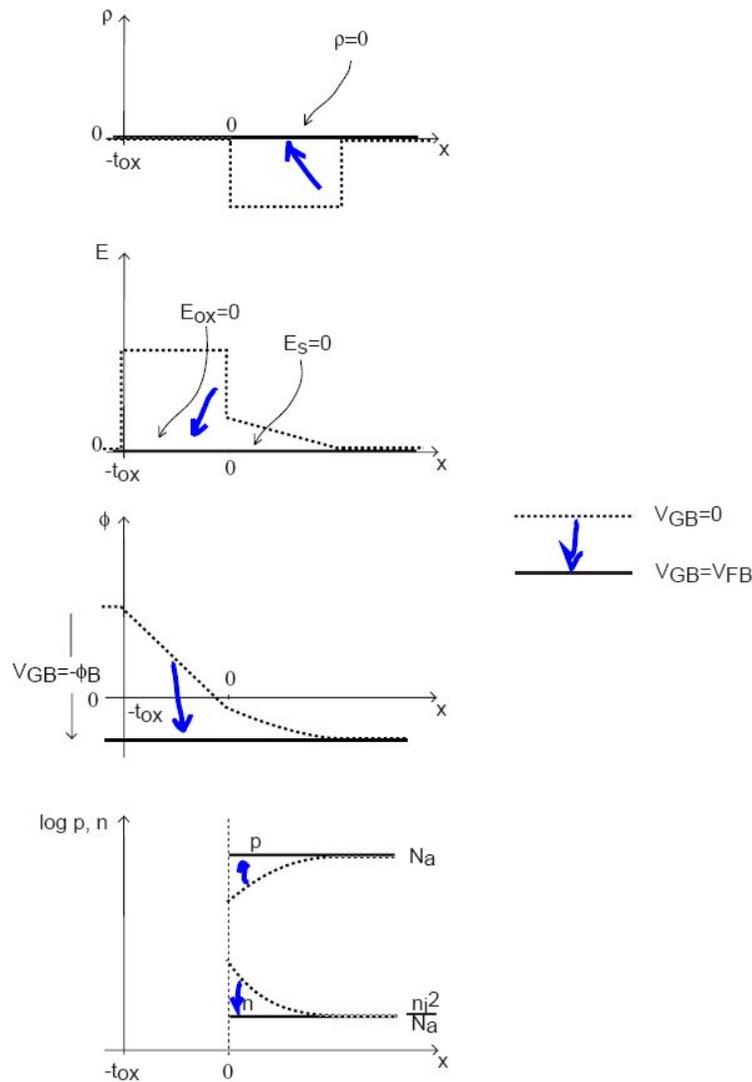
$$\begin{aligned} V_B(V_{GB}) &= \frac{1}{2} E(x=0) x_d(V_{GB}) \\ &= \frac{1}{2} \frac{q N_a}{\epsilon_s} x_d(V_{GB}) x_d(V_{GB}) \\ &= \frac{q N_a x_d^2(V_{GB})}{2\epsilon_s} \end{aligned}$$

- Caída de tensión a lo largo del oxido:

$$V_{ox}(V_{GB}) = \frac{Q'_{bulk}}{C'_{ox}} = \frac{q N_a x_d(V_{GB})}{C'_{ox}} = \frac{q N_a x_d(V_{GB}) t_{ox}}{\epsilon_{ox}}$$

### 3. Flatband

Para cierta tensión  $V_{GB}$  la región de vaciamiento desaparece.



Es la condición donde no hay carga distribuída

$$\rho(x) = 0 \quad \forall x \Rightarrow E(x) = 0 \Rightarrow \Delta\phi(x) = 0$$

Todas las variables son constantemente nulas  $\Rightarrow$  *Flatband*

$$\phi_B + V_{GB} = 0 \Rightarrow V_{GB} = -\phi_B$$

Se define la *Tensión de Flatband*:

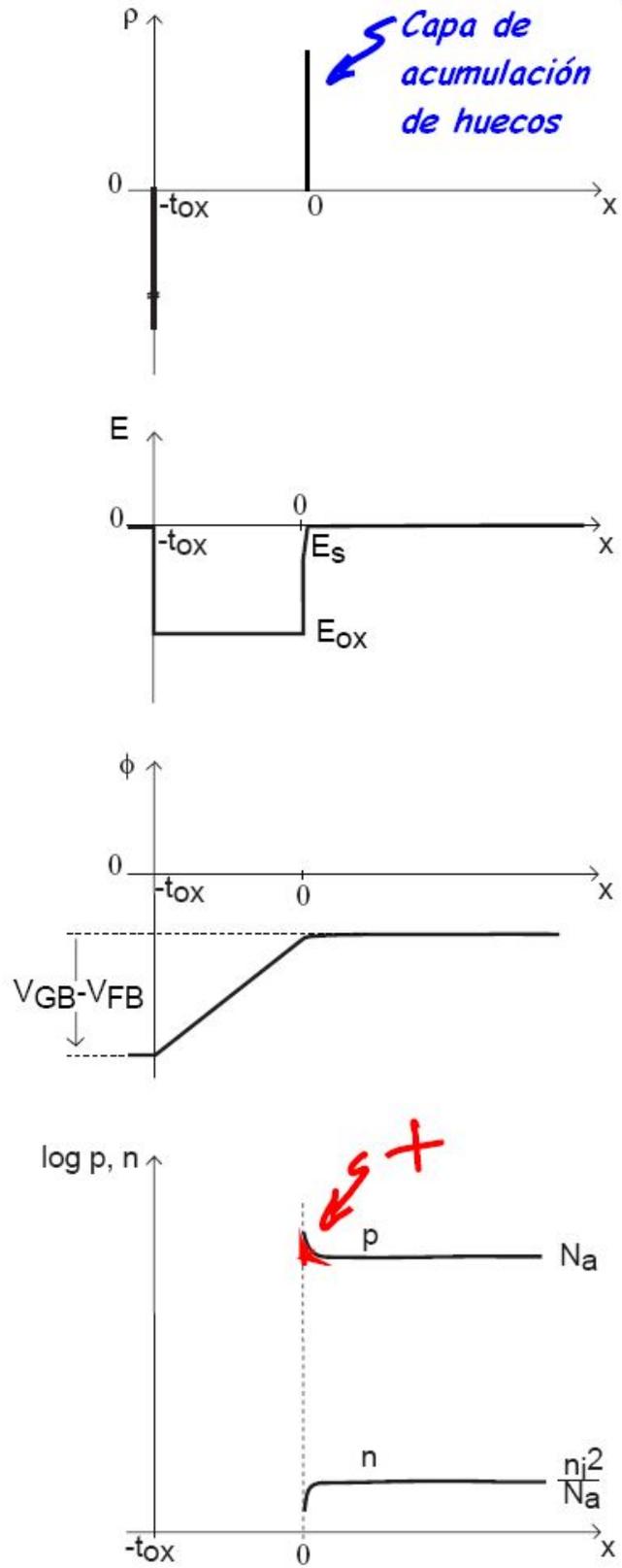
$$V_{FB} = -\phi_B$$

## 4. Régimen de acumulación

En *Flatband* la distribución de portadores mayoritarios en el SC es uniforme e igual al dopaje.

A un lado de *Flatband* ( $V_{GB} > V_{FB}$ ) “se quitan” mayoritarios generando la SCR (Régimen de vaciamiento).

Al otro lado de *Flatband* ( $V_{GB} < V_{FB}$ ) “se inyectan” mayoritarios generando un exceso (acumulación) en la interfaz Si/SiO<sub>2</sub>.



La carga acumulada es del mismo tipo que el dopaje (positiva para aceptores, negativa para donores).

La estructura se comporta como un capacitor de placas planas paralelas.

- Carga de acumulación:

$$Q'_{acum} = -C'_{ox}(V_{GB} - V_{FB})$$

- Carga en el *gate*:

$$Q'_{gate} = -Q'_{acum} = C'_{ox}(V_{GB} - V_{FB})$$

- Extensión de la SCR:

$$x_d = 0$$

- Caída de tensión en el *bulk*:

$$V_B = 0$$

- Caída de tensión en el *óxido*:

$$V_{ox} = V_{GB} - V_{FB}$$

## 5. Tensión Umbral, *Threshold*

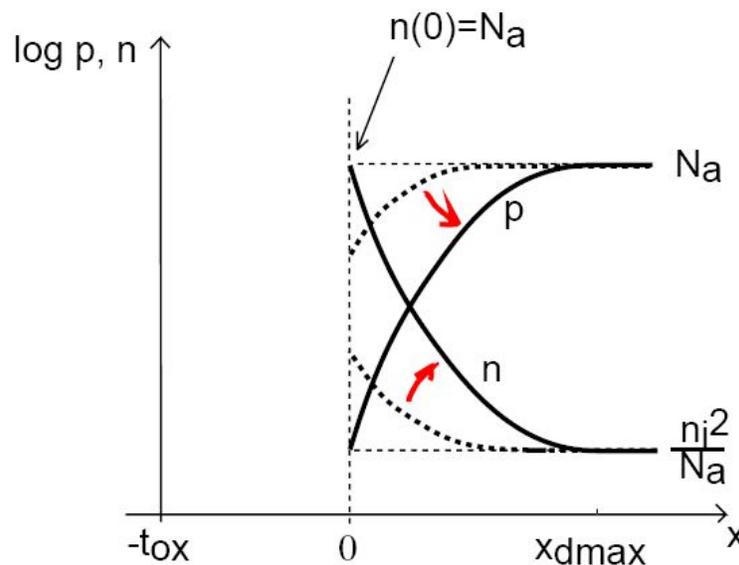
Existe un  $V_{GB}$  tal que la densidad de minoritarios crece lo suficiente como para ser comparable con la densidad de impurezas.

Al no poder despreciar su aporte de carga, no vale la aproximación de vaciamiento en un entorno a  $x = 0$ .

$$\rho(x = 0) = q(\underbrace{p(x)}_{\ll N_a} + \underbrace{N_d}_{=0} - N_a - \underbrace{n(x = 0)}_{\sim N_a})$$

Se define la situación *umbral* cuando  $n(0) = N_a$ .

Superado el *umbral*, no se puede despreciar la contribución de los electrones a la electrostática.



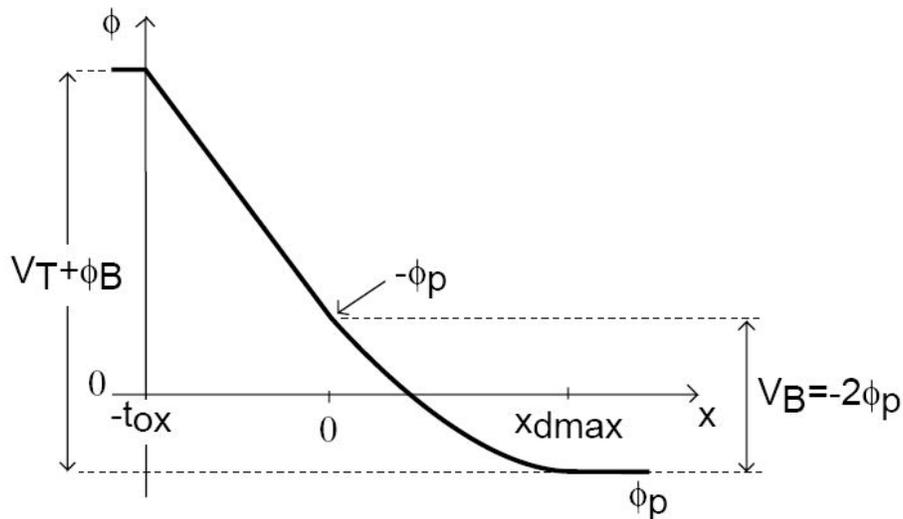
□ Cálculo de la tensión umbral.

Calculemos la *Tensión Umbral* ( $V_T$ ), es decir la tensión de compuerta que produce:  $n(0) = N_a$ .

**Principal hipótesis:** utilizar la electrostática de vaciamiento (despreciar la concentración de electrones para tensión umbral).

- Primero, calculamos  $\phi(0)$  para  $V_{GB} = V_T$ :

$$\phi(0)|_{V_T} = \frac{kT}{q} \ln \left( \frac{n(0)|_{V_T}}{n_i} \right) = \frac{kT}{q} \ln \left( \frac{N_a}{n_i} \right) = -\phi_p$$



Resultando:

$$V_B(V_T) = -2\phi_p$$

- Segundo, calculamos la caída de potencia potencial en el óxido para la tensión umbral.

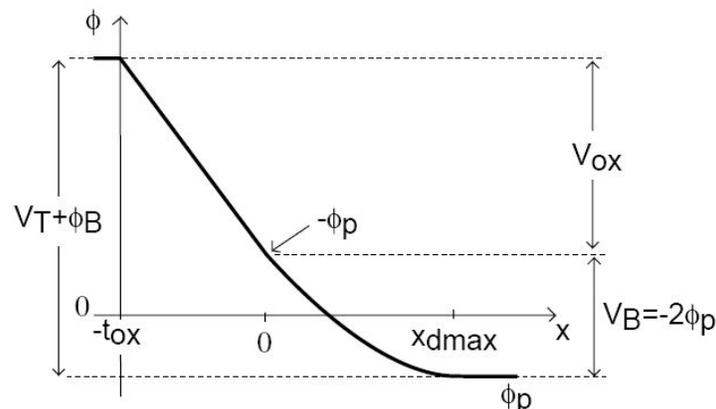
$$V_{ox}(V_T) = E_{ox}(V_T) t_{ox} = \frac{q N_a x_d(V_T)}{\epsilon_{ox}} t_{ox}$$

Obtenemos  $x_d(V_T)$  usando la relación entre  $V_B$  y  $x_d$  en vaciamiento:

$$V_B(V_T) = \frac{q N_a x_d^2(V_T)}{2 \epsilon_s} = -2 \phi_p$$

Despejamos  $x_d(V_T)$ :

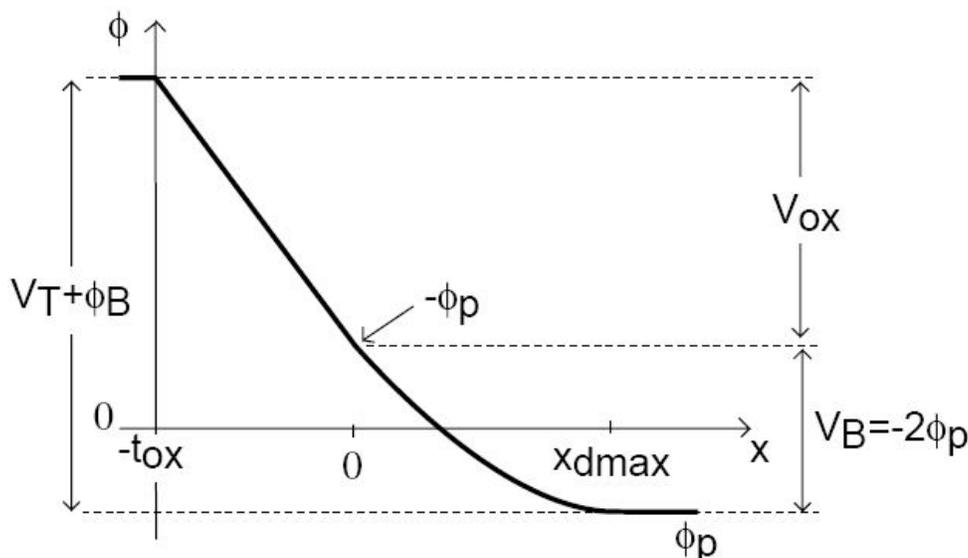
$$x_d(V_T) = x_{dmax} = \sqrt{\frac{2 \epsilon_s (-2 \phi_p)}{q N_a}}$$



Luego:

$$V_{ox}(V_T) = \frac{q N_a x_d(V_T)}{\epsilon_{ox}} t_{ox} = \gamma \sqrt{-2 \phi_p}$$

- Finalmente, sumamos las caídas de potencial en toda la estructura.



$$V_T + \phi_B = V_B(V_T) + V_{ox}(V_T) = -2\phi_p + \gamma\sqrt{-2\phi_p}$$

Siendo:  $\phi_B = -V_{FB}$ , se despeja  $V_T$ :

$$V_T = V_{FB} - 2\phi_p + \gamma\sqrt{-2\phi_p}$$

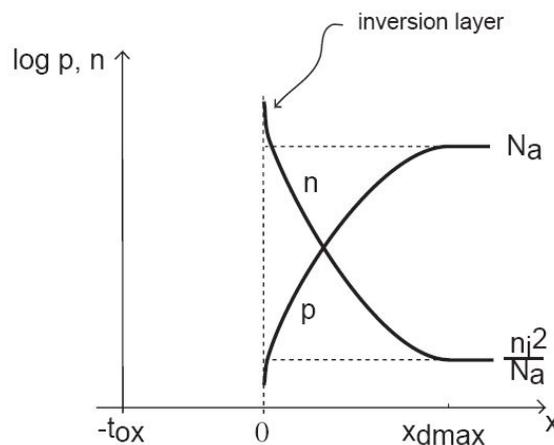
Principales dependencias:

- Si  $N_a \uparrow \Rightarrow V_T \uparrow$ . A mayor dopaje, mayor tensión requerida para producir  $n(0) = N_a$ .
- Si  $C'_{ox} \uparrow$  ( $t_{ox} \downarrow$ )  $\Rightarrow V_T \downarrow$ . Para óxido más delgado, es menor la caída de tensión en él.

## 6. Inversión

¿Qué ocurre para  $V_{GB} > V_T$ ?

La concentración de electrones en la interfaz Si/SiO<sub>2</sub> supera a la concentración de átomos aceptores  
 $\Rightarrow$  se produce la *inversión* del material.

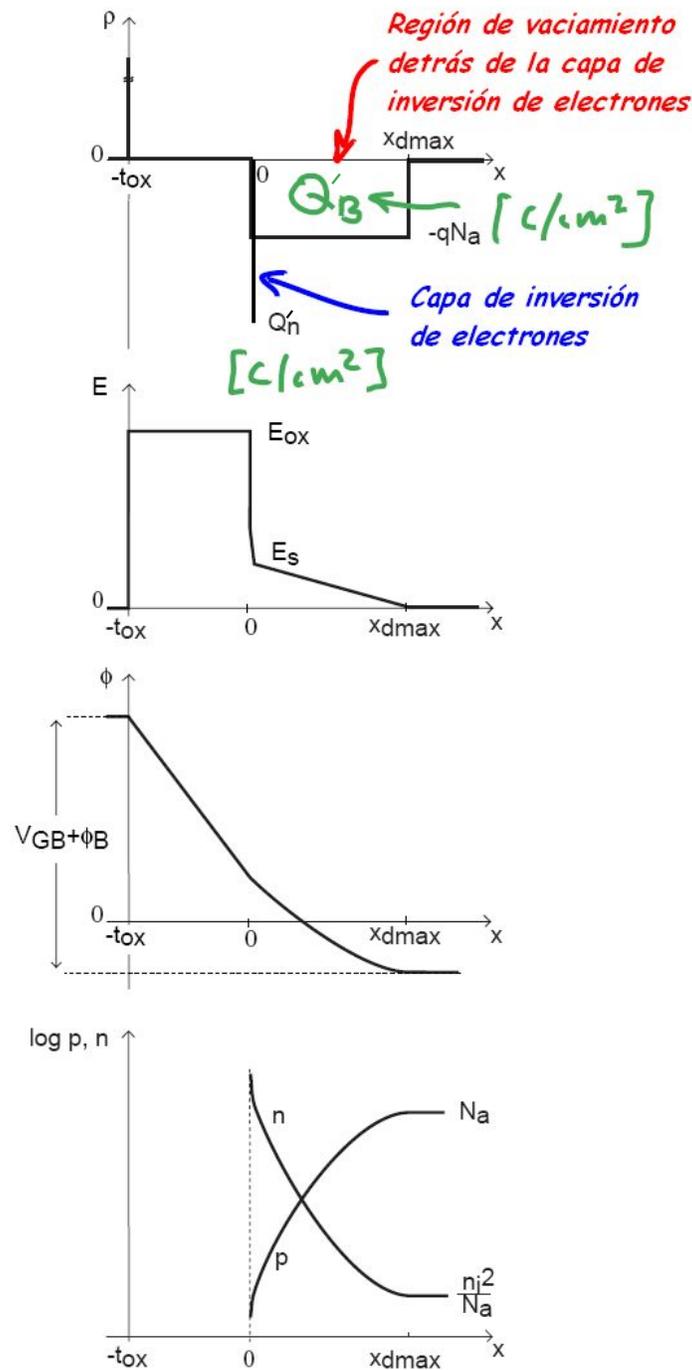


La concentración de electrones en la interfaz Si/SiO<sub>2</sub> está modulada por  $V_{GB} \Rightarrow V_{GB} \uparrow \rightarrow n(0) \uparrow \rightarrow |Q'_n| \uparrow$   
 El campo eléctrico controla la densidad de la carga móvil.  
 Esta es la esencia del MOSFET.

Para calcular  $Q'_n$  vs.  $V_{GB}$  utilizaremos la *aproximación de carga superficial*: la capa de electrones en la superficie del semiconductor es mucho más delgada que cualquier otra dimensión del problema ( $t_{ox}$ ,  $x_d$ ).

□ Relación Carga ( $Q'_n$ ) vs. Tensión de control ( $V_{GB}$ )

Veamos como es globalmente la electrostática del MOS:



Tenemos que:

$$|Q'_n| \propto n(0) \propto \exp\left(\frac{\phi(0)}{kT/q}\right)$$

*(Carga en la capa de inversión)*

$$|Q'_B| \propto \sqrt{\phi(0)}$$

*(Carga en la región de vaciamiento)*

Entonces, a medida que  $V_{GB} \uparrow$  y  $\phi(0) \uparrow$ ,  $|Q'_n|$  cambiará mucho, pero  $|Q'_B|$  cambiará muy poco.

Varias consecuencias:

- $x_d$  no aumenta demasiado después de superado el umbral:

$$x_d(inv.) \simeq x_d(V_T) = \sqrt{\frac{2\epsilon_s(-2\phi_p)}{qN_a}} = x_{dmax}$$

- $V_B$  no aumenta demasiado después de superado el umbral:

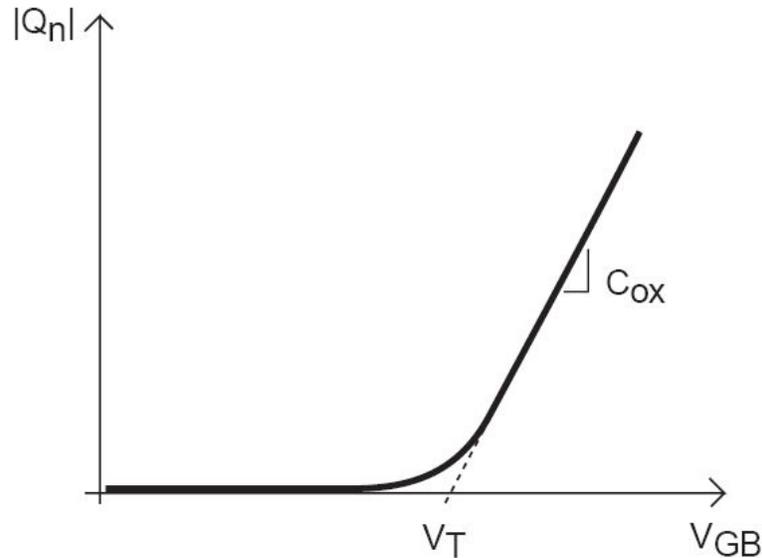
$$V_B(inv.) \simeq V_B(V_T) = -2\phi_p$$

- Todo la diferencia de potencial adicional una vez superado  $V_T$  es utilizado par aumentar la inversión de carga  $Q'_n$ . Pensemos en esto como en un capacitor:
  - cara superior: El gate de polysilicio
  - cara inferior: La capa de inversión

$$Q' = C'V$$

$$\Rightarrow Q'_n = -C'_{ox}(V_{GB} - V_T) \quad \text{para } V_{GB} > V_T$$

El control de  $Q'_n$  mediante  $V_{GB} \Rightarrow$  la clave de la electrónica del MOS.



## 7. Distintas combinaciones poly-sustrato

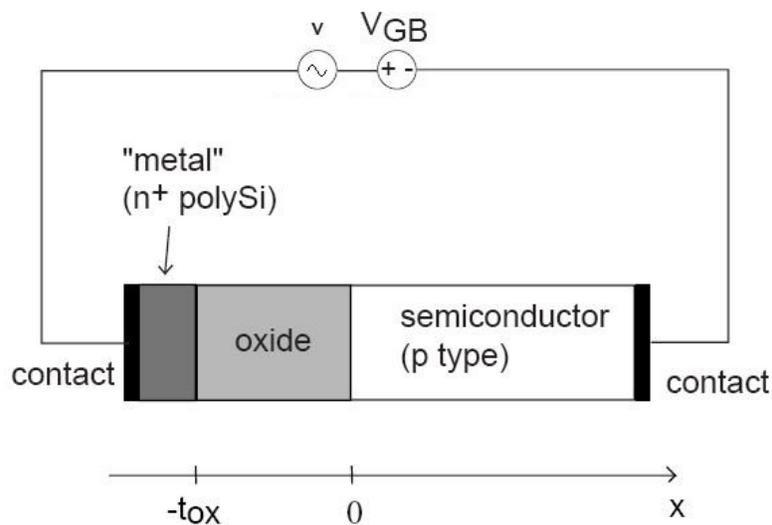
¿Cómo cambian los parámetros eléctricos de la estructura si se fabrica con distintos dopajes en la compuerta y el sustrato?

Gate	Subs	$\phi_{gate}$	$\phi_{subs}$	$V_{FB} = -\phi_B$	$V_T$
N <sup>++</sup>	P	550 mV	$-550 \text{ mV} < \phi_p < 0$	$< 0$	$> V_{FB}$
P <sup>++</sup>	N	-550 mV	$550 \text{ mV} > \phi_n > 0$	$> 0$	$< V_{FB}$
P <sup>++</sup>	P	-550 mV	$-550 \text{ mV} < \phi_p < 0$	$> 0$	$> V_{FB} > 0$
N <sup>++</sup>	N	550 mV	$550 \text{ mV} > \phi_n > 0$	$< 0$	$< V_{FB} < 0$

## 8. Capacidad de la estructura MOS

La estructura MOS es muy similar a un capacitor de placas planas paralelas, donde una de las placas se constituye con un semiconductor en lugar de un metal.

Entonces, ¿existe un efecto capacitivo en esta estructura?

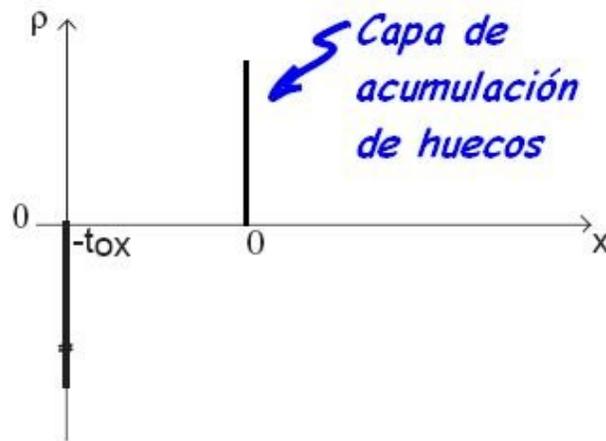


$$C' = \left. \frac{dQ'(v_{GB})}{dv_{GB}} \right|_{V_{GB}}$$

Luego multiplicando por el área de la juntura se obtiene el valor de capacidad.

Repasemos qué ocurre con la carga en la estructura en los distintos regímenes de operación.

□ *Acumulación*:  $V_{GB} < V_{FB}$



Toda la carga se encuentra en la interfaz con el aislante, y el potencial eléctrico se aplica al aislante.

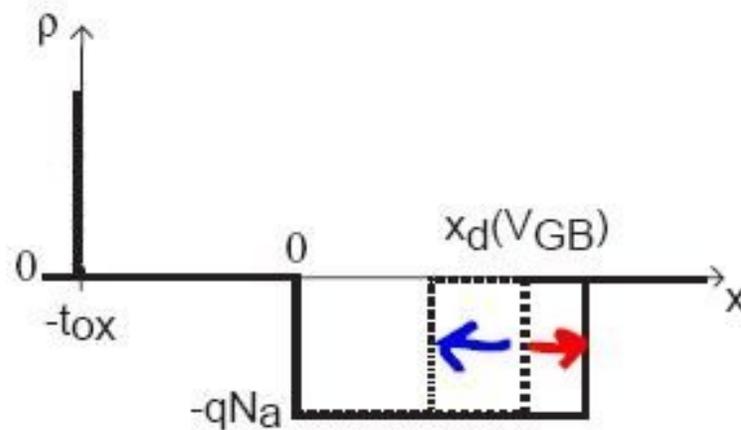
$$v_{ox} = v_{GB} - V_{FB} = E t_{ox}$$

La carga por unidad de área en la compuerta es:

$$Q'(v_{GB}) = \frac{\epsilon_{ox}}{t_{ox}} (v_{GB} - V_{FB}) = C'_{ox} (v_{GB} - V_{FB})$$

$$C' = C'_{ox}$$

□ *Vaciamiento*:  $V_{FB} < V_{GB} < V_T$



La carga se distribuye a lo largo de la SCR. La extensión de la SCR depende de  $v_{GB}$ .

$$Q'(v_{GB}) = q N_a x_d(v_{GB})$$

$$x_d(v_{GB}) = \frac{\epsilon_s}{C'_{ox}} \left[ \sqrt{1 + \frac{4(\phi_B + v_{GB})}{\gamma^2}} - 1 \right]$$

$$C' = q N_a \left. \frac{d x_d(v_{GB})}{d v_{GB}} \right|_{V_{GB}} = \frac{C'_{ox}}{\sqrt{1 + \frac{4(\phi_B + v_{GB})}{\gamma^2}}}$$

En vaciamiento, la capacidad disminuye a medida que aumenta la tensión aplicada.

Considerando:

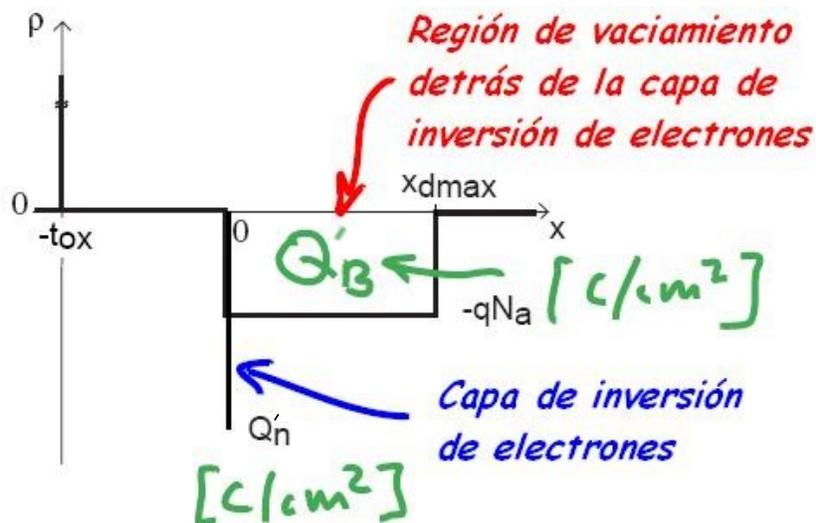
$$C'_{vac} = \frac{\epsilon_s}{x_d(v_{GB})}$$

Puede reescribirse la ecuación de la siguiente forma:

$$C' = \frac{C'_{vac} C'_{ox}}{C'_{vac} + C'_{ox}}$$

Desde el punto de vista eléctrico esto puede considerarse como dos capacitores en serie.

□ *Inversión:*  $V_{GB} > V_T$



La carga en la SCR se mantiene fija, la extensión de la SCR llega a un valor máximo.

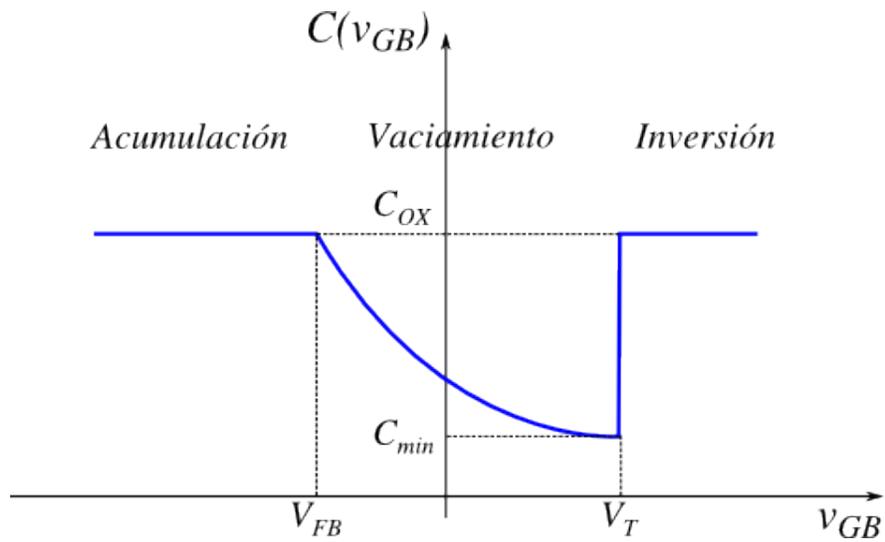
La variación de carga se produce en la capa de inversión, en la interfaz con el aislante.

$$Q'(v_{GB}) = C'_{ox} (v_{GB} - V_T) + q N_a x_{max}$$

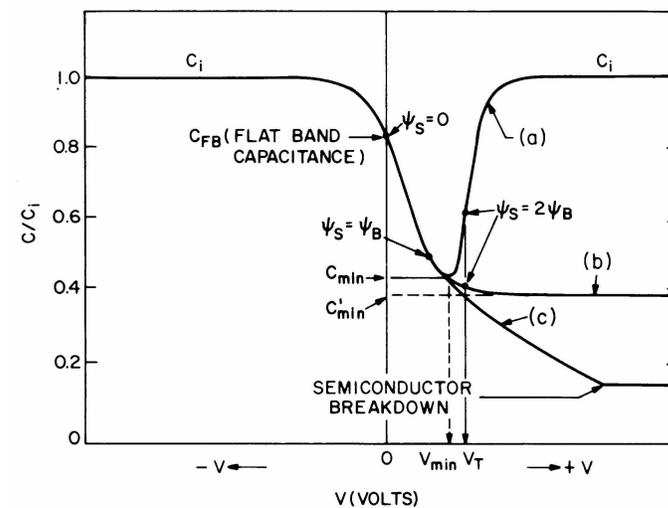
$$x_{max} = x_d(V_T) \neq f(v_{GB})$$

$$C' = C'_{ox}$$

## □ Curva $C-V$ teórica

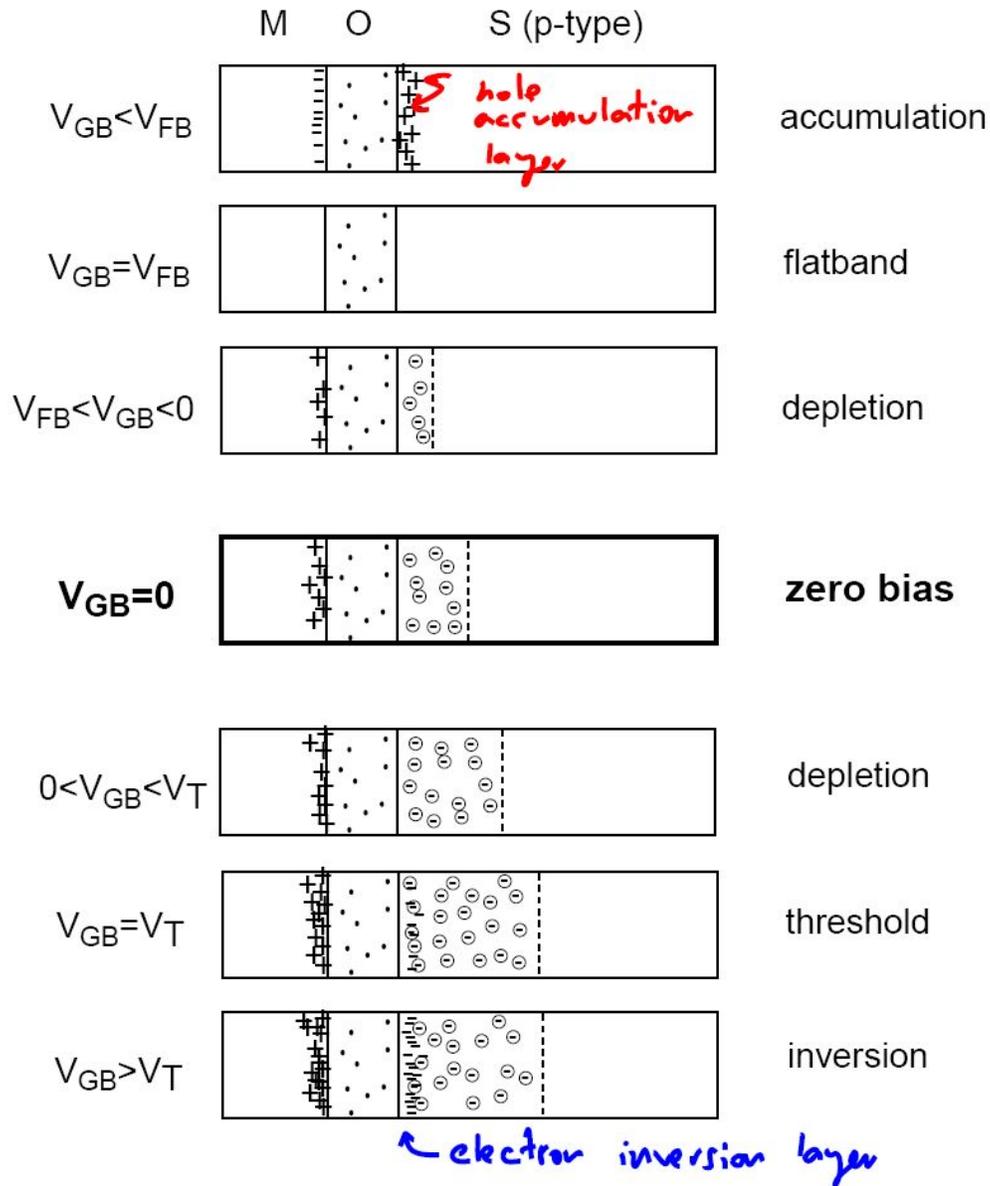


## □ Curva $C-V$ real



Fuente: S.M.Sze, "Physics of Semiconductor Devices", Jhon Wiley and Sons, 1981.

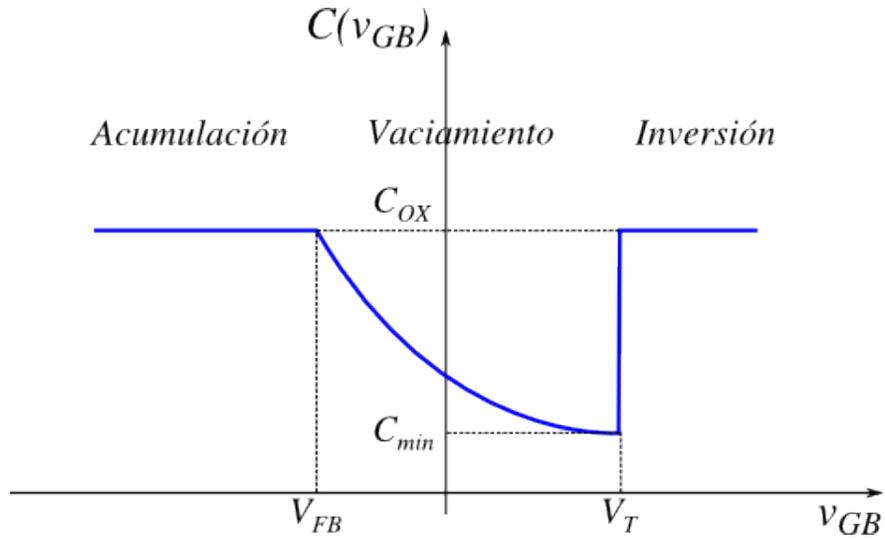
## Principales conclusiones



- En inversión:

$$|Q'_n| = C'_{ox}(V_{GB} - V_T) \quad \text{para } V_{GB} > V_T$$

- La estructura MOS tiene capacidad variable que depende del valor de polarización



# Clase 15<sup>1</sup> - MOSFET (I)

## CARACTERÍSTICAS I-V EN RÉGIMEN LINEAL

### Contenido:

1. MOSFET: corte lateral, diseño físico (layout), símbolos
2. Introducción al funcionamiento del transistor
3. Características I-V

### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 9, §§9.1.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 5, §§5.1–5.3.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 4, §§4.1–4.3.

---

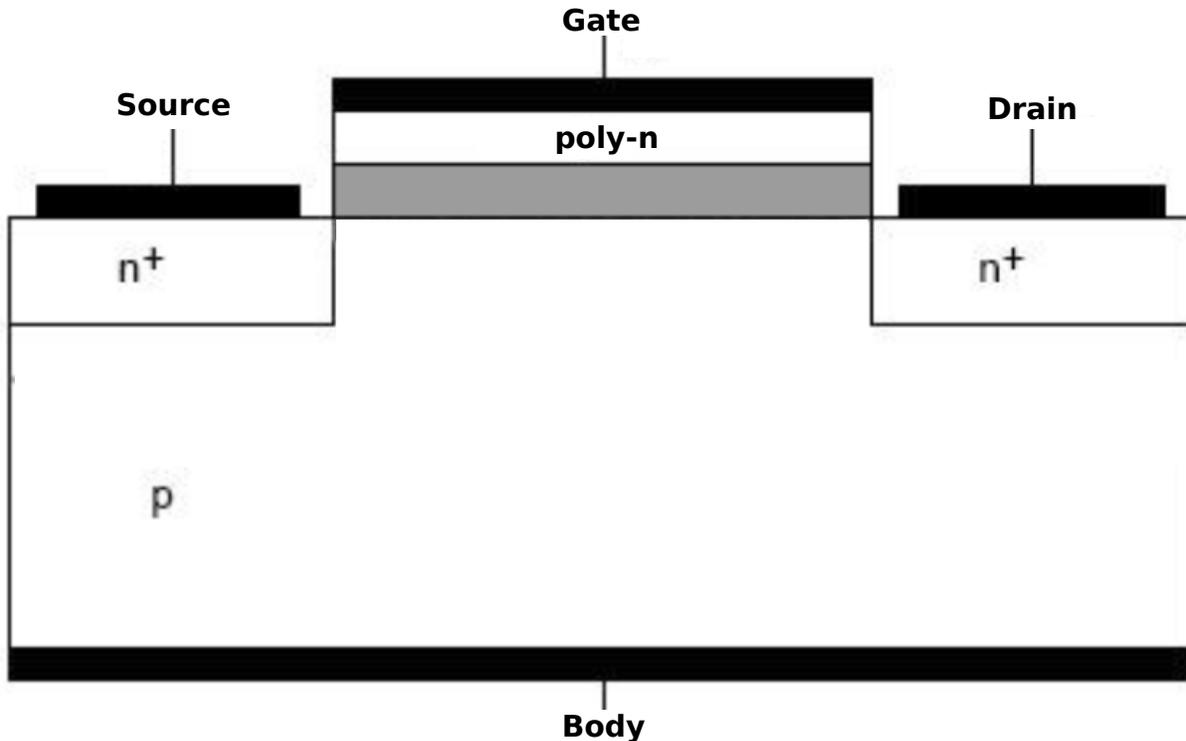
<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras

- ¿Cómo puede aprovecharse la inversión de portadores para obtener un transistor?
- ¿Cómo funciona un MOSFET?
- ¿Cómo se construye un modelo simple de las características I-V (corriente-tensión) del MOSFET?

# 1. EL MOSFET

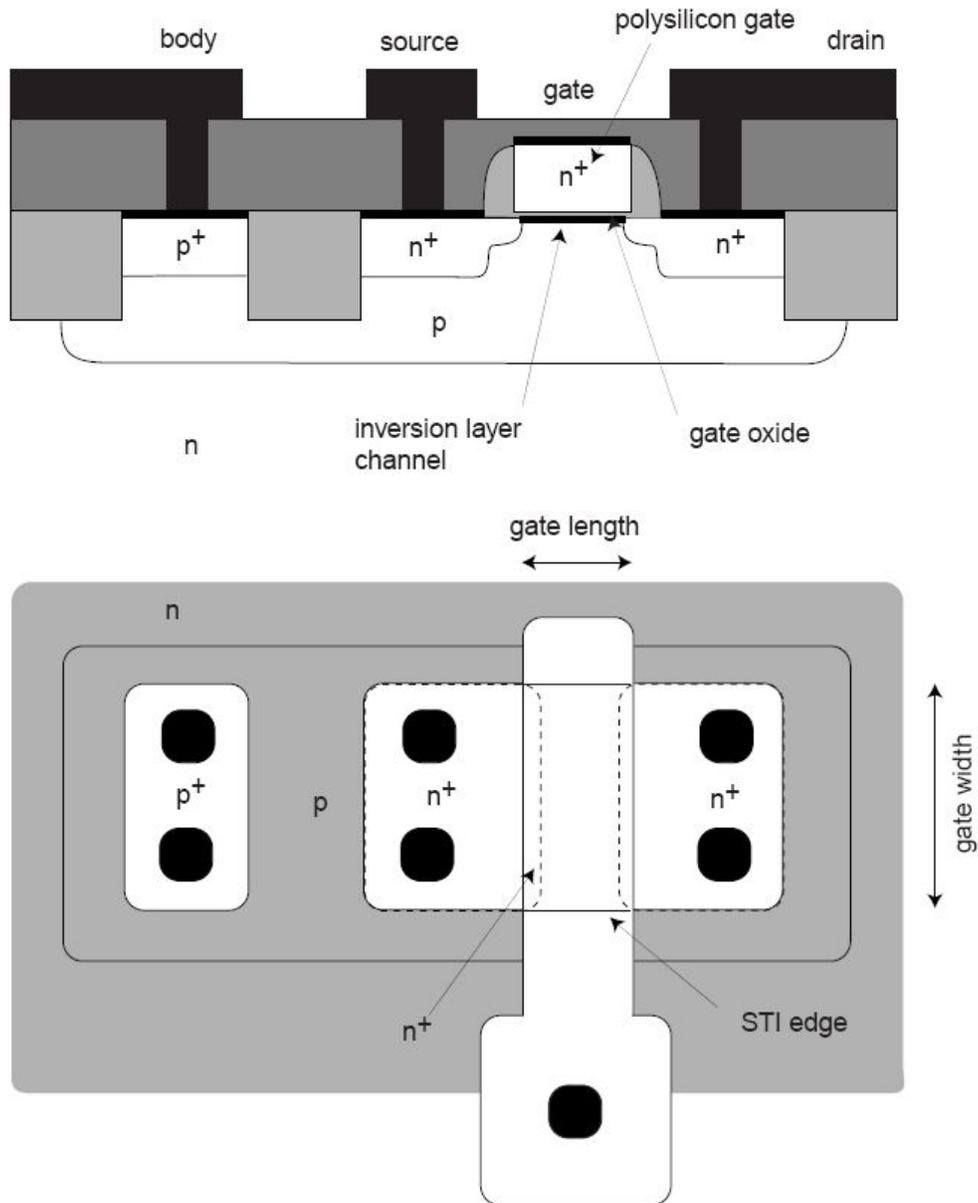
- Corte lateral simplificado



Elementos claves:

- Debajo del *gate* se forma una capa de inversión controlada por la tensión  $V_G$ .
- Existen dos regiones dopadas a los lados del *gate* llamadas *drain* y *source*  $\Rightarrow$  la capa de inversión permite la circulación de carga entre ambas regiones.
- Es un dispositivo de cuatro terminales: la tensión del *body* es importante

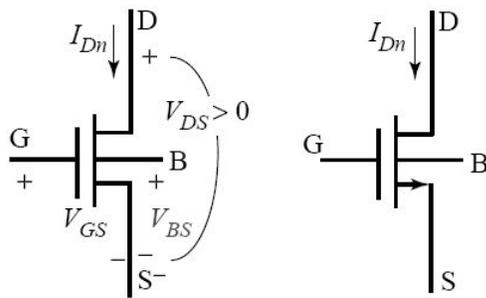
● Corte lateral y diseño físico (layout)



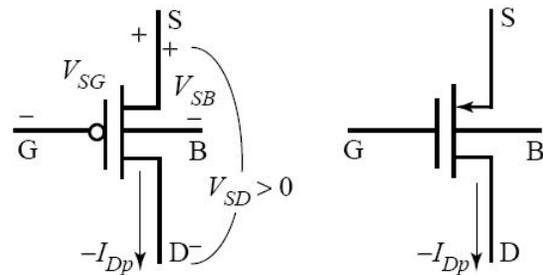
## □ Símbolos circuitales

Existen dos dispositivos complementarios:

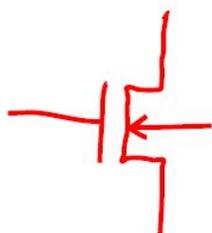
- Dispositivo de canal n (n-MOSFET) sobre un substrato tipo p (capa de inversión de electrones).
- Dispositivo de canal p (p-MOSFET) sobre un substrato tipo n (capa de inversión de huecos).



(a) n-channel MOSFET



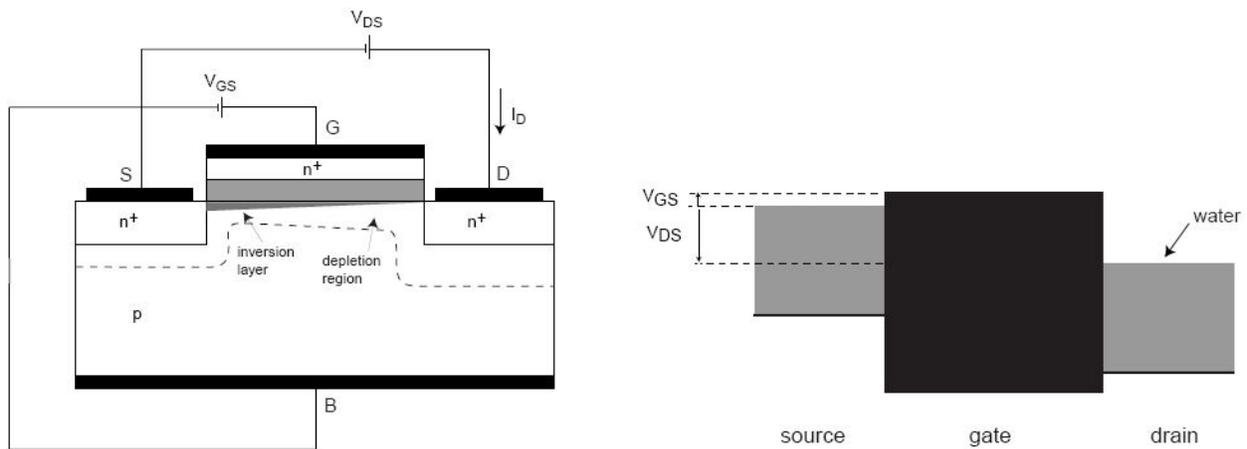
(b) p-channel MOSFET



## 2. Descripción básica del funcionamiento

Analogía del MOSFET con tanques de agua:

- *Source*: tanque de agua
- *Drain*: tanque de agua
- *Gate*: compuerta entre los tanques



Analizamos la operación del MOSFET en función de:

- tensión gate-source (altura del gate sobre el nivel de agua del source)
- tensión drain-source (diferencia de nivel de agua entre los tanques)

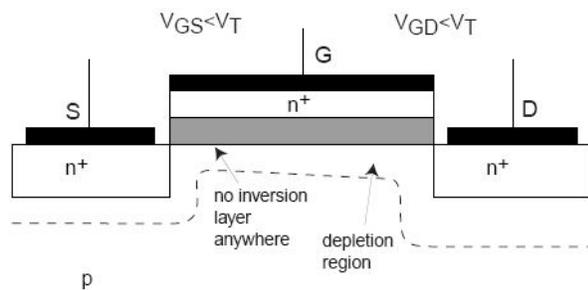
Inicialmente consideramos el source conectado al body (substrato o bulk).

Tres regímenes de operación:

□ *Corte:*

● MOSFET:  $V_{GS} < V_T$ ,  $V_{GD} < V_T$  con  $V_{DS} > 0$ .

● Analogía con agua: el gate cerrado; no puede fluir agua, independientemente de la diferencia de nivel entre source y drain.

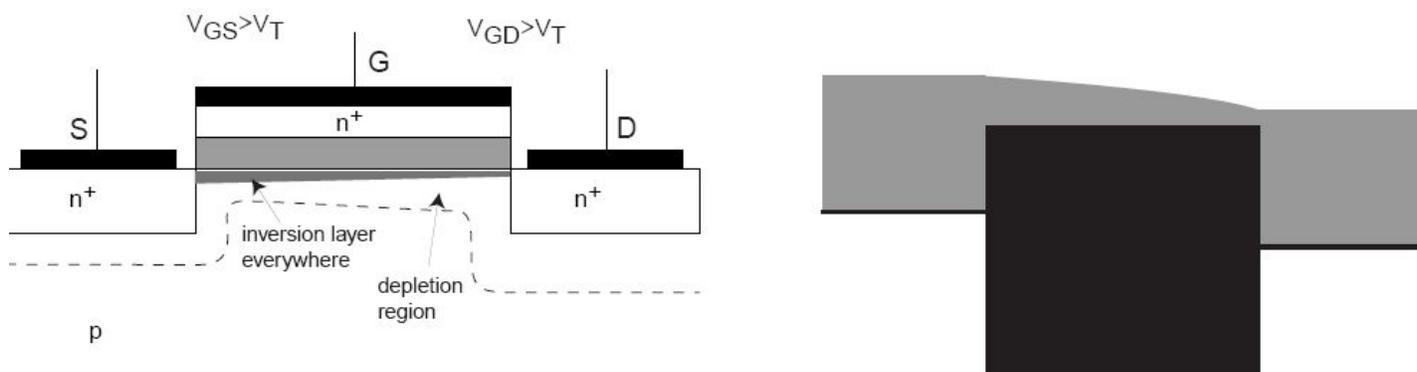


no water flow

$$I_D = 0$$

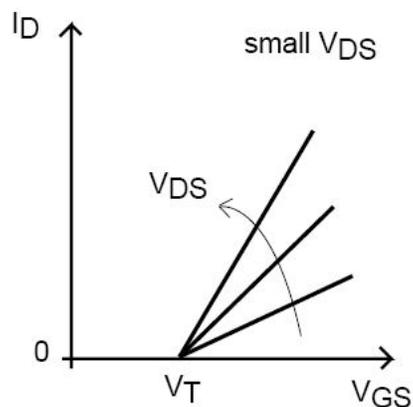
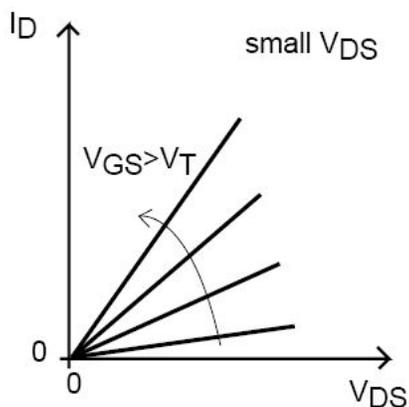
□ Régimen *Lineal* o *Triodo*:

- MOSFET:  $V_{GS} > V_T$ ,  $V_{GD} > V_T$ , con  $V_{DS} > 0$ .
- Analogía con agua: el gate abierto, pero pequeña diferencia de nivel entre source y drain; el agua fluye.



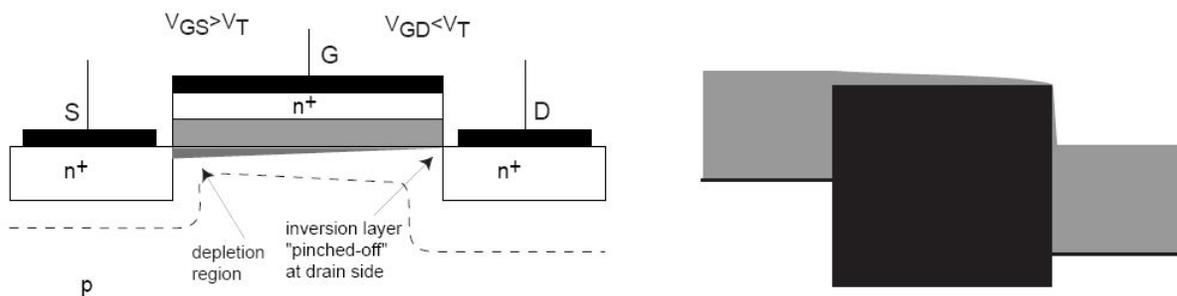
Los electrones fluyen del source al drain  $\Rightarrow$  hay corriente eléctrica

- $V_{GS} \uparrow \rightarrow |Q_n| \uparrow \rightarrow I_D \uparrow$
- $V_{DS} \uparrow \rightarrow |E_y| \uparrow \rightarrow I_D \uparrow$

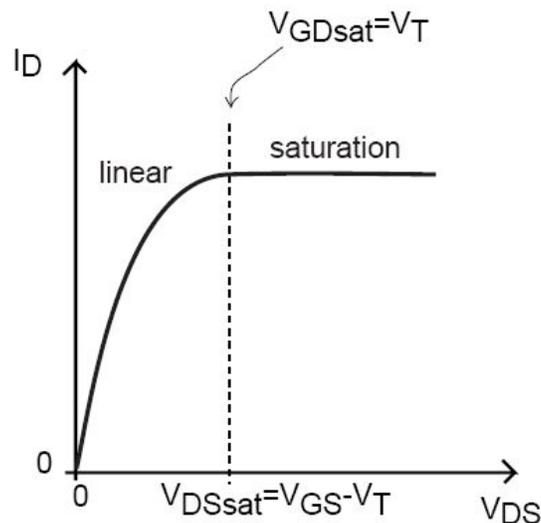


□ Régimen de *Saturación*:

- MOSFET:  $V_{GS} > V_T$ ,  $V_{GD} < V_T$  ( $V_{DS} > 0$ ).
- Analogía con agua: compuerta abierta; el agua fluye del source al drain, pero cae libremente del lado del drain  $\Rightarrow$  el flujo es independiente del nivel relativo entre los tanques

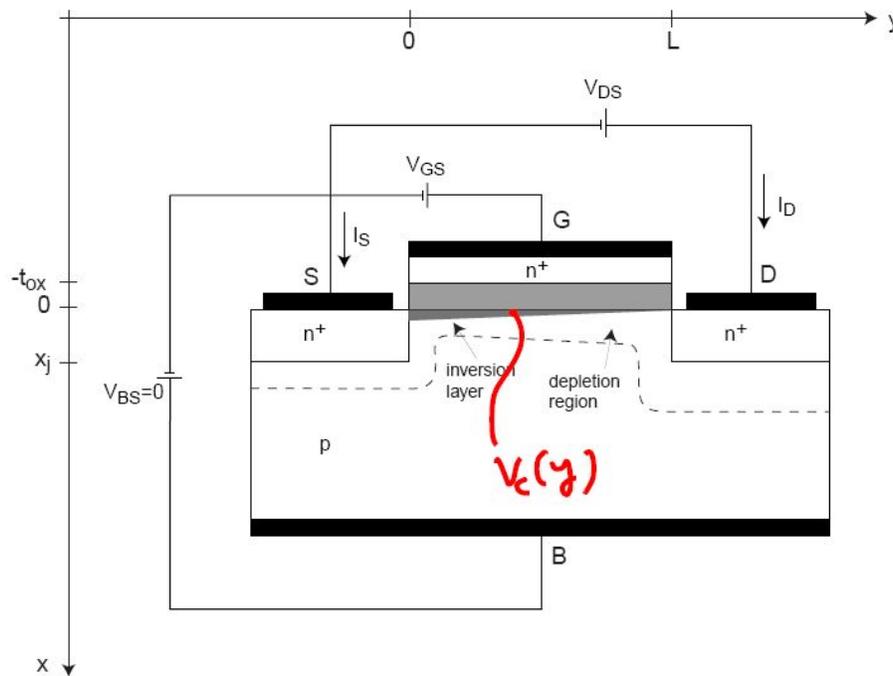


$I_D$  es independiente de  $V_{DS}$ :  $I_D = I_{Dsat}$



### 3. Características I-V en régimen lineal

Geometría del problema:



□ Expresión general de la corriente del canal

La corriente es uniforme y fluye en la dirección  $y$ :

$$I_y = W Q'_n(y) v_y(y)$$

La corriente de Drain es inversa a la corriente del canal:

$$I_D = -W Q'_n(y) v_y(y)$$

$$I_D = -W Q'_n(y) v_y(y)$$

Reescribimos en términos de la tensión del canal  $V_c(y)$ :

- Si el campo eléctrico no es demasiado grande:

$$v_y(y) \simeq -\mu_n E_y(y) = \mu_n \frac{dV_c(y)}{dy}$$

- Para  $Q'_n(y)$  usamos la relación de control de carga

$$Q'_n(y) = -C'_{ox} (V_{GS} - V_c(y) - V_T)$$

para  $V_{GS} - V_c(y) \geq V_T$ .

Todo junto:

$$I_D = W \mu_n C'_{ox} (V_{GS} - V_c(y) - V_T) \frac{dV_c(y)}{dy}$$

Una simple ecuación diferencial de primer orden con una sola incógnita,  $V_c(y)$ .

Resolvemos mediante separación de variables:

$$I_D dy = W \mu_n C'_{ox} (V_{GS} - V_c - V_T) dV_c$$

Considerando régimen lineal integramos a lo largo del canal:

- para  $y = 0$ ,  $V_c(0) = 0$
- para  $y = L$ ,  $V_c(L) = V_{DS}$  (régimen lineal)

Entonces:

$$I_D \int_0^L dy = W \mu_n C'_{ox} \int_0^{V_{DS}} (V_{GS} - V_c - V_T) dV_c$$

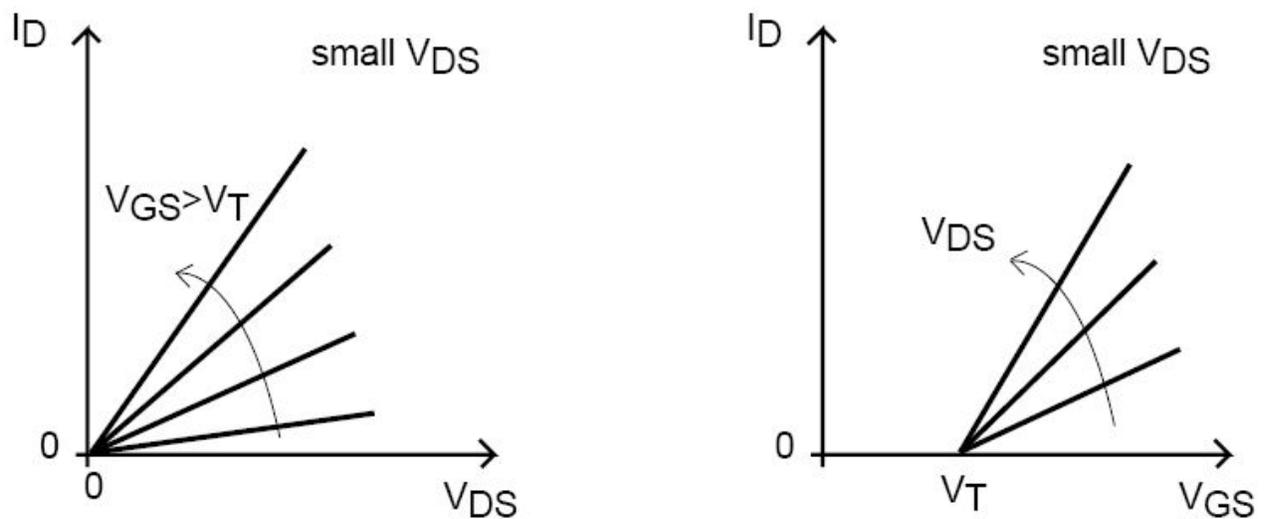
$$I_D = \frac{W}{L} \mu_n C'_{ox} \left( V_{GS} - \frac{V_{DS}}{2} - V_T \right) V_{DS}$$

Para  $V_{DS}$  pequeña:

$$I_D \simeq \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T) V_{DS}$$

Principales dependencias:

- $V_{DS} \uparrow \rightarrow I_D \uparrow$  (elevado campo eléctrico transversal)
- $V_{GS} \uparrow \rightarrow I_D \uparrow$  (elevada concentración de electrones)
- $L \uparrow \rightarrow I_D \downarrow$  (menor campo eléctrico transversal)
- $W \uparrow \rightarrow I_D \uparrow$  (canal de conducción más ancho)



Este es el régimen *lineal* o de *triode*.

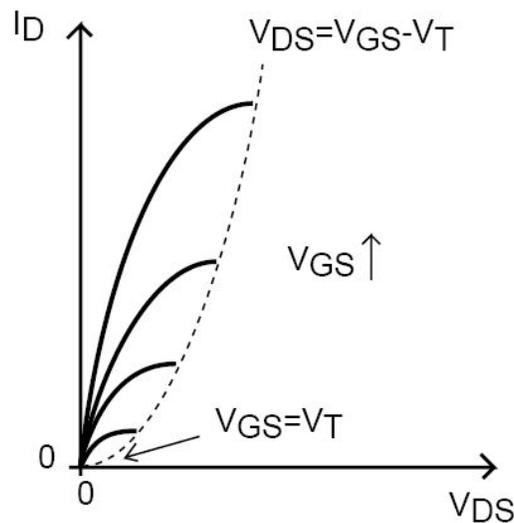
En general,

$$I_D = \frac{W}{L} \mu_n C'_{ox} \left( V_{GS} - \frac{V_{DS}}{2} - V_T \right) V_{DS}$$

La ecuación es válida si  $V_{GS} - V_c(y) \geq V_T$  para todo  $y$ .

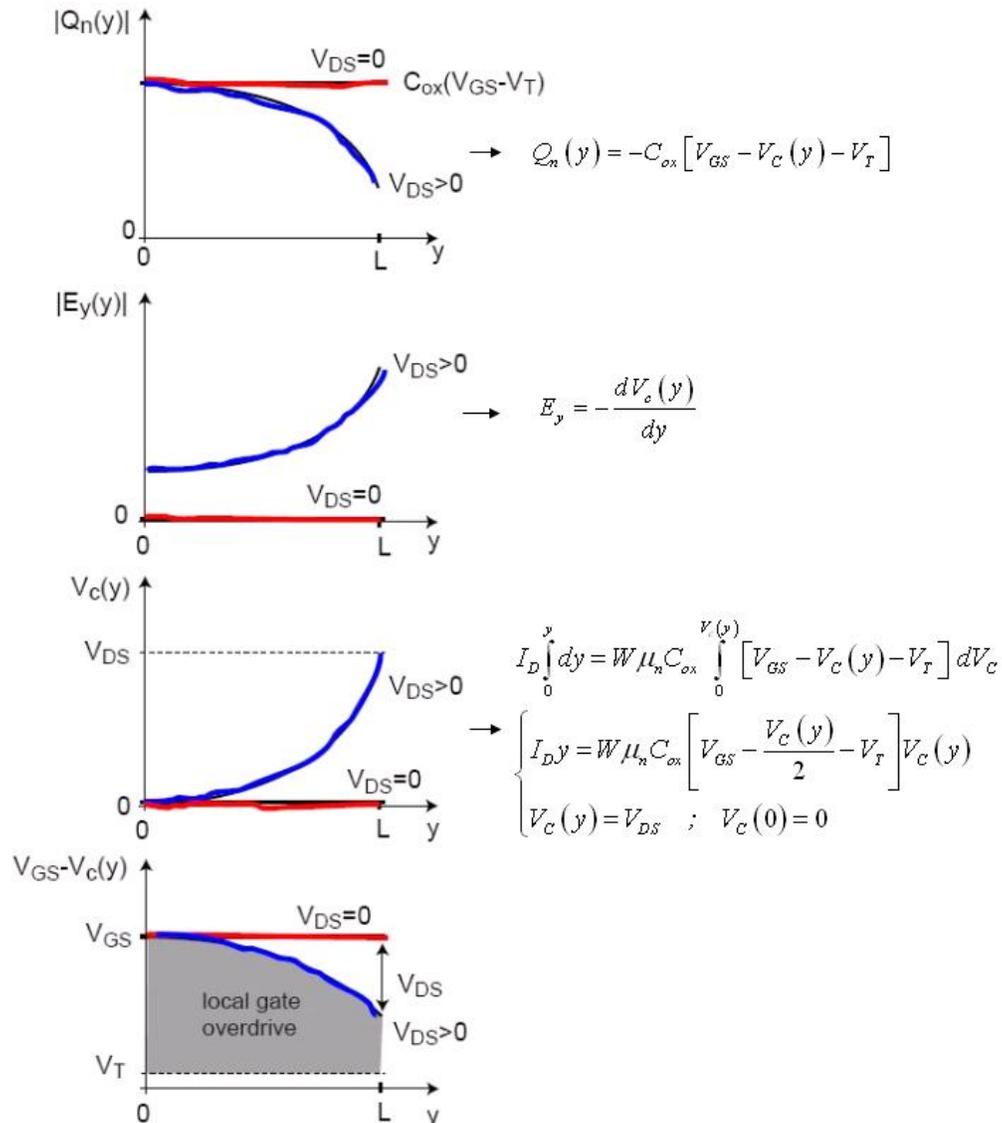
El peor punto es  $y = L$ , donde  $V_c(y) = V_{DS}$ , luego, la ecuación es válida si  $V_{GS} - V_{DS} \geq V_T$ , o:

$$V_{DS} \leq V_{GS} - V_T$$



El término responsable por la concavidad de  $I_D$  es  $-\frac{V_{DS}}{2}$

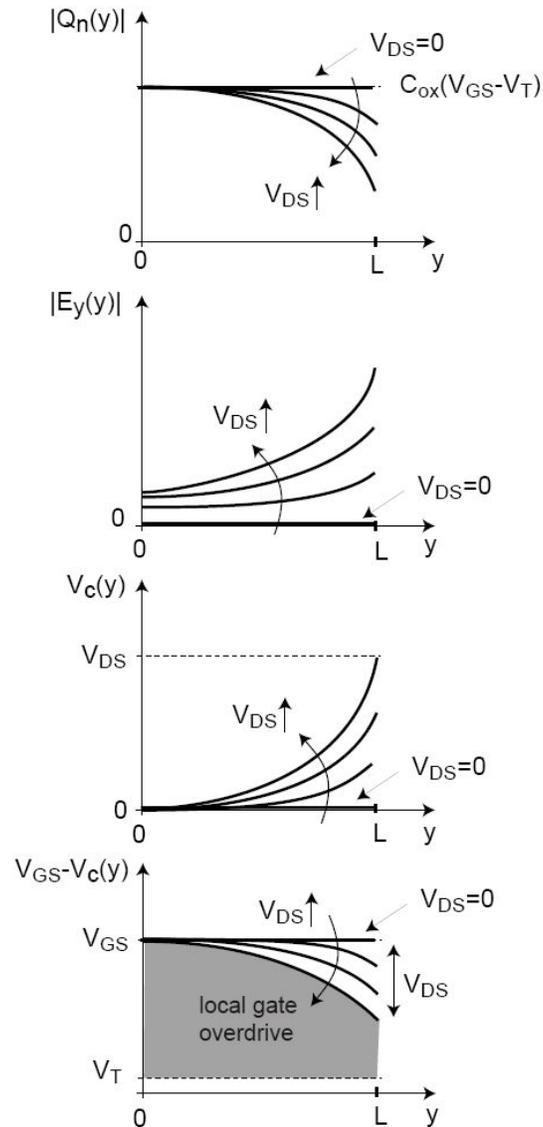
Para entender por qué  $I_D$  se curva debemos entender *la despolarización del canal*:



A lo largo del canal, desde source hasta drain:

$$y \uparrow \rightarrow V_c(y) \uparrow \rightarrow |Q_n(y)| \downarrow \rightarrow |E_y(y)| \uparrow$$

El "local channel overdrive" se reduce cerca del drain.

Impacto de  $V_{DS}$ :

Cuando  $V_{DS} \uparrow$ , la despolarización del canal se hace más prominente

$\Rightarrow I_D$  crece más lentamente con  $V_{DS}$

## Principales conclusiones

- El MOSFET es un *transistor de efecto de campo*:
  - la carga en la capa de inversión es controlada por la acción del campo eléctrico del gate
  - la carga en la capa de inversión puede moverse  $\Rightarrow$  posibilita la conducción entre drain y source
- En el *régimen lineal o triodo*:
  - $V_{GS} \uparrow \Rightarrow I_D \uparrow$ : hay más electrones en el canal
  - $V_{DS} \uparrow \Rightarrow I_D \uparrow$ : un campo eléctrico más intenso arrastra a los electrones
- *Despolarización del canal*: la capa de inversión decrece desde el source hasta el drain  $\Rightarrow$  la corriente satura a medida que  $V_{DS}$  se aproxima a:

$$V_{DSsat} = V_{GS} - V_T$$

## Clase 16<sup>1</sup> - MOSFET (II)

### CARACTERÍSTICAS I-V EN RÉGIMEN DE SATURACIÓN

#### Contenido:

1. El régimen de saturación
2. Características del MOSFET para  $V_B$  distinta de  $V_S$
3. Dependencias del MOSFET con la temperatura

#### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 9, §§9.1.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 5, §§5.1–5.3.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 4, §§4.4.

---

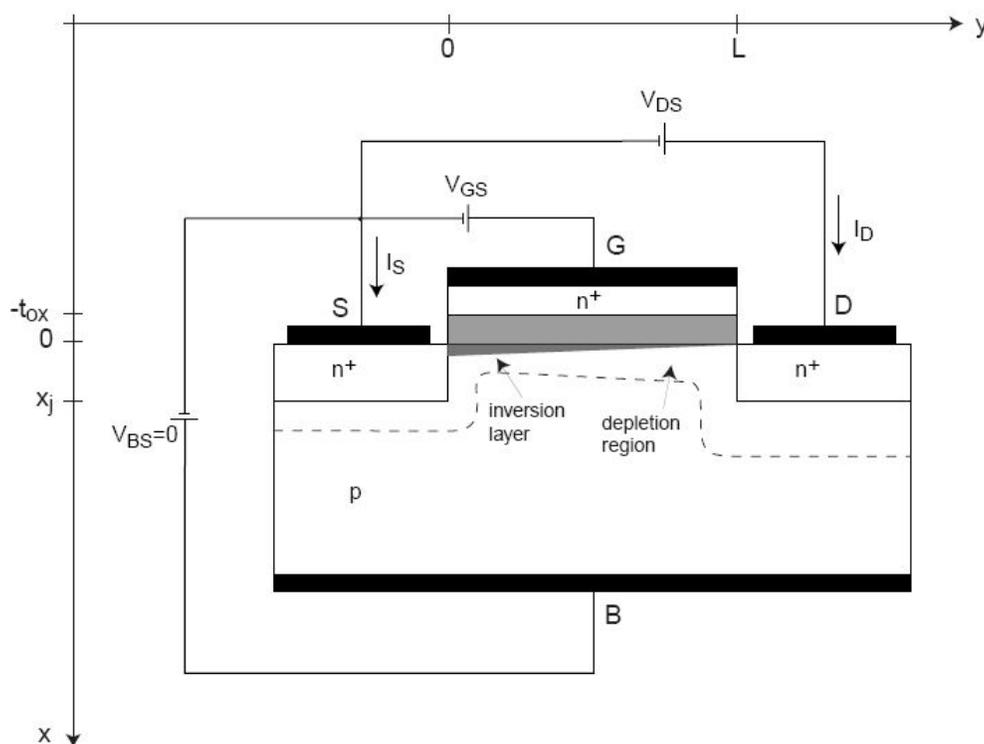
<sup>1</sup>Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras:

- ¿Cómo funciona el MOSFET en saturación?
- ¿El punto de “pinch-off” representa un obstáculo para el flujo de corriente?
- ¿Por qué la corriente del MOSFET en saturación aumenta ligeramente al aumentar  $V_{DS}$  ?
- ¿Cómo afecta la polarización del “backgate” a las características I-V del MOSFET?
- ¿Cómo afectan variaciones de temperatura a las características I-V del MOSFET?

# 1. El régimen de saturación

Geometría del problema:



Los regímenes de operación hasta aquí ( $V_{BS} = 0$ ):

- *Corte:*  $V_{GS} < V_T$ ,  $V_{GD} < V_T$ :

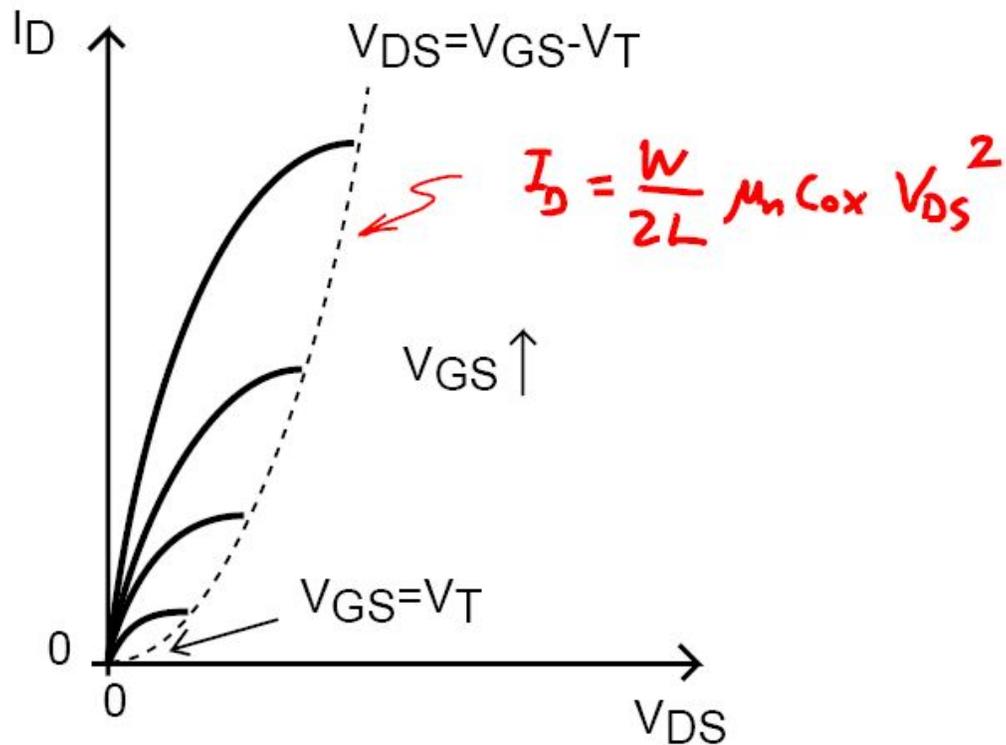
No hay capa de inversión debajo del gate. La corriente de drain es muy pequeña y la consideraremos despreciable:

$$I_D = 0$$

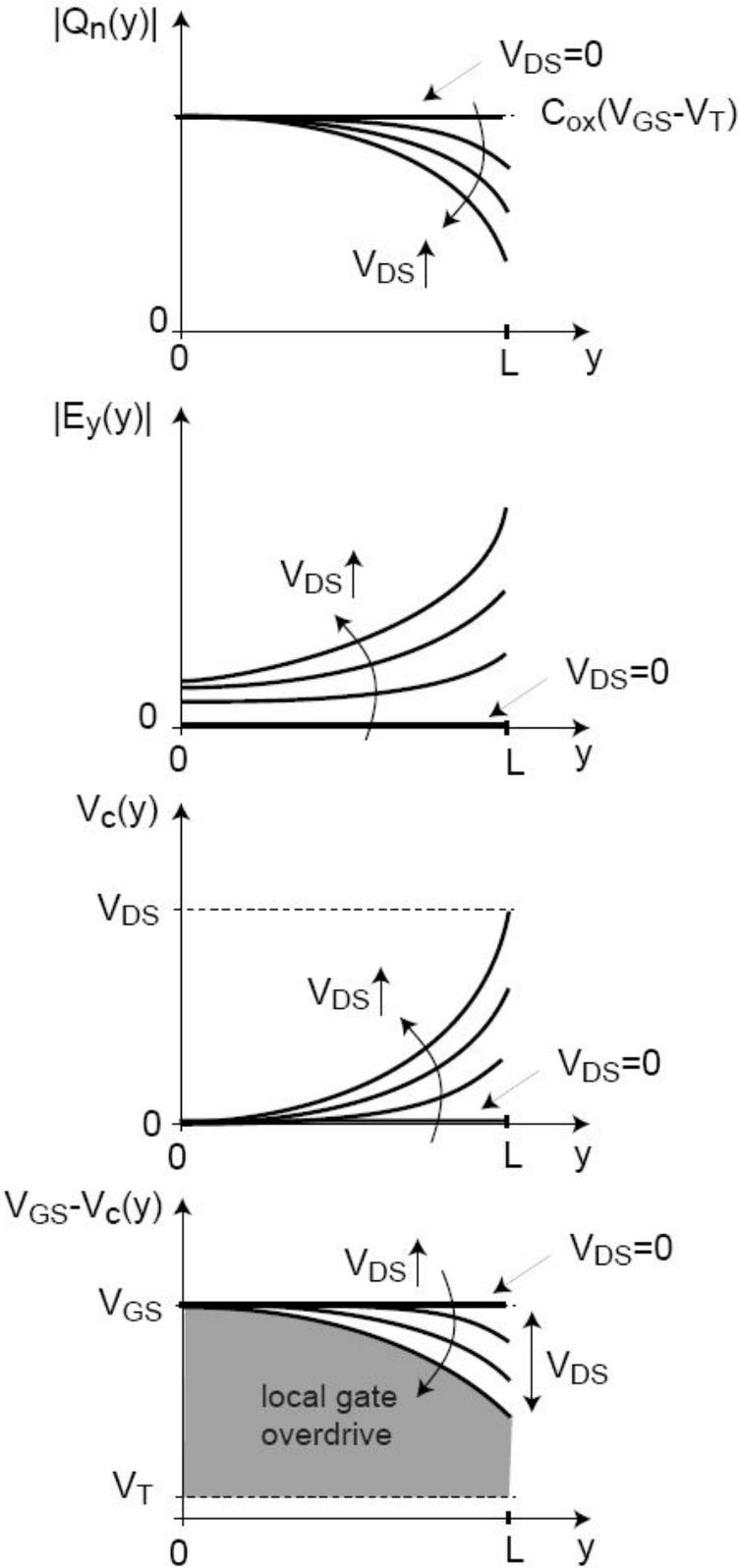
- *Triodo*:  $V_{GS} > V_T$ ,  $V_{GD} > V_T$  (con  $V_{DS} > 0$ ):  
hay capa de inversión todo a lo largo debajo del gate:

$$I_D = \frac{W}{L} \mu_n C'_{ox} \left( V_{GS} - \frac{V_{DS}}{2} - V_T \right) V_{DS}$$

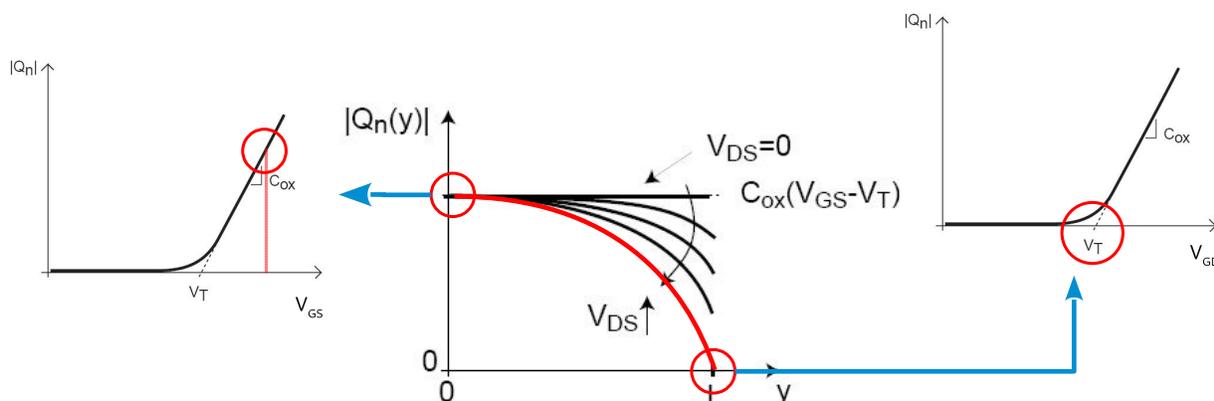
Características de salida:



- En régimen de triodo, al aumentar  $V_{DS}$  tenemos que:
- Al aumentar  $V_{DS}$ , aumenta el campo en el canal ( $E_y(y)$ ).
  - $E_y(y)$  arrastra la carga del canal ( $Q'_n(y)$ ) generando la corriente  $I_D$ .
  - La caída de tensión a lo largo del canal ( $V_c(y)$ ) reduce la capa de inversión ( $Q'_n(y)$ ).
  - Existe una competencia entre el crecimiento de  $|E_y(y)|$  y la disminución de  $|Q'_n(y)|$ .
  - $I_D$  crece más lentamente cuando  $V_{DS}$  aumenta.
  - Cuando  $V_{DS}$  se acerca al valor  $V_{GS} - V_T$  se observa un efecto de saturación en  $I_D$ .



## □ Corriente de saturación



La condición de saturación es:

$$V_{GD} = V_T = V_{GS} - V_{DS} \Rightarrow V_{DS(sat)} = V_{GS} - V_T$$

La corriente de Drain en esta situación puede calcularse como:

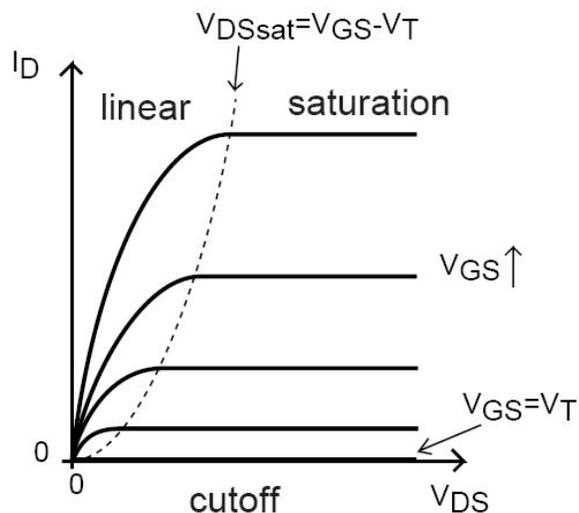
$$I_{D(sat)} = I_D(V_{DS} = V_{DS(sat)} = V_{GS} - V_T)$$

Luego:

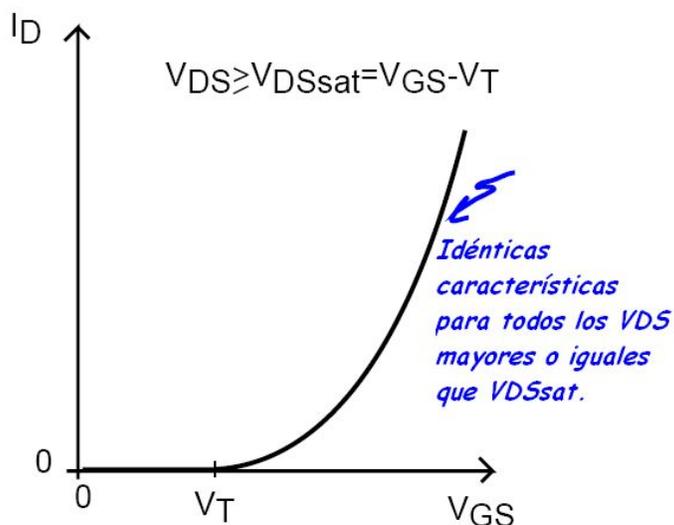
$$I_{D(sat)} = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2$$

$$I_{D(sat)} = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2$$

□ Curva de salida ( $I_D$  vs.  $V_{DS}$ )



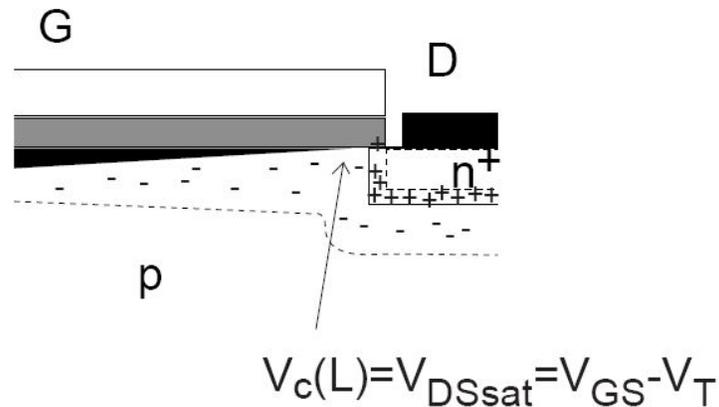
□ Curva de transferencia **en saturación** ( $I_D$  vs.  $V_{GS}$ )



□ ¿Qué ocurre cuando  $V_{DS} = V_{GS} - V_T$ ?

Carga del canal en el extremo del Drain:

$$Q'_n(L) = -C'_{ox} (V_{GS} - V_{DS} - V_T) = 0$$



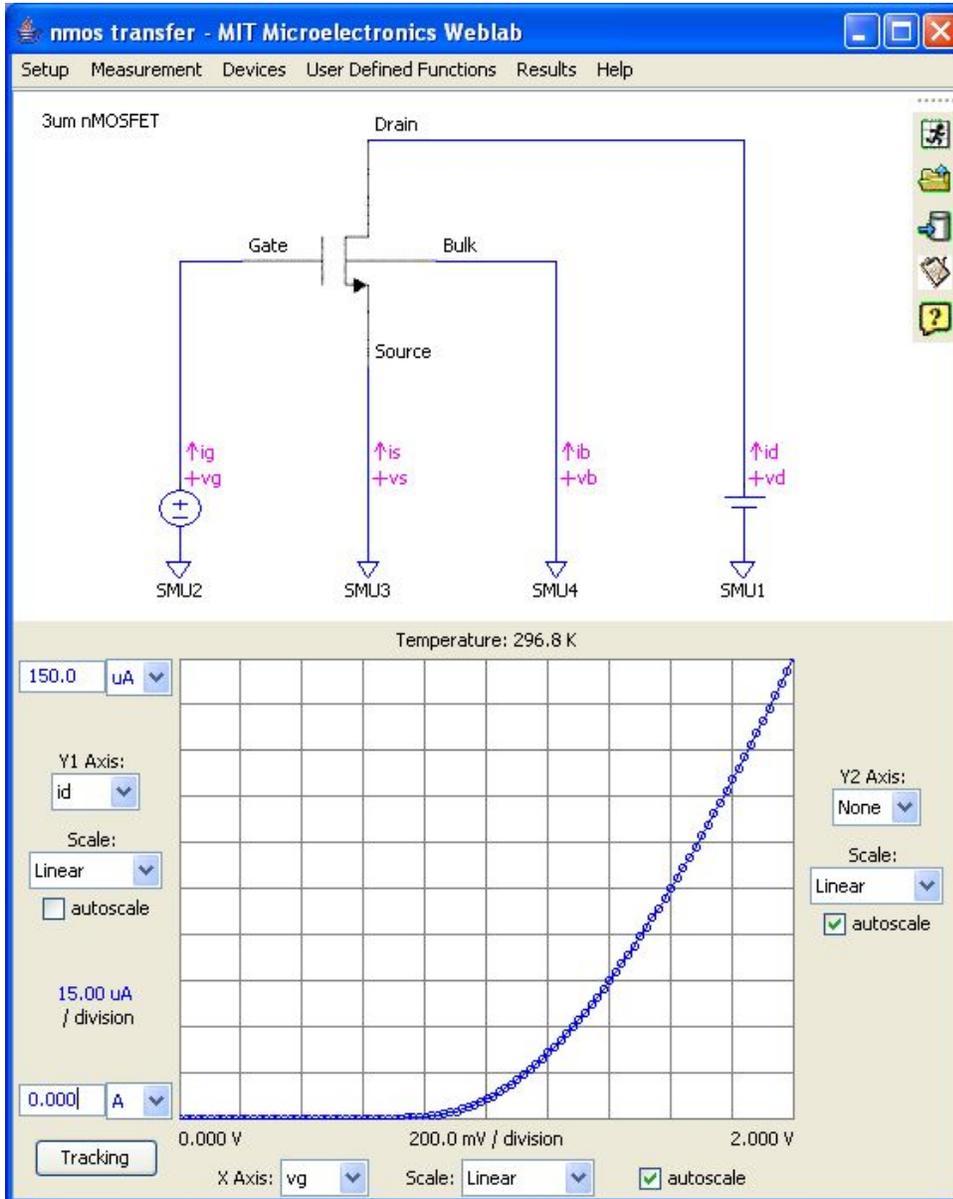
No hay capa de inversión en el extremo del Drain. A esta situación se la suele conocer como *pinch-off*:

- La ecuación de control de carga es inexacta en el entorno de  $V_T$ .
- La concentración de electrones es pequeña, pero no es cero.
- Los electrones se mueven rápido debido a que el campo eléctrico es muy elevado.
- No hay ningún impedimento para el movimiento de los portadores.

□ ¿Qué ocurre cuando  $V_{DS} > V_{GS} - V_T$ ?

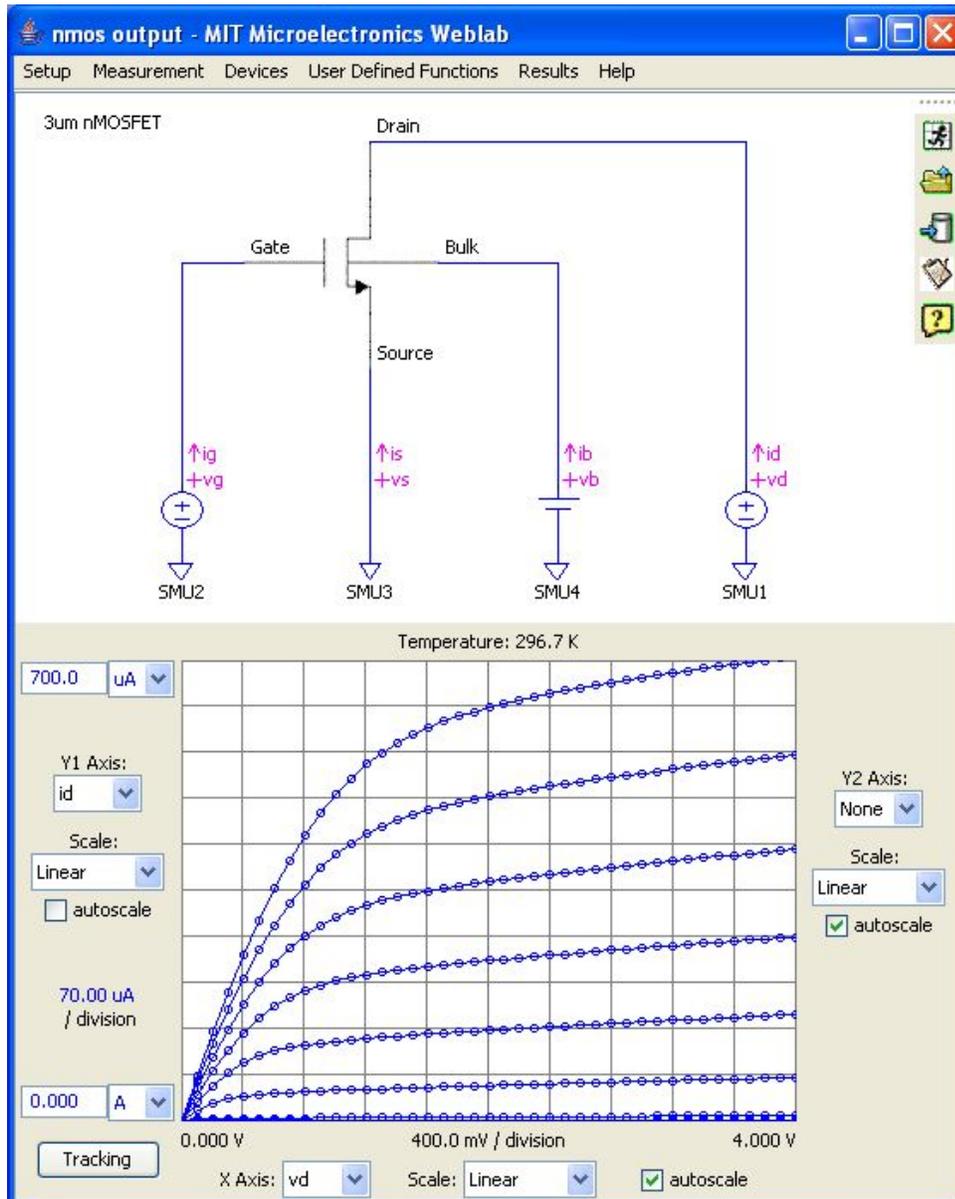
- El canal ya no cambia su distribución de carga ( $Q'_n(y)$ ):  
 $Q'_n(y)$  queda determinado por  $V_{DS(sat)}$   
 $\Rightarrow Q'_n(y) \propto V_{GS} - V_T$ .
- El campo eléctrico **en el canal** tampoco cambia porque la distribución de carga se mantiene:  
 $E_y(y)$  queda determinado por  $V_{DS(sat)}$   
 $\Rightarrow E_y(y) \propto V_{DS(sat)} = V_{GS} - V_T$ .
- La corriente en el canal es una corriente de arrastre: si la carga y el campo se mantienen  $\Rightarrow I_D$  es constante

$$I_D = W Q'_n(y) \mu E_y(y) = I_{D(sat)} \propto (V_{GS} - V_T)^2$$

3  $\mu\text{m}$  n-MOSFET, n-channel MOSFETCaracterística de transferencia con  $V_{DS} = 3\text{ V}$ :

## 3 $\mu\text{m}$ n-MOSFET, n-channel MOSFET

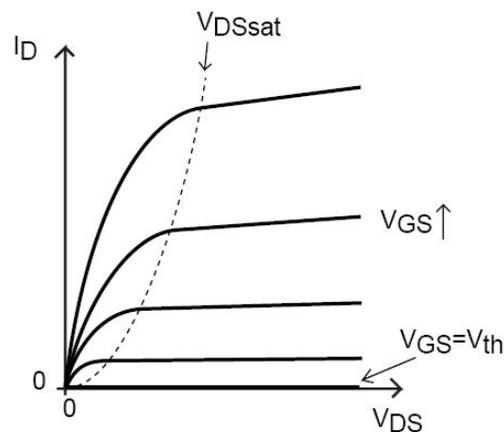
Características de salida con  $V_{GS} = 0, \dots, 4 \text{ V}$  y  $\Delta V_{GS} = 0,5 \text{ V}$ :



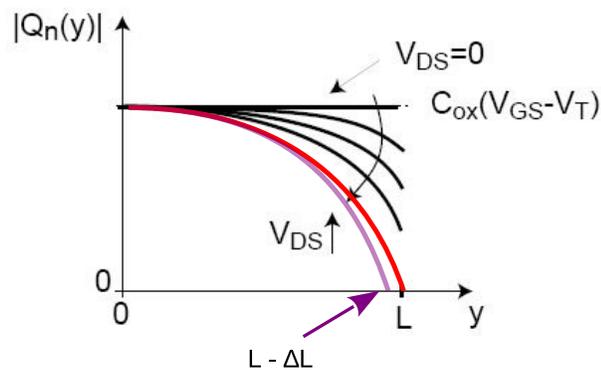
## □ Efecto de Modulación del Largo del Canal

¿Qué ocurre si  $V_{DS} > V_{DS(sat)} = V_{GS} - V_T$ ?

- En el modelo planteado hasta el momento  $I_D$  no debería incrementarse.
- Experimentalmente se observa que la corriente aumenta ligeramente.

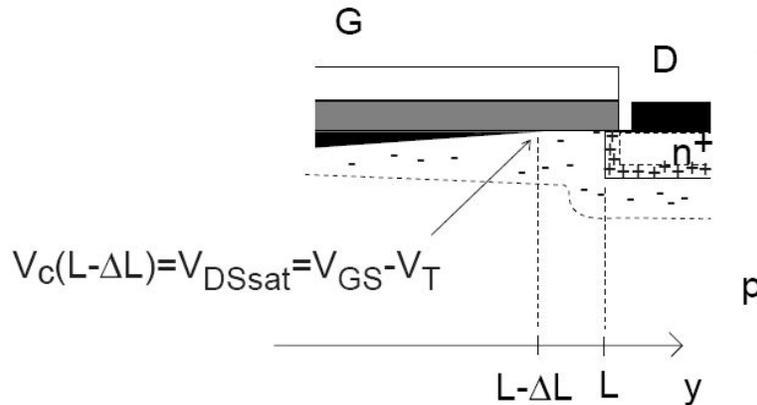


- La carga en el canal, se reduce en un entorno a  $y = L$ .



- Entonces la longitud *efectiva* del canal se reduce:

$$V_{DS} \uparrow \Rightarrow L_{(efectivo)} \downarrow \Rightarrow I_D \uparrow$$



Este fenómeno puede modelizarse considerando:

$$I_D \propto \frac{1}{L_{(efectivo)}} = \frac{1}{L - \Delta L} \simeq \frac{1}{L} \left( 1 + \frac{\Delta L}{L} \right)$$

Entonces:

$$I_D = \underbrace{\frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2}_{I_{D(sat)}} \left( 1 + \frac{\Delta L}{L} \right)$$

Experimentalmente se encuentra que:

$$\Delta L \propto V_{DS} - V_{DS(sat)}$$

Luego:

$$I_D = I_{D(sat)} \left( 1 + \frac{\Delta L}{L} \right) = I_{D(sat)} \left( 1 + \lambda(V_{DS} - V_{DS(sat)}) \right)$$

Del mismo modo, experimentalmente se encuentra que:

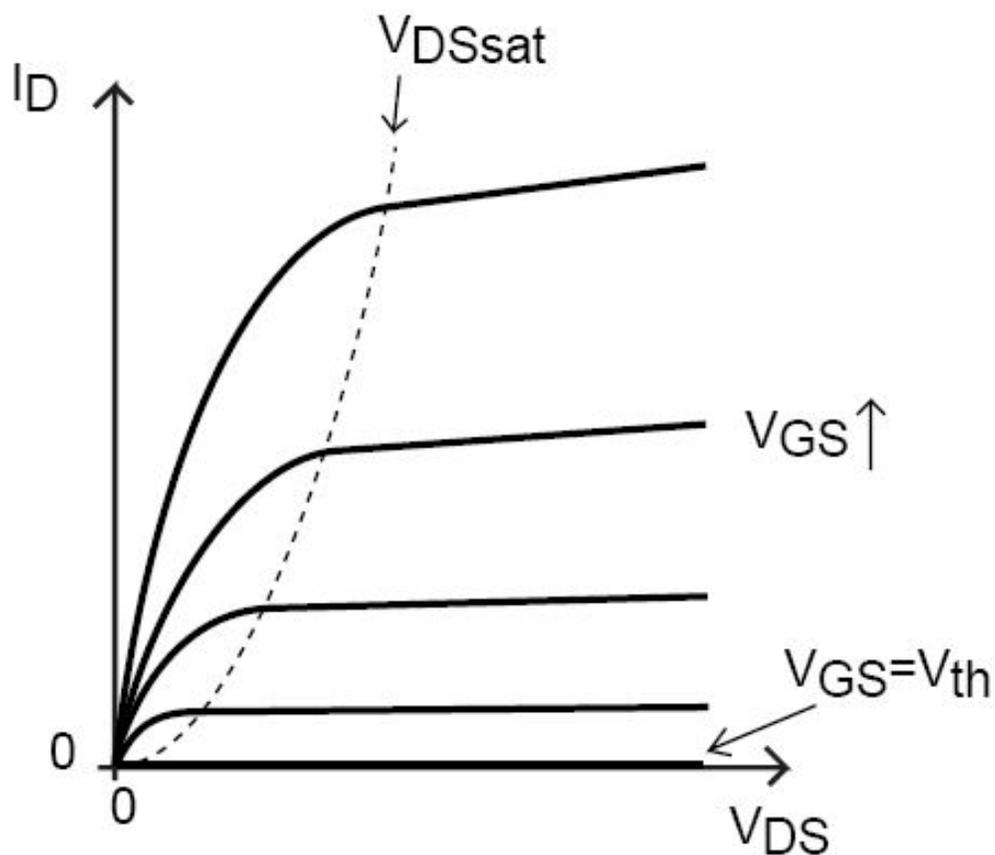
$$\lambda \propto \frac{1}{L}$$

Sin embargo, en la práctica esta expresión no es precisa ya que la ecuación de control de carga es inexacta en el entorno de  $V_T$ .

- La concentración de electrones en el canal es pequeña, pero no es cero.
- Existe una mayor densidad de electrones a ambos lados del punto de pinch-off  $\Rightarrow$  la corriente es mayor en el entorno de  $V_{DS(sat)}$ .
- La densidad de portadores libres en la profundidad de la SCR (en dirección  $x$ ) es comparable (aunque menor) a la densidad de carga en el canal  $\Rightarrow$  No se puede considerar una situación unidimensional  $\Rightarrow$  La corriente es levemente mayor en saturación.

Todos estos efectos están afectados por la tensión  $V_{DS}$ , incluso para  $V_{DS} \leq V_{DS(sat)}$ . Por lo tanto una expresión que da mejores resultados en la práctica es:

$$I_D = \underbrace{\frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2}_{I_{D(sat)}} (1 + \lambda V_{DS})$$



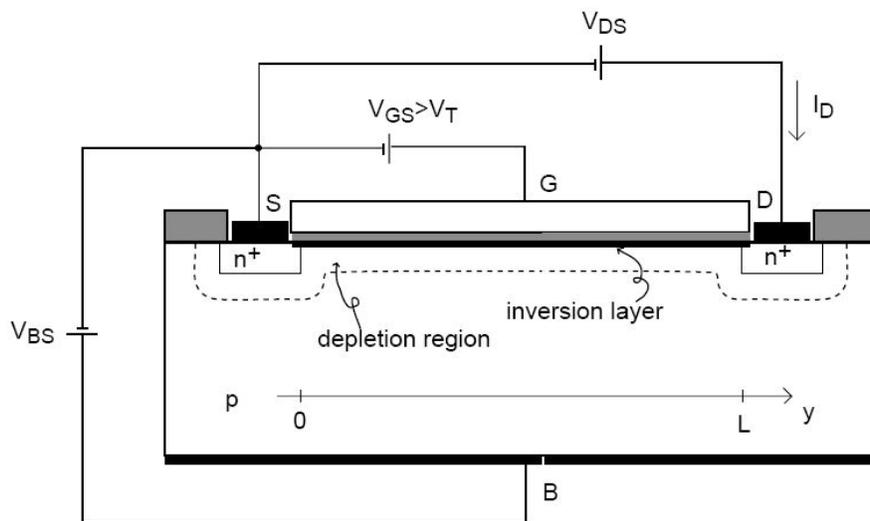
$$I_D = \begin{cases} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - \frac{V_{DS}}{2} - V_T) V_{DS} (1 + \lambda V_{DS}) & \text{en Triodo} \\ \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) & \text{en Saturación} \end{cases}$$

## 2. Características del MOSFET con $V_{BS} \neq 0V$

Hay un cuarto terminal en los MOSFET: el *body* o *bulk*.

Este terminal es especialmente importante en los circuitos integrados.

¿Qué hace el terminal de Body?



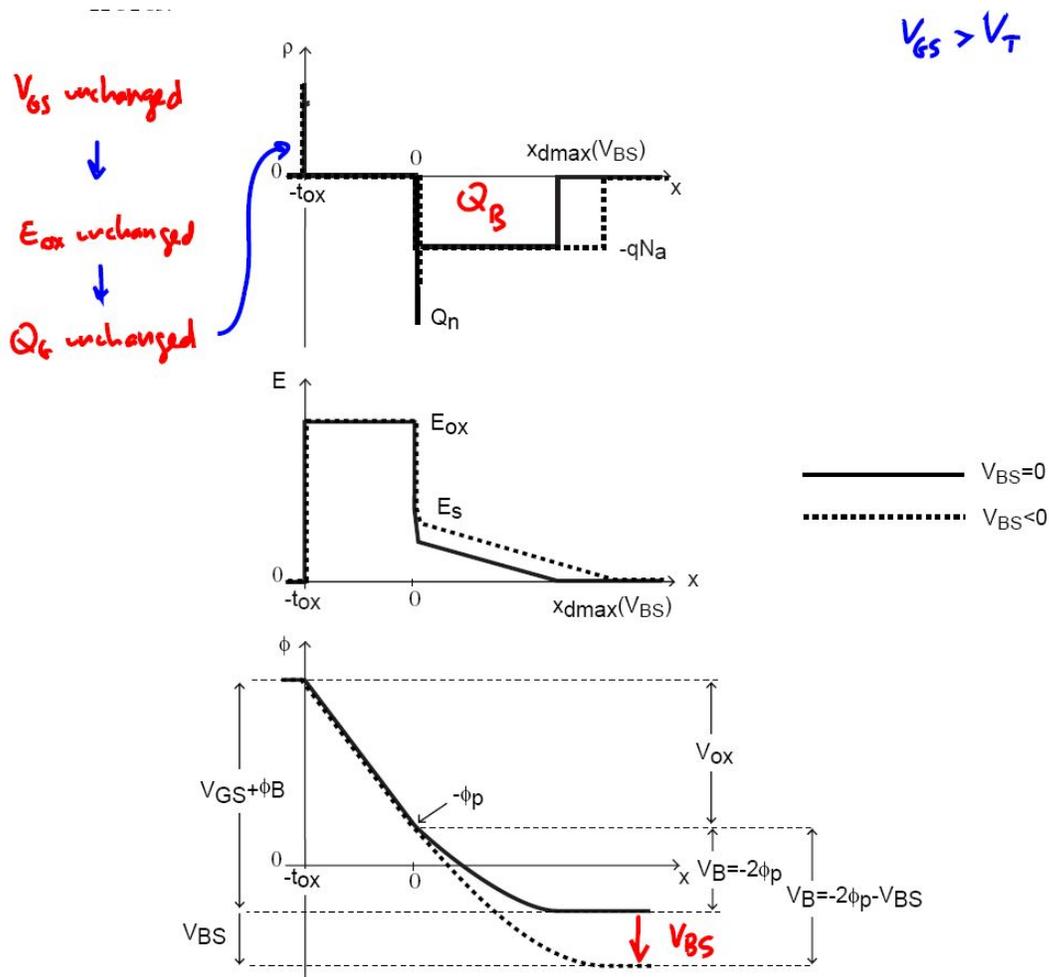
El contacto de Body permite la aplicación de una polarización al body respecto de la capa de inversión.

Para un n-MOSFET,  $V_{BS}$  puede ser únicamente negativa para asegurar que la juntura PN entre Source y Bulk esté en inversa.

□ Análisis cualitativo del efecto de  $V_{BS} \neq 0V$

Suponiendo a la juntura MOS en inversión analizaremos el caso  $V_{BS} = 0$  y luego observaremos que ocurre cuando se aplica una  $V_{BS} < 0$ . Asumiremos que no circula corriente de Drain.

Al modificar  $V_{BS}$  cambian las condiciones de contorno del lado del semiconductor:



- Al aplicar  $V_{BS}$  se modifica  $V_B$ .
- Al considerar  $V_{GS}$  fijo,  $V_{ox}$  no cambia porque el canal se encuentra al mismo potencial que el Source.
- Como  $V_{ox}$  no cambia, la suma de las cargas de deserción e inversión no cambian.
- Al aumentar la carga de deserción, entonces hay menos carga de inversión  $Q'_n$ .  
La carga de inversión es  $|Q'_n| = C'_{ox} (V_{GS} - V_T)$
- La reducción de  $Q'_n$  puede modelarse como si la juntura tuviese una tensión umbral  $V_T$  mayor.

□ Dependencia de  $V_T$  con  $V_{BS}$

Supongamos  $V_{GS} = V_T$ . En esta situación el valor de  $V_T$  podría despejarse de la igualdad:

$$V_T + \phi_B = -2\phi_p + \gamma\sqrt{-2\phi_p}$$

Siendo que:  $V_B = -2\phi_p$  y  $V_{ox} = \gamma\sqrt{-2\phi_p}$ .

Si aplicamos la tensión  $V_{BS}$ , la misma afecta la caída del potencial en el semiconductor:

$$V_B = -2\phi_p \text{ pasa a ser } V_B = -2\phi_p - V_{BS}.$$

Además la diferencia de potencial entre el Gate y el semiconductor también se incrementa  $-V_{BS}$ .

Podemos escribir entonces:

$$V_T(V_{BS}) + \phi_B - V_{BS} = -2\phi_p - V_{BS} + \gamma\sqrt{-2\phi_p - V_{BS}}$$

Despejando, obtenemos:

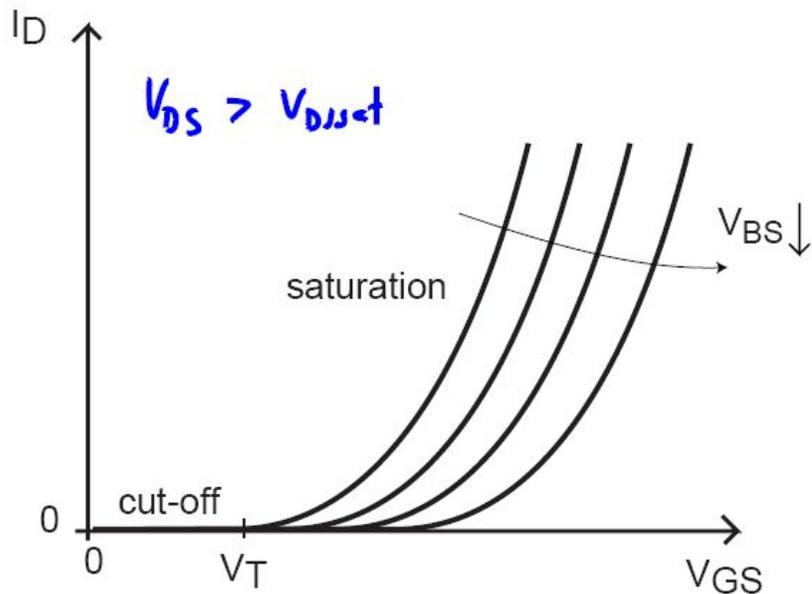
$$V_T(V_{BS}) = V_{FB} - 2\phi_p + \gamma\sqrt{-2\phi_p - V_{BS}}$$

$$V_T(V_{BS}) = V_{FB} - 2\phi_p + \gamma\sqrt{-2\phi_p - V_{BS}}$$

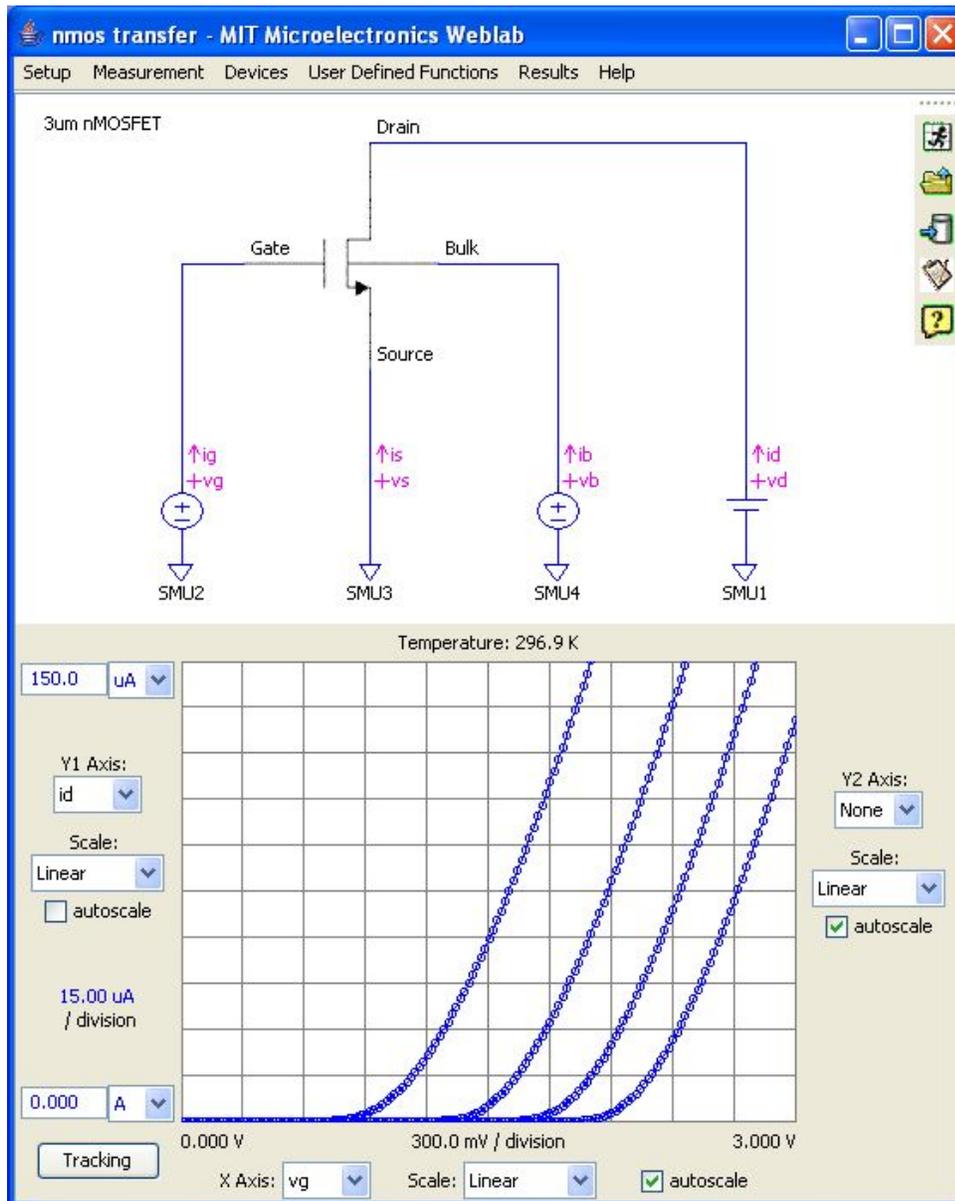
Si definimos:  $V_{T0} = V_T(V_{BS} = 0)$

Podemos reescribir:

$$V_T(V_{BS}) = V_{T0} + \gamma \left( \sqrt{-2\phi_p - V_{BS}} - \sqrt{-2\phi_p} \right)$$



Características del backgate ( $V_{BS} = 0, \dots, -3\text{ V}$ ,  $V_{DS} = 3\text{ V}$ ):



### 3. Efectos de temperatura

Las variaciones de temperatura afectan las características I-V de los MOSFETs.

Los parametros principales que dependen de la temperatura:

- Movilidad:  $\mu(T) = \mu(T_0) \cdot \left(\frac{T}{T_0}\right)^{-n}$  con  $1.5 < n < 2.5$
- Tensión Umbral:  $V_T = V_{FB} - 2\phi_p + \gamma\sqrt{-2\phi_p}$   

$$V_T(T) = V_T(T_0) - \alpha(T - T_0)$$

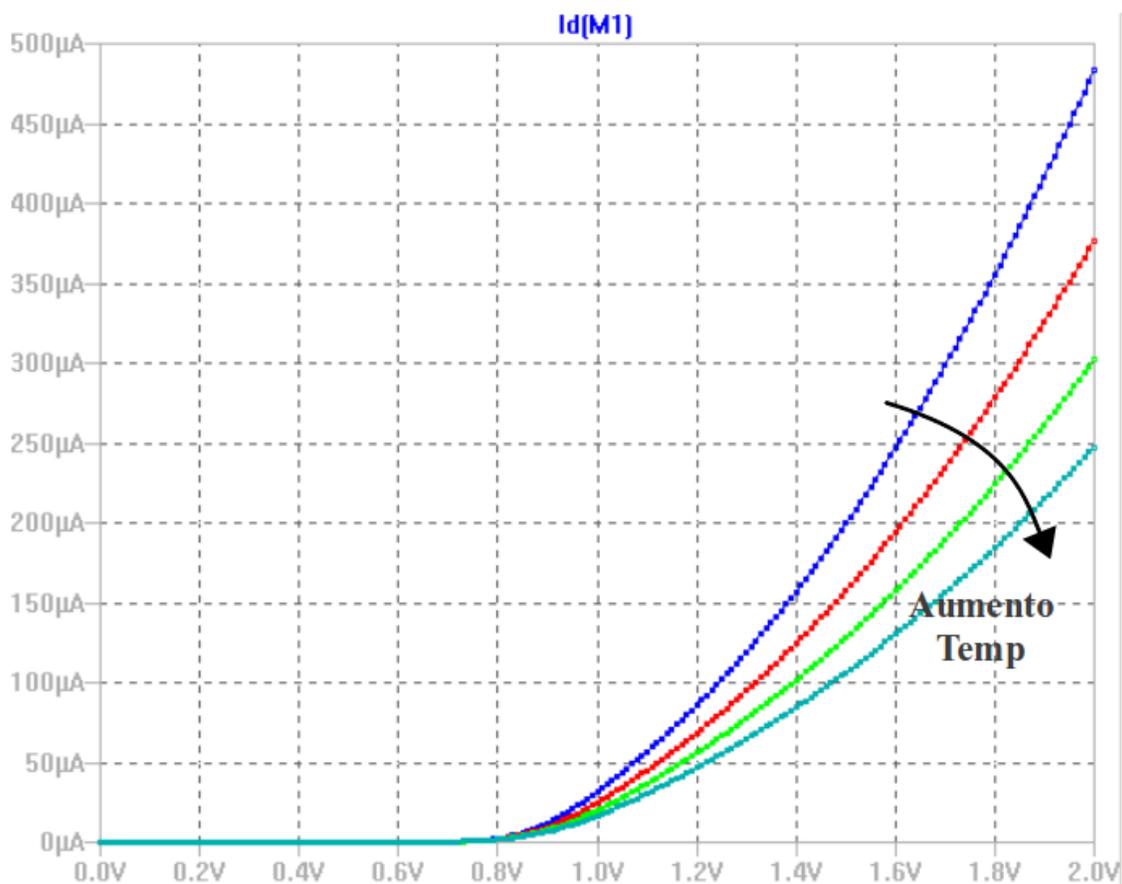
Ambos parámetros **disminuyen** con el aumento de temperatura.

Considerando que la corriente de saturación es:

$$I_{D(sat)} = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2$$

Entonces se plantea la siguiente interrogante: ¿qué ocurre con la corriente  $I_D$  si la temperatura aumenta?

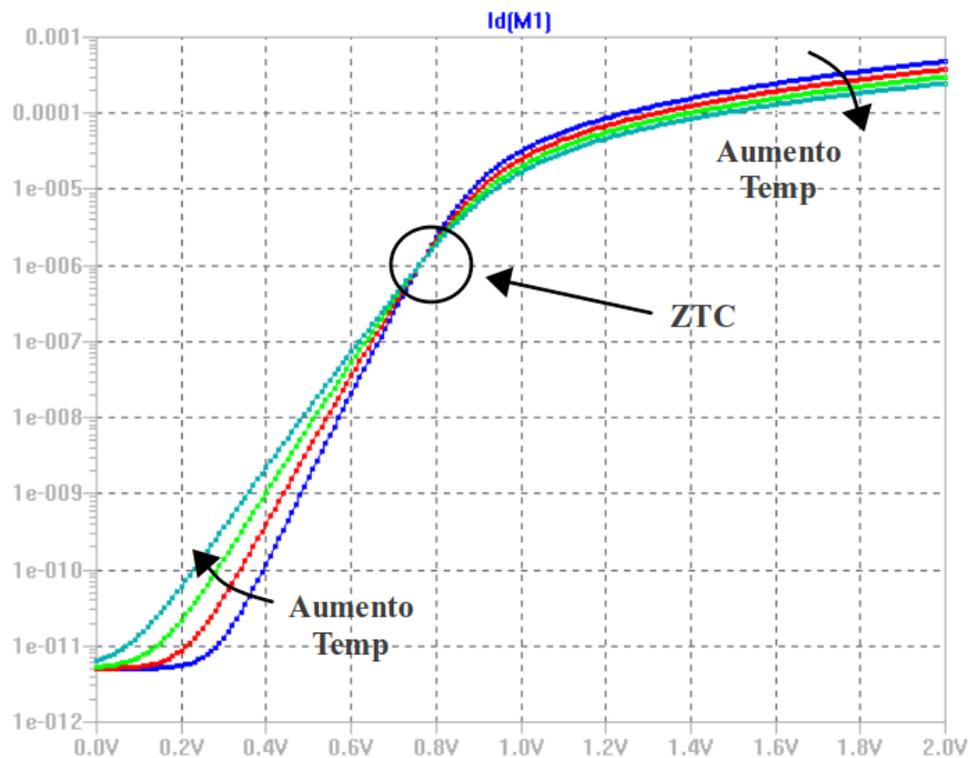
Resultados de simulaciones de SPICE:



Cuando el transistor se encuentra en conducción (régimen de inversión con  $I_D > 0$ ) el comportamiento es gobernado por la disminución de la movilidad ( $\mu$ ).

$I_D$  disminuye para un  $V_{GS}$  fijo.

Observando con más detalle la curva en escala semi-log:

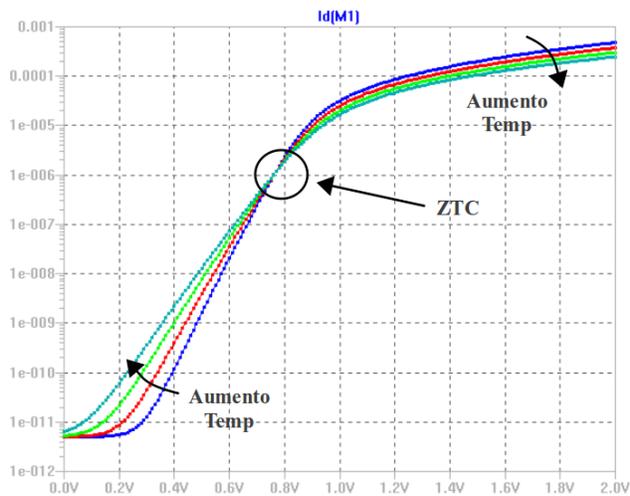


En la región subumbral ( $V_{GS} < V_T$ ) la corriente es pequeña pero no es nula<sup>2</sup>.

El comportamiento es gobernado por la disminución en  $V_T$ .

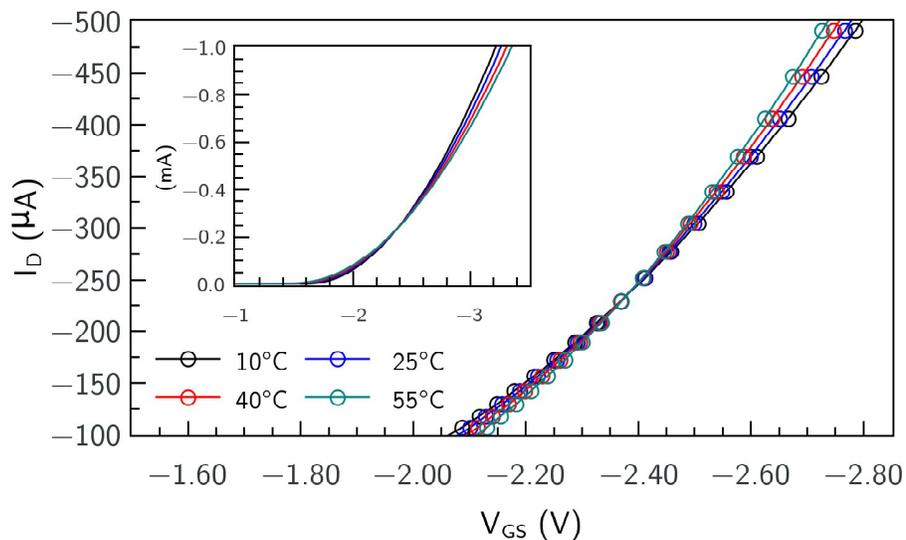
$I_D$  aumenta con la temperatura para un  $V_{GS}$  fijo.

<sup>2</sup>el modelo de SPICE es más completo que el que presentamos en este curso



Existe una región donde las variaciones de temperatura afectan muy poco a  $I_D$ . A este punto de trabajo se lo llama ZTC (*Zero Temperature Coefficient*) y se debe a la compensación de ambas dependencias ( $\mu$  y  $V_T$ ) con la temperatura que impactan de manera opuesta a  $I_D$ .

En algunos casos, el ZTC se manifiesta en el régimen de saturación:



Curvas I-V para diferentes temperaturas medidas en el Laboratorio de Física de Dispositivos - Microelectrónica de la FIUBA sobre un transistor PMOS para obtener el ZTC.

## Principales conclusiones

- En el MOSFET en saturación ( $V_{DS} \geq V_{DS(sat)}$ ) aparece el punto de *pinch-off* en extremo del Drain del canal
  - La concentración de electrones es muy pequeña
  - Los portadores se mueven muy rápido
  - El punto de pinch-off **no** representa un obstáculo para el movimiento de los portadores

- El *pinch-off* del canal provoca la saturación del transistor y la expresión de la corriente de Drain es:

$$I_{D(sat)} = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2$$

- Debido a la *Modulación del Largo del Canal*,  $I_{D(sat)}$  se incrementa levemente con  $V_{DS}$ .
- La aplicación de una tensión en el terminal de Body modifica a  $V_T$  (*back-gate effect*).
- Las variaciones de temperatura afectan las curvas I-V de los MOSFET principalmente debido a la dependencia de la movilidad  $\mu$  y de la tensión umbral  $V_T$ .
- Se observa que el comportamiento del MOSFET frente a la temperatura también depende de su punto de operación o trabajo (punto en el plano I-V).

# Clase 17<sup>1</sup> - MOSFET (III)

## MODELO EQUIVALENTE DE PEQUEÑA SEÑAL

### Contenido:

1. Modelo de pequeña señal
2. Validez del modelo de pequeña señal
3. Parámetros del modelo de pequeña señal para bajas frecuencias
4. Parámetros del modelo de pequeña señal para altas frecuencias
5. Apéndice: Modelos de SPICE

### Lectura recomendada:

- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 9, §§9.1.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 5, §§5.3–5.5.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 4, §§4.5–4.6.

---

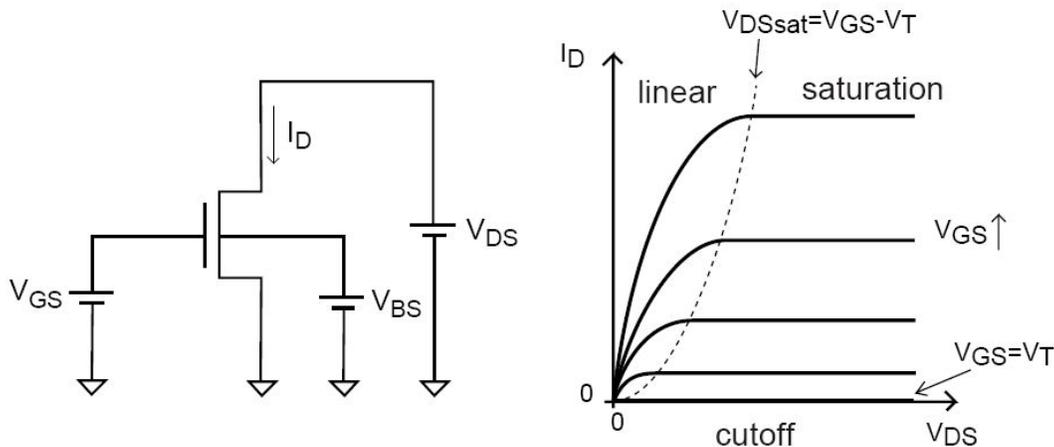
<sup>1</sup>Esta clase es una adaptación hecha por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras:

- ¿Por qué necesitamos diferentes modelos para el MOSFET?
- ¿Cuál es la topología del circuito eléctrico del modelo de pequeña señal del MOSFET?
- ¿Cuales son las principales dependencias de los elementos fundamentales del modelo de pequeña señal para saturación?

## Introducción: necesidad de un modelo de pequeña señal

### □ REGÍMENES DE OPERACIÓN DEL MOSFET (Repaso)



- *Corte o Cut-off:*

$$I_D = 0$$

- *Lineal o triodo:*

$$I_D = \frac{W}{L} \mu_n C'_{ox} \left( V_{GS} - \frac{V_{DS}}{2} - V_T \right) V_{DS} (1 + \lambda V_{DS})$$

- *Saturación:*

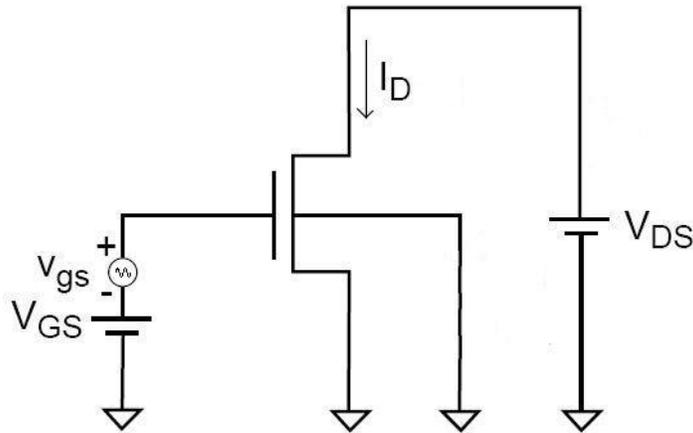
$$I_D = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Efecto del Back bias:

$$V_T(V_{BS}) = V_{T0} + \gamma \left( \sqrt{-2\phi_p - V_{BS}} - \sqrt{-2\phi_p} \right)$$

## Tensiones dependientes del tiempo

A continuación estudiaremos qué pasa si tenemos una señales que varían en el tiempo. Por ejemplo:



Suponiendo que el MOSFET está en saturación resulta:

$$i_D = k \left( (V_{GS} + v_{gs} \sin(\omega t)) - V_T \right)^2$$

Con:  $k = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox}$ .

Obtenemos una ecuación que puede ser resuelta por una computadora, pero que no es práctica para cálculos a mano.

## 1. Modelo de pequeña señal

Desarrollamos  $i_D(v_{GS})$  en serie de Taylor:

$$i_D(V_{GS}+v_{gs}) = i_D(V_{GS}) + \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q \cdot (v_{GS} - V_{GS}) + \frac{1}{2} \left. \frac{\partial^2 i_D}{\partial v_{GS}^2} \right|_Q \cdot (v_{GS} - V_{GS})^2$$

Evaluando para el régimen de saturación:

$$i_D(V_{GS}) = k(V_{GS} - V_T)^2 = I_{DQ}$$

$$\left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q = 2k(V_{GS} - V_T)$$

$$\left. \frac{\partial^2 i_D}{\partial v_{GS}^2} \right|_Q = 2k$$

$$v_{GS} - V_{GS} = v_{gs}$$

Podemos expresar la corriente de *drain* como:

$$i_D(v_{GS}) = k(V_{GS} - V_T)^2 + 2k(V_{GS} - V_T) \cdot v_{gs} + k \cdot v_{gs}^2$$

El modelo linealizado en saturación resulta:

$$i_D(v_{GS}) \simeq \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2 + \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T) v_{gs}$$

$$i_D(v_{GS}) \simeq I_{DQ} + i_d$$

$$i_d = \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T) v_{gs} = g_m(V_{GS}) \cdot v_{gs}$$

Veamos mediante un ejemplo cómo funciona esta idea:

**Datos:**  $V_{GS} = 2\text{ V}$ ;  $V_T = 1,5\text{ V}$ ;  $k = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} = 1\text{ mA/V}^2$ ;  $v_{gs} = 0,1\text{ V} \sin(\omega t)$ , con  $\omega = 2\pi \cdot 1\text{ kHz}$ ;  $V_{DS}$  tal que el MOSFET se encuentre polarizado en el régimen de saturación.

- Tenemos por un lado el modelo “completo”:

$$i_D(v_{GS}) = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} ((V_{GS} + v_{gs}) - V_T)^2$$

$$i_D(v_{GS}) = 1\text{ mA/V}^2 \cdot ((2\text{ V} + 0,1\text{ V} \sin(\omega t)) - 1,5\text{ V})^2$$

- Y por otro el modelo aproximado para “pequeña señal”:

$$i_D(v_{GS}) = I_D + g_m v_{gs}$$

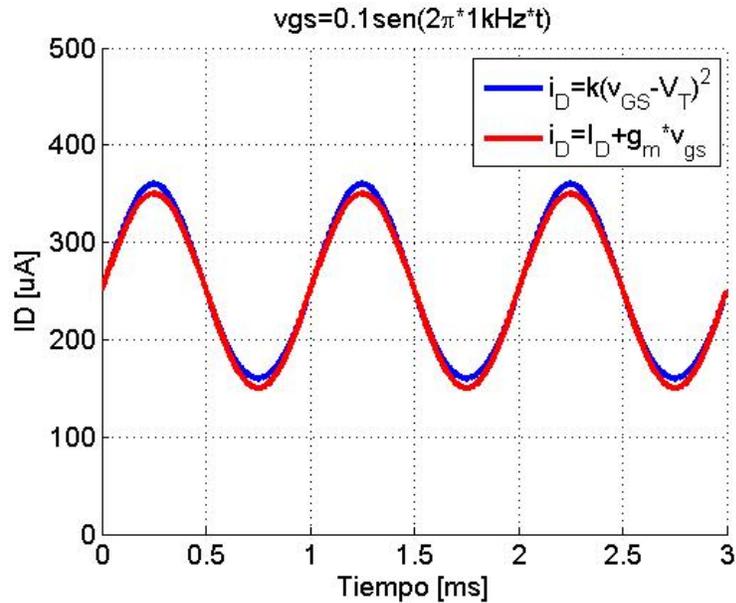
$$I_D = \frac{W}{2L} \mu_n C'_{ox} (V_{GS} - V_T)^2 = 250\text{ }\mu\text{A}$$

$$g_m = \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T) = 1\text{ mS}$$

$$i_D(v_{GS}) = 250\text{ }\mu\text{A} + 1\text{ mS} \cdot 0,1\text{ V} \sin(\omega t)$$

¿Podemos usar el modelo aproximado? ¿Es útil?

Comparemos los resultados obtenidos con el “modelo completo” y con el “modelo aproximado”:

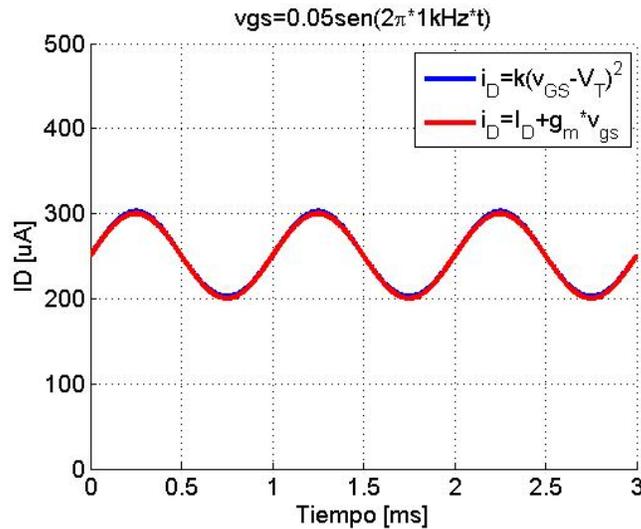


Para  $v_{gs} = 100 \text{ mV}$  los resultados son parecidos.

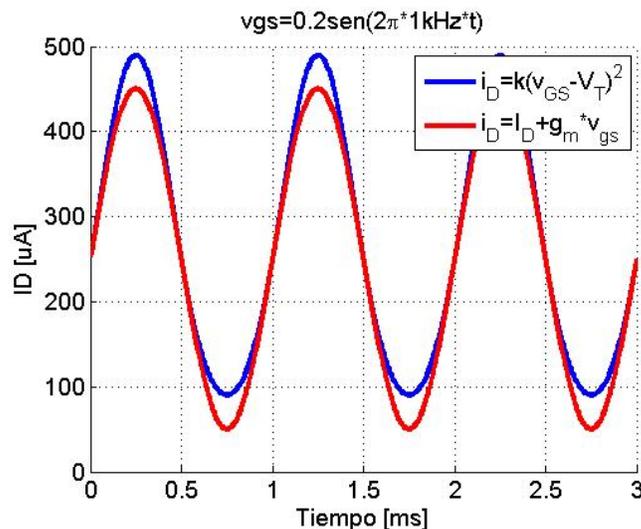
El modelo linealizado es sencillo y nos permite realizar cálculos a mano, de forma rápida identificando los aspectos importantes en el diseño de un circuito.

Observemos que ocurre si dejamos los demás parámetros constantes y cambiamos la amplitud  $v_{gs}$ :

- Para  $v_{gs} = 50$  mV la aproximación es excelente:



- Para  $v_{gs} = 200$  mV la aproximación es mala



Esto ocurre porque aproximamos a través de un polinomio de Taylor de primer orden en el entorno de  $V_{GS}$ .

## 2. Rango de validez del modelo linealizado

- Al aproximar una función cuadrática con un polinomio de primer orden, se comete un error.
- El error está dado por el término de orden 2 del polinomio.
- Una forma de cuantificar el error es la relación entre el término lineal y el término de orden 2.
- Si aceptamos un 10% de error en la linealización:

$$k \cdot v_{gs}^2 < 10\% \cdot 2k(V_{GS} - V_T) \cdot v_{gs}$$

o sea,

$$v_{gs} < 0.2(V_{GS} - V_T)$$

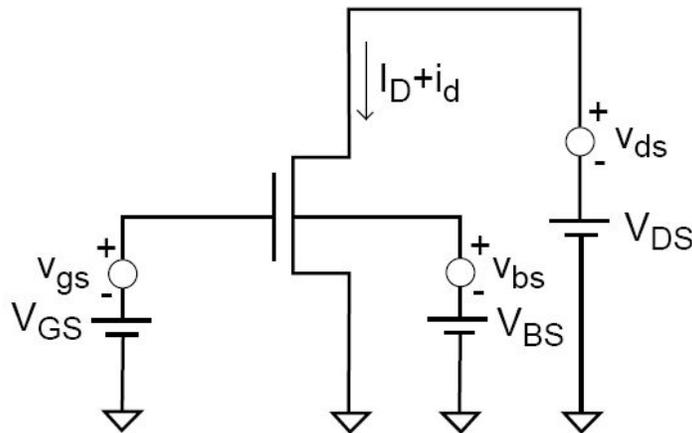
### Ejemplos:

- Si  $V_{GS} = 2\text{ V}$  y  $V_T = 1,5\text{ V}$ , resulta  $v_{gs} \leq 100\text{ mV}$ .
- Si  $V_{GS} = 3\text{ V}$  y  $V_T = 1,5\text{ V}$ , resulta  $v_{gs} \leq 300\text{ mV}$ .

**Importante:** ¡El límite del modelo de pequeña señal depende de la polarización!

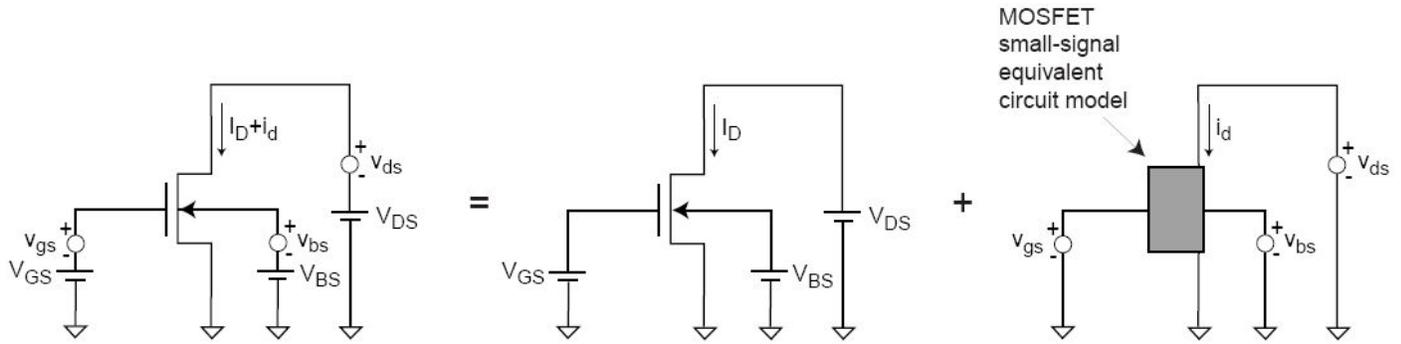
### 3. Modelo de pequeña señal del MOSFET en bajas frecuencias

Generalizamos la idea de linealización para señales aplicadas sobre cualquiera de las fuentes de polarización:



Puntos fundamentales:

- Podemos separar la respuesta del dispositivo a la polarización y a la pequeña señal.
- Las señales son *pequeñas*
  - ⇒ la respuesta de los dispositivos es aprox. lineal
  - ⇒ se puede usar el *principio de superposición*
  - ⇒ los efectos de diferentes señales son independientes.



Matemáticamente:

$$i_D(V_{GS} + v_{gs}, V_{DS} + v_{ds}, V_{BS} + v_{bs}) \simeq I_{DQ}(V_{GS}, V_{DS}, V_{BS}) + \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q v_{gs} + \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q v_{ds} + \left. \frac{\partial i_D}{\partial v_{BS}} \right|_Q v_{bs}$$

Donde  $Q \equiv$  punto de polarización  $(V_{GS}, V_{DS}, V_{BS})$ .

Corriente  $i_d$  de pequeña señal:

$$i_d \simeq g_m v_{gs} + g_o v_{ds} + g_{mb} v_{bs}$$

Definimos:

$$g_m \equiv \text{transconductancia [S]}$$

$$g_o \equiv \text{salida o conductancia del drain [S]}$$

$$g_{mb} \equiv \text{transconductancia del backgate [S]}$$

Luego:

$$g_m \simeq \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q \quad g_o \simeq \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q \quad g_{mb} \simeq \left. \frac{\partial i_D}{\partial v_{BS}} \right|_Q$$

## □ TRANSCONDUCTANCIA

En regimen de saturación:

$$i_D = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (v_{GS} - V_T)^2 (1 + \lambda v_{DS})$$

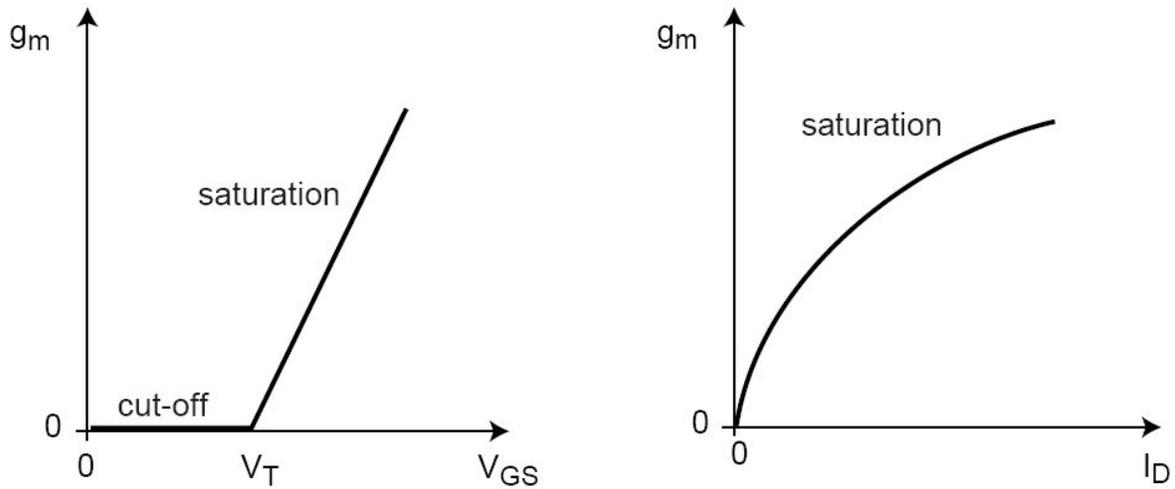
Luego:

$$g_m = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q = \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T) [1 + \lambda V_{DS}]$$

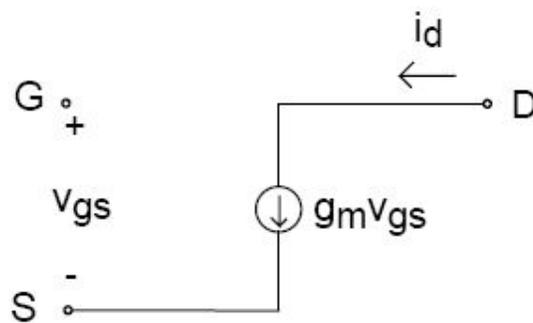
$$g_m \simeq \underbrace{\frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)}_{\text{(despreciando EMLC)}}$$

Lo reescribimos en términos de  $I_D$ :

$$g_m = \sqrt{2 \frac{W}{L} \mu_n C'_{ox} I_D}$$



Modelo circuital equivalente de  $g_m$ :



B .

**Válido mientras:**  $v_{gs} < 0.2 (V_{GS} - V_T)$

## □ CONDUCTANCIA DE SALIDA

En regimen de saturación:

$$I_D = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Luego:

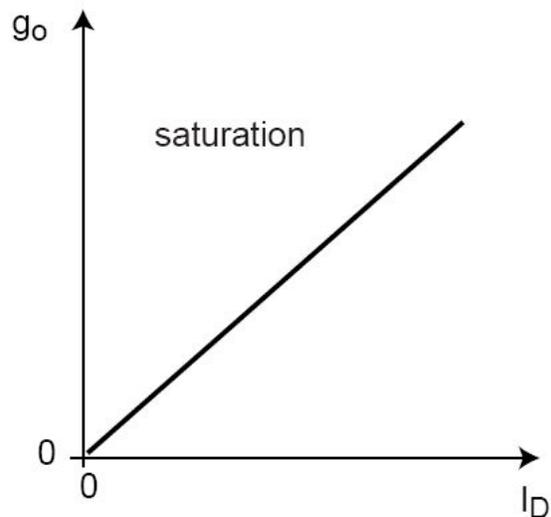
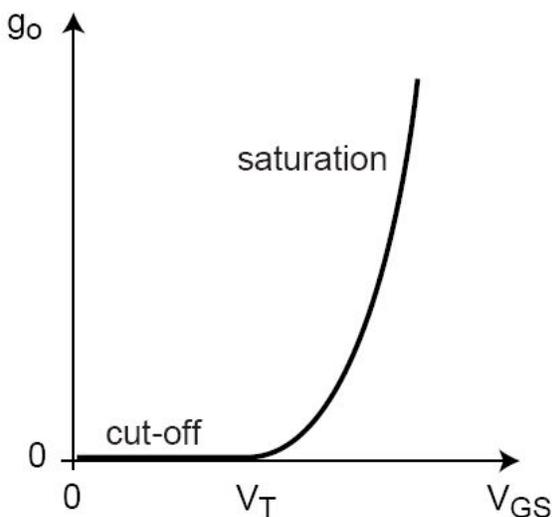
$$g_o = \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2 \lambda = I_{D(sat)} \lambda \propto \frac{I_{D(sat)}}{L}$$

$$g_o \simeq I_D \lambda \propto \frac{I_D}{L}$$

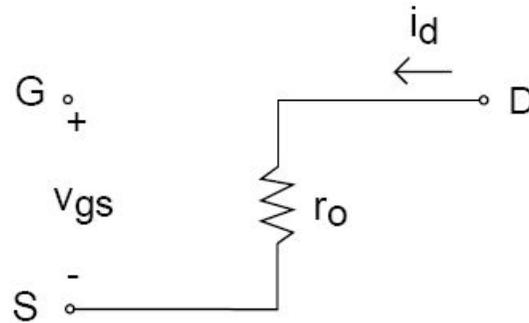
despreciamos EMLC en la polarización

La resistencia de salida es:

$$r_o = \frac{1}{g_o} \propto \frac{L}{I_D}$$



Modelo circuital equivalente de  $g_o$ :



B .

**Válido mientras:**  $v_{ds} < V_{DSQ} - V_{DS(sat)}$

(es decir, mientras el MOSFET esté polarizado en el régimen de saturación)

## □ TRANSCONDUCTANCIA DE BACKGATE

En régimen de saturación (despreciando el efecto de modulación del canal):

$$i_D \simeq \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (v_{GS} - V_T(v_{BS}))^2$$

Luego:

$$g_{mb} = \left. \frac{\partial i_D}{\partial v_{BS}} \right|_Q = \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T) \left( - \left. \frac{\partial V_T}{\partial v_{BS}} \right|_Q \right)$$

$$g_{mb} = g_m \left( - \left. \frac{\partial V_T}{\partial v_{BS}} \right|_Q \right)$$

Dado que:

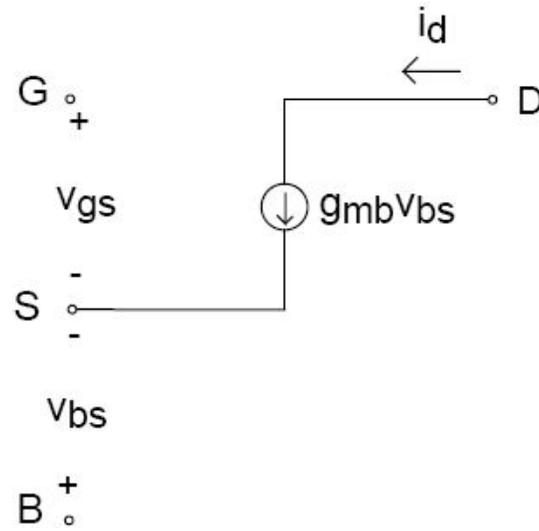
$$V_T(v_{BS}) = V_{T0} + \gamma (\sqrt{-2\phi_p - v_{BS}} - \sqrt{-2\phi_p})$$

Resulta:

$$g_{mb} = \frac{\gamma g_m}{2\sqrt{-2\phi_p - V_{BS}}}$$

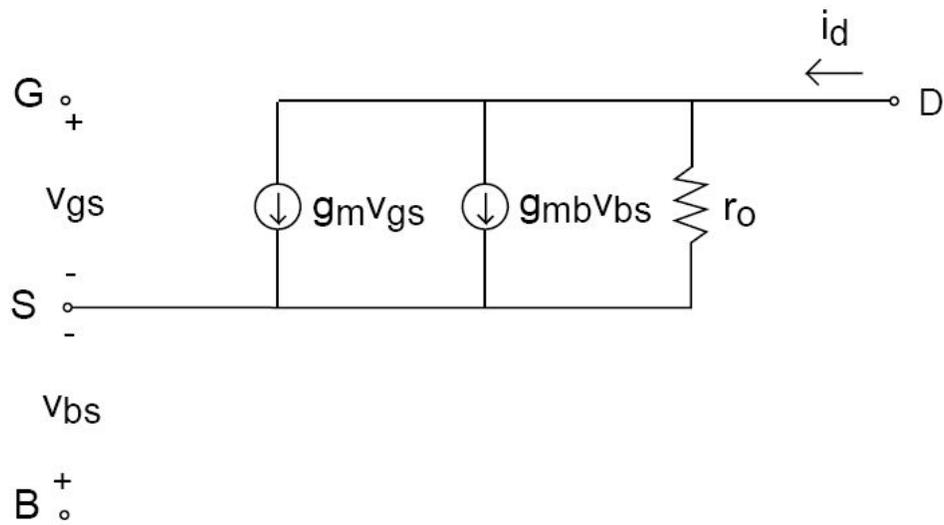
$g_{mb}$  hereda las dependencias de  $g_m$

Modelo circuital equivalente de  $g_{mb}$ :



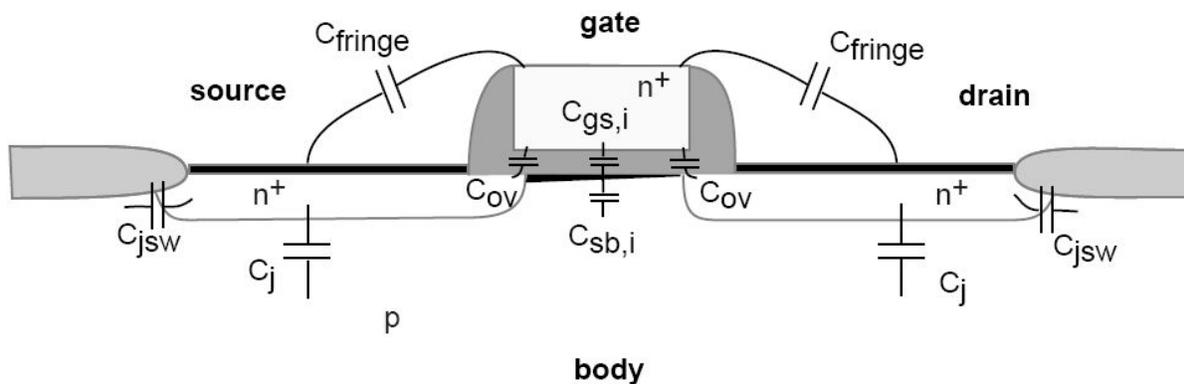
**Válido mientras:**  $v_{bs} < 0.4 (V_{GS} - V_T)(-2\phi_p - V_{BS})$

Modelo completo del MOSFET para pequeña señal a baja frecuencia:



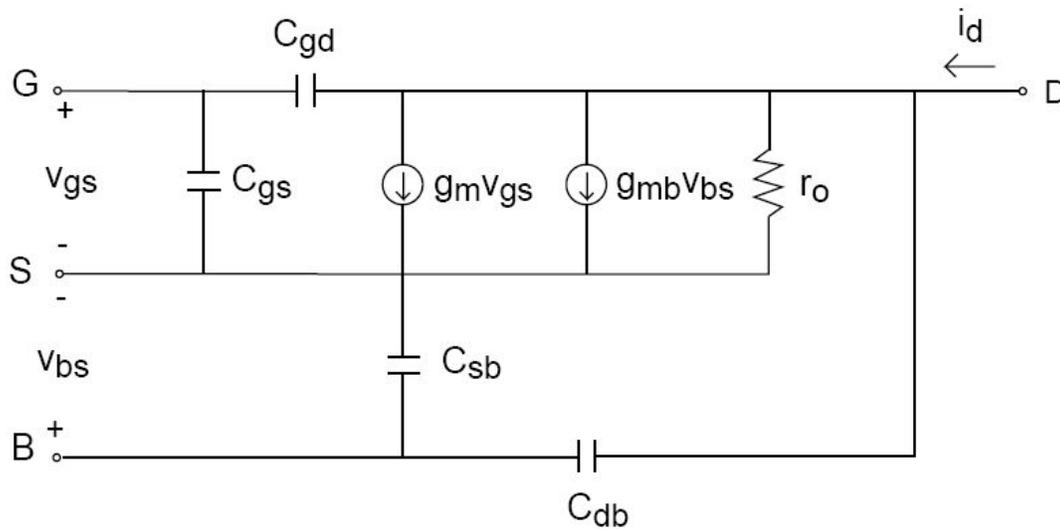
### 3. Modelo de pequeña señal del MOSFET en alta frecuencia

- Las capacitancias parásitas del MOSFET limitan su respuesta dinámica y en frecuencia.
- El régimen más importante para aplicaciones analógicas es el de saturación.
- A continuación estudiaremos los efectos capacitivos del MOSFET en este régimen.



- $C_{gs} \equiv$  capacitancia de Gate contra canal de inversión (i) + capacitancia de overlap,  $C_{ov}$
- $C_{gd} \equiv$  capacitancia de overlap,  $C_{ov}$
- $C_{gb} \equiv$  (sólo capacitancias parásitas)
- $C_{sb} \equiv$  capacitancia de juntura Source–Bulk
- $C_{db} \equiv$  capacitancia de juntura Drain–Bulk

Modelo de pequeña señal del MOSFET para alta frecuencia:



Plan para obtener las capacitancias del modelo:

- Empezamos con  $C_{gs,i}$ 
  - Calculamos la carga del Gate  $Q_G$
  - Calculamos la derivada de  $Q_G$  con  $V_{GS}$
- Sumamos las capacitancias  $C_j$  de las junturas PN

## Capacitancia de Gate

□ Cálculo de  $C_{gs,i}$

$$Q_G = -(Q_N + Q_B)$$

Dónde:

$$Q_N(V_{GS}) = W \int_0^L Q'_n(y) dy = W \int_0^{V_{GS}-V_T} Q'_n(V_c) \frac{dy}{dV_c} dV_c$$

Siendo:

$$\frac{dV_c}{dy} = -E_y(y) = -\frac{I_D}{W \mu_n Q_n(V_c)}$$

Luego:

$$Q_N(V_{GS}) = -\frac{W^2 \mu_n}{I_D} \int_0^{V_{GS}-V_T} Q_n'^2(V_c) dV_c$$

Recordando:

$$Q'_n(V_c) = -C'_{ox}(V_{GS} - V_c - V_T)$$

Entonces:

$$Q_N(V_{GS}) = -\frac{W^2 \mu_n C_{ox}'^2}{I_D} \int_0^{V_{GS}-V_T} (V_{GS} - V_c - V_T)^2 dV_c$$

Integramos y sustituimos  $I_D$  para saturación:

$$Q_N(V_{GS}) = -\frac{2}{3} W L C'_{ox}(V_{GS} - V_T)$$

Observar que  $W \times L$  es el área del Gate del MOSFET.

La carga en el Gate es:

$$Q_G(V_{GS}) = \frac{2}{3} W L C'_{ox}(V_{GS} - V_T) - Q_B$$

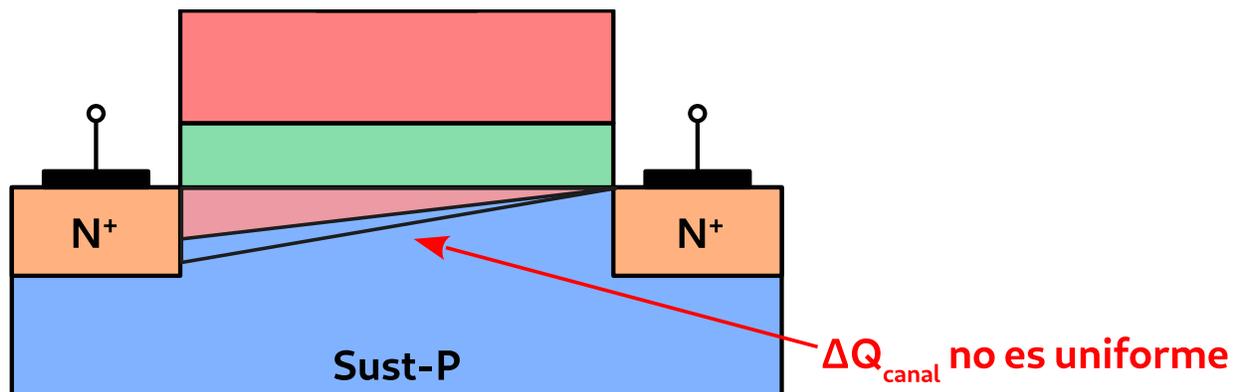
Siendo  $Q_B$  independiente de  $V_{GS}$ , la capacidad Gate-Source debido a la capa de inversión (i) es:

$$C_{gs,i} = \frac{dQ_G}{dV_{GS}} = \frac{2}{3} W L C'_{ox}$$

□ ¿Por qué la capacitancia  $C_{gs,i} \neq W L C'_{ox}$ ?

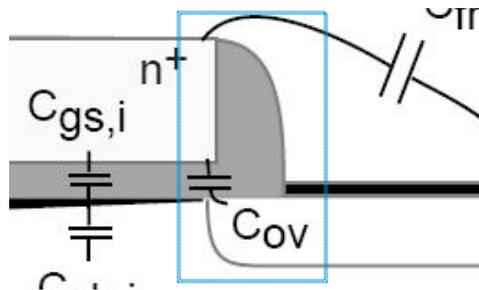
La variación de la carga en el canal no es uniforme:

- En el extremo de *source*, la variación de carga es máxima.
- En el extremo de *drain*, la variación de carga es nula debido al *pinch-off*.



□ Para obtener  $C_{gs}$  debemos incluir la capacitancia de *overlap*.

¿Qué es la capacitancia de *overlap*?



Es la capacitancia de una estructura MOS parásita debido a que las difusiones de *source* y *drain* se extienden por debajo del óxido de *gate*

$$C_{gs} = \frac{2}{3} WL C'_{ox} + W C_{ov}$$

$C_{ov}$  es un parámetro provisto por el fabricante y suele estar expresado en unidades de capacidad/longitud (F/m).

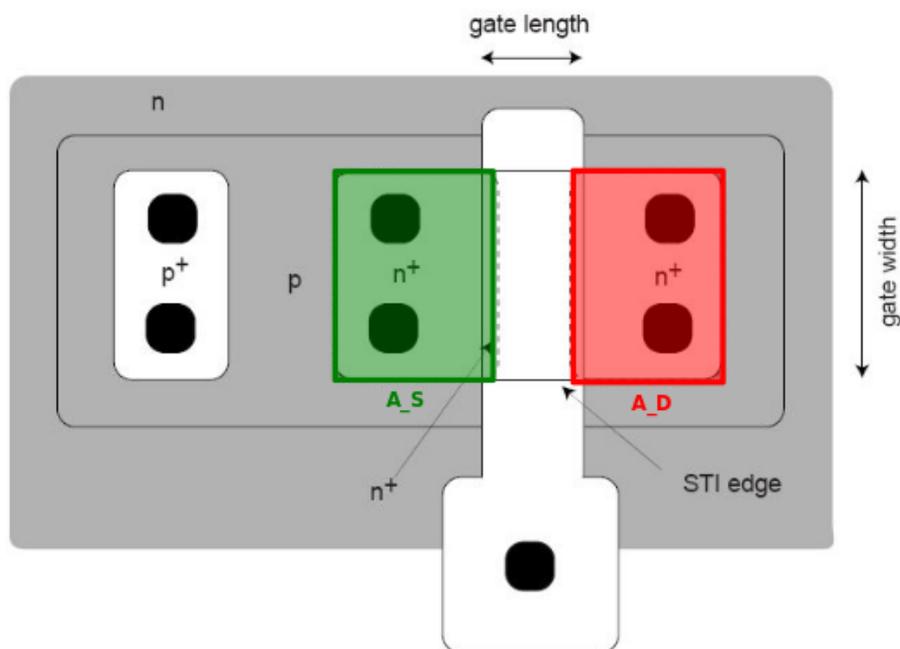
□ Capacitancia Gate-Drain ( $C_{gd}$ ): es la capacitancia de *overlap*:

$$C_{gd} = W C_{ov}$$

## Capacitancias de juntura

Las difusiones de *source* y *drain* sobre el *bulk* generan junturas PN parásitas.

Al estar polarizadas **en inversa**, el efecto capacitivo predominante es la capacitancia de juntura.



□ Capacitancia Source-Bulk: es el producto de la capacitancia de juntura y el área del *source* ( $A_S$ ),

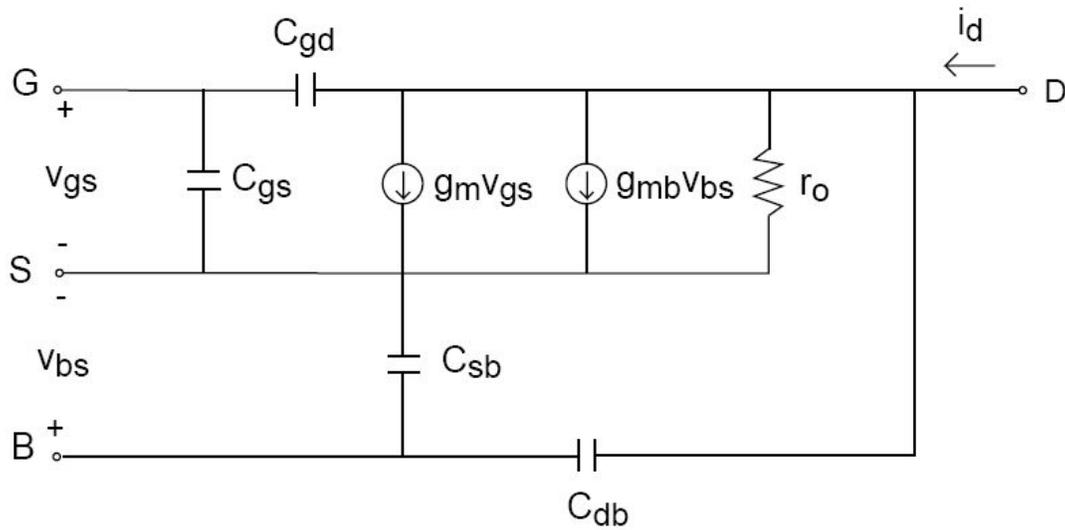
$$C_{sb} = C'_j(V_{BS})A_S$$

□ Capacidad Drain-Bulk: es el producto de la capacitancia de juntura y el área del *drain* ( $A_D$ ),

$$C_{db} = C'_j(V_{BD})A_D$$

## Principales conclusiones

Modelo de pequeña señal del MOSFET para alta frecuencia:



En saturación:

$$g_m \propto \sqrt{\frac{W}{L} I_D}$$

$$g_o \propto \frac{I_D}{L}$$

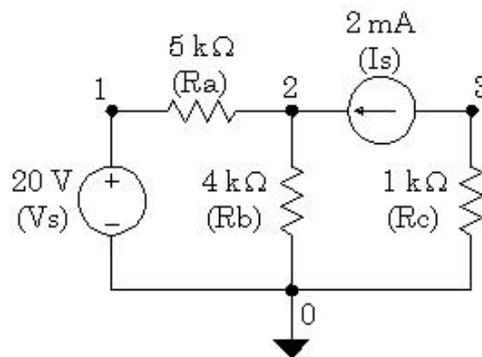
$$C_{gs} \propto W L C'_{ox}$$

## 4. Apéndice: Modelos de SPICE

SPICE es el acrónimo de *Simulation Program with Integrated Circuits Emphasis* y fue desarrollado por la Universidad de California, en Berkeley, en 1975.

Es un estándar de simulación de circuitos electrónicos.

Realizar una simulación requiere describir el circuito y elegir el tipo de simulación (punto de operación, temporal, respuesta en frecuencia, ruido, temperatura, etc.).



Netlist y comandos de simulación:

```
Vs 1 0 DC 20.0V ; Se indica la fuente
```

```
Ra 1 2 5.0k
```

```
Rb 2 0 4.0k
```

```
Rc 3 0 1.0k
```

```
Is 3 2 DC 2.0mA
```

```
.DC Vs 20 20 1 ; Se pide simulación DC
```

```
.PRINT DC V(1,2) I(Ra) ; Calculo V,I para Ra
```

```
.PRINT DC V(2) I(Rb)
.END
```

Y se obtiene un resultado como este:

```
**** DC TRANSFER CURVES
Vs V(1,2) I(Ra)
20 6.667 1.333E-03
Vs V(2) I(Rb)
20 13.33 3.333E-03
JOB CONCLUDED
TOTAL JOB TIME .13
```

Hoy en día hay muchas implementaciones de SPICE:

- Software no libre: LTSPICE (freeware), PSpice/OrCAD, HSpice, MicroCad, Dr. Spice, Proteus, etc.
- Software libre: ASCO tool, GEDA (GPL), MacSpice, Oregano (GPL), Qucs, TclSpice, etc.

Todas se basan en los mismos modelos de SPICE y cada una agrega su entorno visual y herramientas propias.

## Modelos de MOSFETs en SPICE

Para MOSFETs con  $L \geq 1,5 \mu\text{m}$  es adecuado el modelo elemental "Level 1" de SPICE:

Level 1 MOSFET model:

```
.MODEL MODN NMOS LEVEL=1 VTO=1 KP=50u
+ LAMBDA=.033 GAMMA=.6 PHI=0.8 TOX=1.5E-10
+ CGD0=5E-10 CGS0= 5e-10 CJ=1E-4 CJSW=5E-10
+ MJ=0.5 PB=0.95 W=5u L=1u
```

Por ejemplo, en Level 1 para calcular la corriente de Drain se usan las ecuaciones:

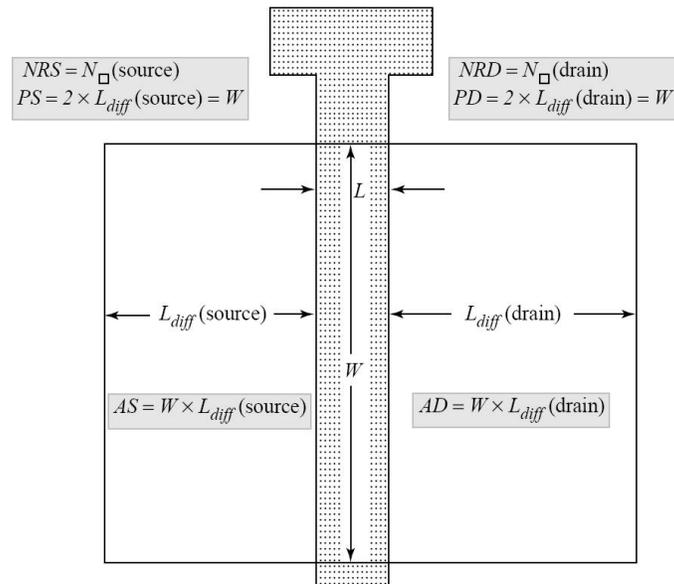
$$I_{DS} = 0 \quad (V_{GS} \leq -V_{TH})$$

$$I_{DS} = \frac{KP}{2}(W/L_{eff})V_{DS}[2(V_{GS}-V_{TH})-V_{DS}](1+LAMBDA \cdot V_{DS}) \quad (0 \leq V_{DS} \leq V_{GS}-V_{TH})$$

$$I_{DS} = \frac{KP}{2}(W/L_{eff})(V_{GS}-V_{TH})^2(1+LAMBDA \cdot V_{DS}) \quad (0 \leq V_{GS}-V_{TH} \leq V_{DS})$$

$$V_{TH} = V_{TO} + GAMMA(\sqrt{2 \cdot PHI - V_{BS}} - \sqrt{2 \cdot PHI})$$

Para calcular las capacidades el Level 1 usa por ejemplo:



Y las ecuaciones:

The diagram shows a cross-section of the drain region, labeled  $n^+$  drain. It highlights the area  $AD$  and the perimeter  $PD$  of the drain region. The equation for the drain capacitance is:

$$C_{BD}(V_{BD}) = \frac{CJ \cdot AD}{(1 - V_{BD}/PB)^{MJ}} + \frac{CJSW \cdot PD}{(1 - V_{BD}/PB)^{MJSW}}$$

where  $AD$  is the area and  $PD$  is the perimeter.

La primer generación de modelos de MOSFETs están basados en modelos similares a los presentados en esta materia e incluyen: Level 1 a 3.

Existe una segunda generación llamada BSIM (Berkeley Short-Channel IGFET Model) que contempla un número mayor de parámetros físicos y empíricos. Esto permite lograr mayor precisión y velocidad. Los modelos BSIM suelen utilizarse para MOSFETs sub- $\mu\text{m}$ .

Ejemplo: Modelo de n-MOSFET para una tecnología CMOS de  $L_{min} = 0,35 \mu\text{m}$  en Level 8 (BSIM3):

```
.MODEL CMOSN NMOS (
+LEVEL = 49          acm = 3          hdif = 0.5e-6
+VERSION = 3.1       TNOM = 27         TOX = 7.7E-9
+XJ = 1E-7          NCH = 2.3579E17    VTH0 = 0.5048265
+K1 = 0.5542796     K2 = 0.0155863    K3 = 2.3475646
+K3B = -3.3142916   W0 = 4.145888E-5  NLX = 1.430868E-7
+DVT0W = 0          DVT1W = 0         DVT2W = 0
+DVT0 = -0.0150839  DVT1 = 1.51022E-3 DVT2 = 0.170688
+U0 = 415.8570638   UA = 5.057324E-11 UB = 1.496793E-18
+UC = 2.986268E-11 VSAT = 1.237033E5  A0 = 0.9098788
+AGS = 0.2120181    B0 = 1.683612E-6  B1 = 5E-6
+KETA = -4.011887E-4 A1 = 0            A2 = 1
+RD5W = 1.156967E3  PRWG = -8.468558E-3 PRWB = -7.678669E-3
+WR = 1             WINT = 5.621821E-8 LINT = 1.606205E-8
+XL = -2E-8         XW = 0            DWG = -6.450939E-9
+DWB = 6.530228E-9 VOFF = -0.1259348 NFACTOR = 0.3344887
+CIT = 0            CDSC = 1.527511E-3 CDSCD = 0
+CDSCB = 0          ETA0 = 1.21138E-3  ETAB = -1.520242E-4
+DSUB = 0.1259886   PCLM = 0.8254768  PDIBLC1 = 0.4211084
+PDIBLC2 = 6.081164E-3 PDIBLCB = -5.865856E-6 DROUT = 0.7022263
+PSCBE1 = 7.238634E9 PSCBE2 = 5E-10    PVAG = 0.6261655
+DELTA = 0.01       MOBMOD = 1         PRT = 0
+UTE = -1.5         KT1 = -0.11        KT1L = 0
+KT2 = 0.022        UA1 = 4.31E-9      UB1 = -7.61E-18
+UC1 = -5.6E-11     AT = 3.3E4         WL = 0
+WLN = 1            WW = -1.22182E-15 WVN = 1.137
+WWL = 0            LL = 0             LLN = 1
+LW = 0             LWN = 1            LWL = 0
+CAPMOD = 2         XPART = 0.4        CGDO = 1.96E-10
+CGSO = 1.96E-10    CGBO = 0           CJ = 8.829973E-4
+PB = 0.7946332     MJ = 0.3539285    CJSW = 2.992362E-10
+PBSW = 0.9890846   MJSW = 0.1871372  PVTH0 = -0.0148617
+PRDSW = -114.7860236 PK2 = -5.151187E-3 WKETA = 5.687313E-3
+LKETA = -0.018518 )
*
```

# Clase 18<sup>1</sup> - Aplicación de transistores a circuitos analógicos (I)

## AMPLIFICADOR EMISOR COMÚN

### Contenido:

1. Principios Fundamentales de los amplificadores
2. Amplificador Emisor Común
3. Máxima señal sin distorsión
4. Eficiencia de potencia
5. Ejemplo de Emisor Común

### Lectura recomendada:

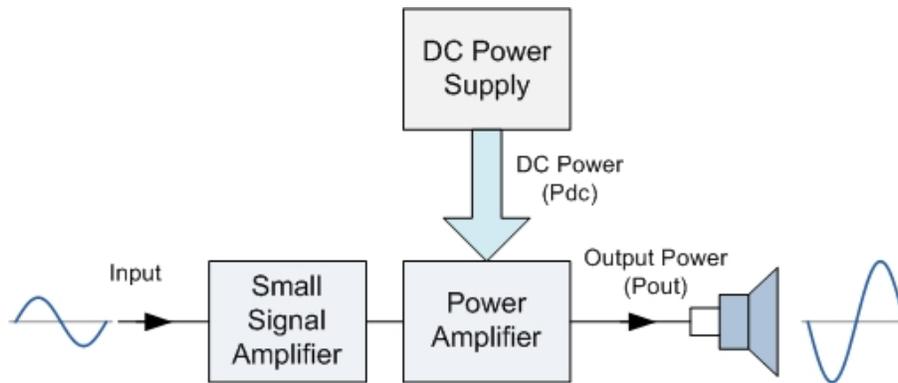
- Gray, Hurst, Lewis, Meyer, “Analysis and Design of Analog Integrated Circuits”, Ch. 3, §§3.1–3.3.
- Sedra, Smith, “Microelectronic Circuits”, Ch. 5 §§5.7.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 8, §§8.1–8.2.

---

<sup>1</sup>Esta clase es una adaptación hecha por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

# 1. Principios fundamentales de los amplificadores

¿Cuál es el objetivo de un amplificador?



El objetivo es convertir potencia de la fuente de alimentación en potencia de señal de salida.

Generalmente tiene tres bloques constitutivos:

- Fuente de alimentación
- Amplificador de pequeña señal ( $\uparrow A_v$  y  $\uparrow R_{IN}$ )
- Amplificador de potencia ( $\uparrow A_i$  y  $\downarrow R_{OUT}$ )

Rendimiento de potencia:

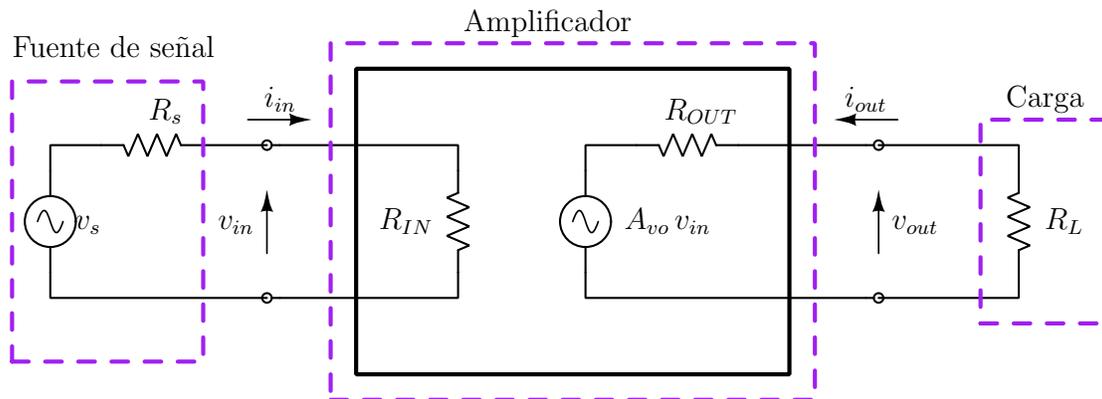
$$\eta = \frac{P_{OUT}}{P_{DC}} \times 100$$

Existen distintos tipos de amplificadores:

- Amplificador de tensión ( $A_v = v_{out}/v_{in}$ ).
- Amplificador de corriente ( $A_i = i_{out}/i_{in}$ ).
- Amplificador de transconductancia ( $G_m = i_{out}/v_{in}$ ).
- Amplificador de transresistencia ( $R_m = v_{out}/i_{in}$ ).

Nos vamos a enfocar en los **amplificadores de tensión**.

□ Modelo macroscópico de un amplificador de tensión



**Parámetros característicos del amplificador de tensión:**  $A_{vo}$ ;  $R_{IN}$ ;  $R_{OUT}$ .

Objetivo de los amplificadores de tensión: *aumentar el valor de tensión de la señal.*

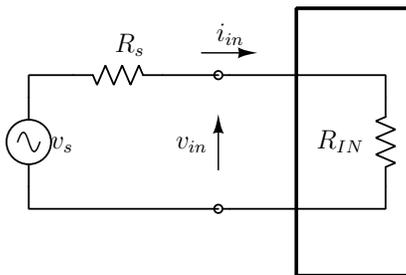
## Principales características del amplificador de tensión:

- El amplificador debe tener *relación lineal de transferencia* entrada–salida.

La *señal de salida* es una réplica sin distorsión de la *señal de entrada*:

$$v_{out} = A_v v_{in}$$

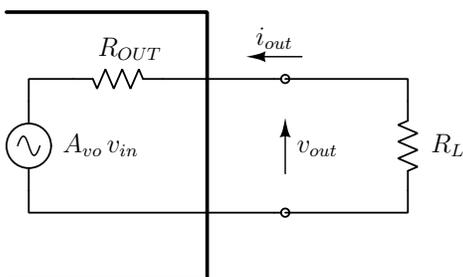
- Resistencia de entrada ( $R_{IN}$ ) elevada



$$v_{in} = \frac{R_{IN}}{R_s + R_{IN}} \cdot v_s < v_s$$

$$v_{in} \xrightarrow{R_{IN} \rightarrow \infty} v_s$$

- Resistencia de salida ( $R_{OUT}$ ) baja

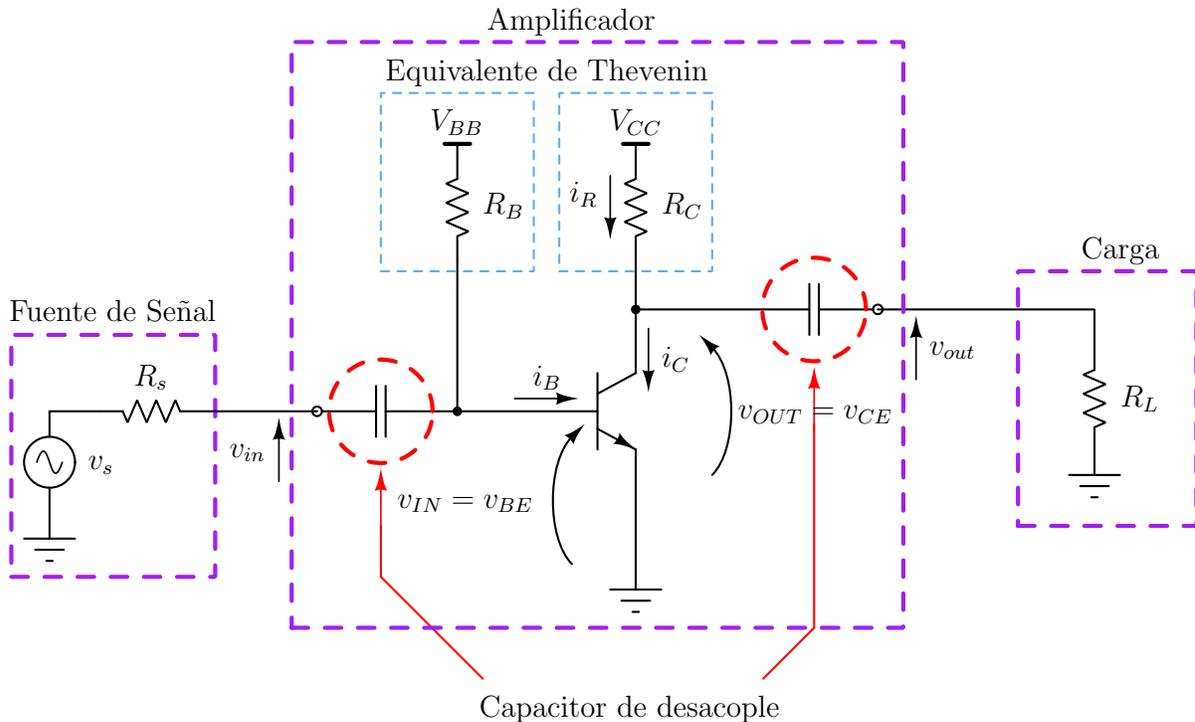


$$v_{out} = \frac{R_L}{R_{OUT} + R_L} \cdot A_{vo} v_{in} < A_{vo} v_{in}$$

$$v_{out} \xrightarrow{R_{OUT} \rightarrow 0} A_{vo} v_{in}$$

## 2. Amplificador Emisor Común

Consideremos el siguiente amplificador:



¿Cómo funciona?

Suponemos que  $R_L \rightarrow \infty$  y no afecta al funcionamiento del circuito.

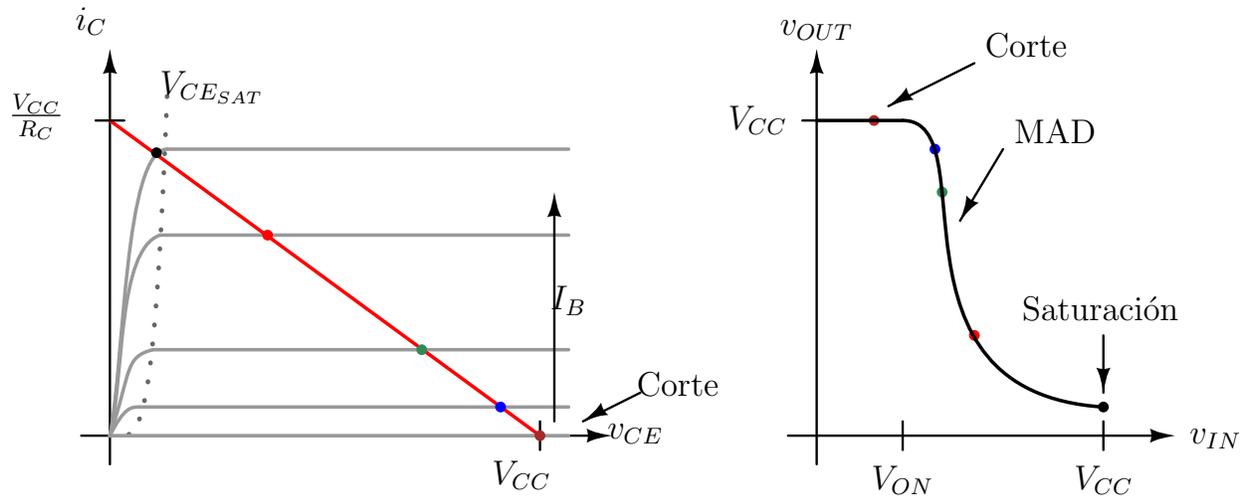
- $v_{OUT}(t) = V_{OUT} + v_{out}(t)$ .

Prestar atención a la notación

- $v_{OUT}(t)$ : Tensión total, depende del tiempo.
- $V_{OUT}$ : Tensión de continua o polarización, no depende del tiempo.
- $v_{out}(t)$ : señal alterna, depende del tiempo.

- $V_{BB}$  y  $R_B$  representan el equivalente de Thevenin del circuito de polarización de la Base.
- $V_{CC}$  y  $R_C$  representan el equivalente de Thevenin del circuito de polarización del Colector.
- $V_{BB}$ ,  $R_B$ ,  $V_{CC}$  y  $R_C$ : Seleccionados para polarizar el transistor en MAD y obtener el *punto*  $Q = Quiescent = Reposo$  deseado.
- Si  $v_s \uparrow \Rightarrow v_{BE} \uparrow \Rightarrow i_B \Rightarrow i_C \uparrow \Rightarrow i_R \uparrow \Rightarrow v_{OUT} \downarrow$
- $A_{vo} = \frac{v_{out}}{v_{in}} < 0$ ; la salida está en contrafase con la entrada
- $|A_v| = \left| \frac{v_{out}}{v_{in}} \right| > 1$ , si el amplificador está bien diseñado.

Trazamos la recta de carga para obtener la característica de transferencia:



En M.A.D tenemos la mayor  $A_{vo} = v_{out}/v_{in}$ .

Para los amplificadores es importante conocer:

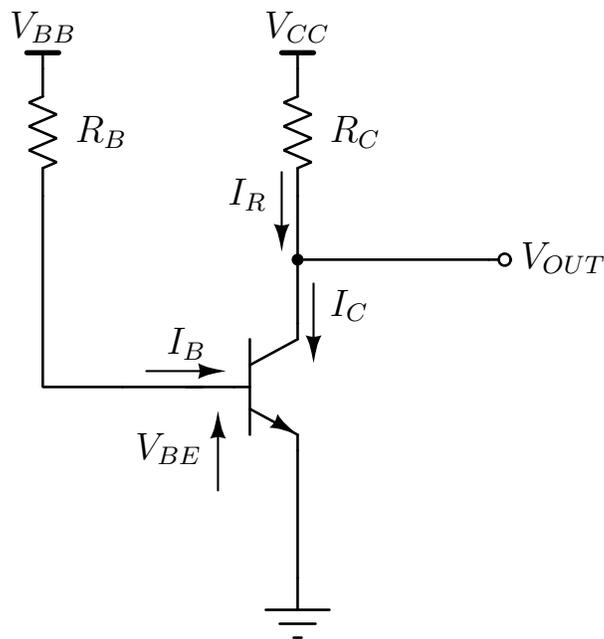
- El punto de polarización de los transistores
- La máxima señal de salida y entrada sin distorsión
- La ganancia de tensión  $A_{vo}$  del amplificador
- Las resistencias de entrada y salida del amplificador

### □ Punto de polarización

Seleccionamos  $V_{BB}$ ,  $R_B$ ,  $V_{CC}$  y  $R_C$  para que el TBJ esté en MAD y para obtener la tensión  $V_{OUT}$  deseada.

Para el análisis de polarización:

- Las fuentes de señal deben pasivarse, es decir que las fuentes de señal en tensión se reemplazan por corto circuitos.
- Los capacitores de desacople se encuentran en estado estacionario y no circula corriente por sus ramas, son circuitos abiertos.



Suponemos que el TBJ está en MAD:

$$I_C = \beta I_B$$

$$I_B = \frac{V_{BB} - V_{BE}}{R_B}$$

$$V_{BE} = V_{BE(ON)} = 0,7 \text{ V}$$

$$I_R = \frac{V_{CC} - V_{OUT}}{R_C}$$

$$I_C = I_R = \beta \frac{V_{BB} - V_{BE}}{R_B} = \frac{V_{CC} - V_{OUT}}{R_C}$$

Entonces:

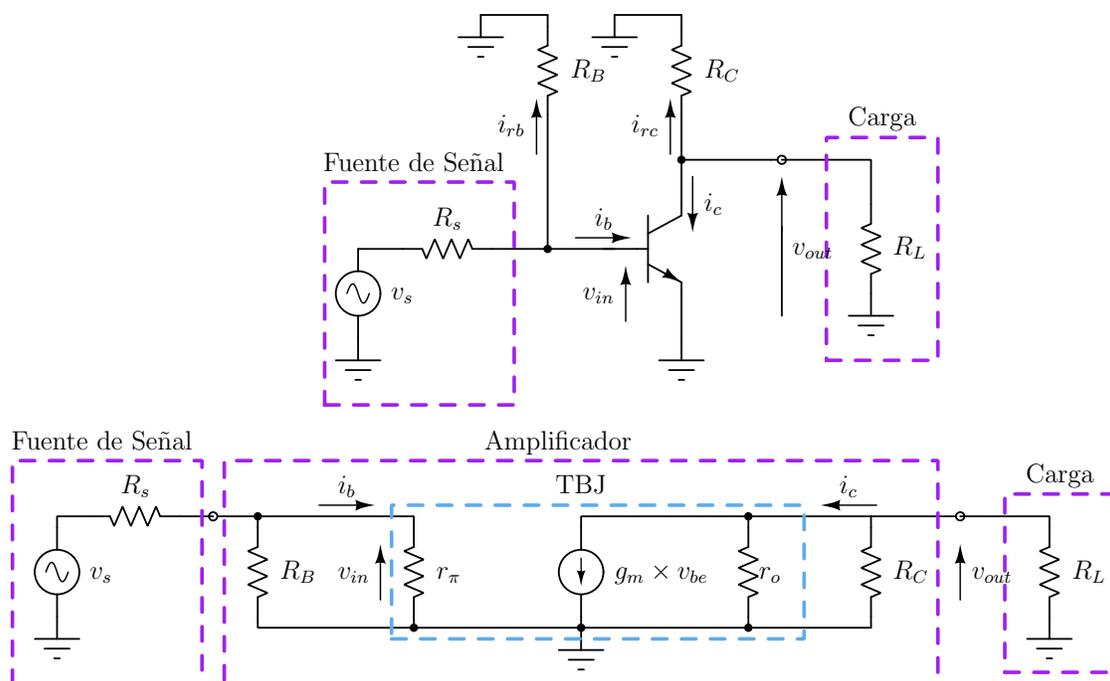
$$V_{BB} = V_{BE} + \frac{R_B V_{CC} - V_{OUT}}{\beta R_C}$$

Finalmente verificamos que el punto Q este en zona de MAD:

$$V_{CE} = V_{CC} - I_C R_C > V_{CE_{sat}} \simeq 0,2 \text{ V}$$

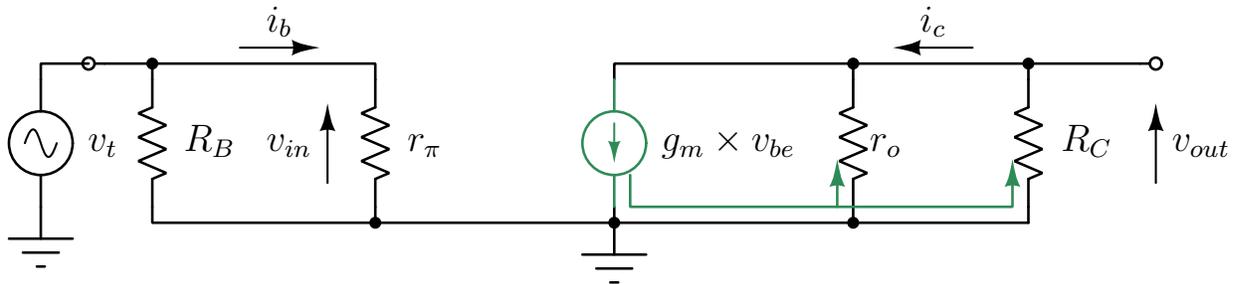
## □ Modelo de pequeña señal

- Se pasivan las fuentes de tensión continua (cortocircuitos) y
- Se reemplaza el transistor por su modelo equivalente de pequeña señal para bajas frecuencias



□ *Ganancia de tensión  $A_{vo}$  de pequeña señal*

La ganancia de tensión  $A_{vo}$  se define **sin carga conectada a la salida**.



$$A_{vo} = \left. \frac{v_{out}}{v_{in}} \right|_{i_o=0}$$

$$v_t = v_{in} = v_{be}$$

$$v_{out} = -g_m v_{be} (r_o // R_C)$$

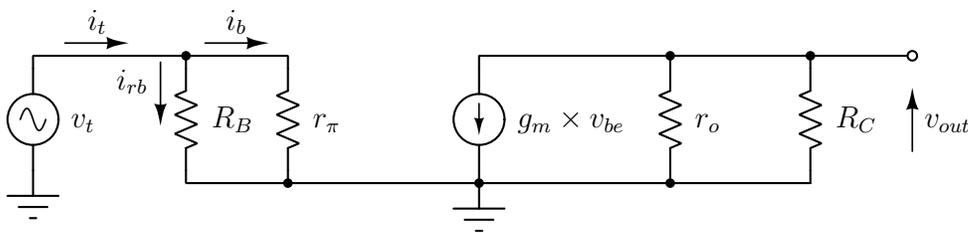
Luego la *ganancia de tensión sin carga* es:

$$A_{vo} = \frac{v_{out}}{v_{in}} = -g_m (r_o // R_C)$$

□ Resistencia de entrada,  $R_{IN}$

● Cálculo de la resistencia de entrada,  $R_{IN}$ :

- Aplicamos una tensión de prueba  $v_t$  en la entrada.
- Calculamos la corriente  $i_t$  resultante.
- Finalmente  $R_{IN} = v_t/i_t$



La tensión  $v_t$  es aplicada directamente en  $v_{be}$ , entonces se enciende el generador controlado.

Sin embargo, la corriente  $g_m \times v_{be}$  no influye en la corriente de prueba  $i_t$ .

$$i_t = i_{rb} + i_b$$

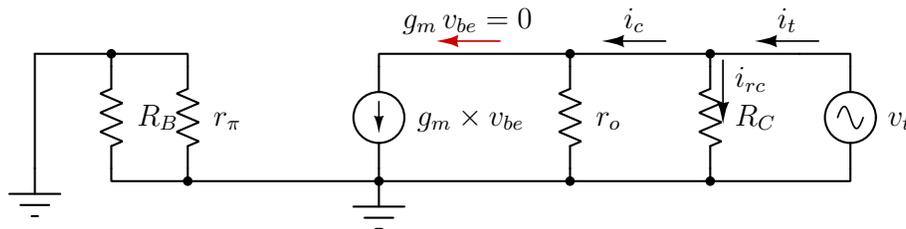
$$i_b = \frac{v_t}{r_\pi} \quad i_{rb} = \frac{v_t}{R_B}$$

$$\Rightarrow R_{IN} = \frac{v_t}{i_t} = \frac{1}{\frac{1}{r_\pi} + \frac{1}{R_B}} = r_\pi // R_B$$

□ Resistencia de salida,  $R_{OUT}$

● Cálculo de la resistencia de salida,  $R_{OUT}$ :

- Por definición, se debe imponer  $v_{in} = 0$
- Esto impone  $A_{vo} v_{in} = 0$
- Aplicamos una tensión de prueba  $v_t$  en la salida.
- Calculamos la corriente  $i_t$  resultante.
- Calculamos  $R_{OUT} = v_t/i_t$



El generador controlado no se enciende.

$$v_{be} = 0 \Rightarrow g_m v_{be} = 0$$

$$i_t = i_c + i_{rc}$$

$$i_c = \frac{v_t}{r_o} \quad i_{rc} = \frac{v_t}{R_C}$$

$$\Rightarrow R_{OUT} = \frac{v_t}{i_t} = \frac{1}{\frac{1}{r_o} + \frac{1}{R_C}} = r_o // R_C$$

De este resultado podemos reescribir la ganancia  $A_{vo}$ :

$$A_{vo} = \frac{v_{out}}{v_{in}} = -g_m (r_o // R_C) = -g_m R_{OUT}$$

□ *Ganancia de tensión  $A_{vs}$  de pequeña señal*

Se puede también definir la ganancia de tensión del amplificador en funcionamiento.

Esto implica tener tanto la fuente de señal ( $v_s; R_s$ ) como la carga conectadas ( $R_L$ ) a la entrada y la salida.

$$A_{vs} = \left. \frac{v_{out}}{v_s} \right|_{i_{out} \neq 0}$$

Analizando el modelo macroscópico del amplificador:

$$v_{in} = \frac{R_{IN}}{R_{IN} + R_s} v_s \Rightarrow \frac{v_{in}}{v_s} = \frac{R_{IN}}{R_{IN} + R_s}$$

$$v_{out}|_{i_{out} \neq 0} = A_{vo} v_{in} \frac{R_L}{R_{OUT} + R_L}$$

$$v_{out}|_{i_{out} \neq 0} = A_{vo} \underbrace{\frac{R_{IN}}{R_{IN} + R_s}}_{v_{in}} v_s \frac{R_L}{R_{OUT} + R_L}$$

$$\Rightarrow A_{vs} = \frac{v_{out}}{v_s} = A_{vo} \underbrace{\frac{R_{IN}}{R_{IN} + R_s}}_{\substack{\text{Atenuación a} \\ \text{la entrada}}} \underbrace{\frac{R_L}{R_{OUT} + R_L}}_{\substack{\text{Atenuación por} \\ \text{efecto de la} \\ \text{carga}}}$$

□ *Relación de compromiso de  $A_{vo}$ ,  $R_C$ ,  $V_{CC}$  e  $I_{CQ}$*

Examinemos la dependencia con la polarización:

$$|A_{vo}| = g_m (r_o // R_C) \simeq g_m R_C$$

Reescribimos  $|A_{vo}|$  de la siguiente forma:

$$|A_{vo}| \simeq g_m R_C = \frac{I_C}{V_{th}} \frac{V_{CC} - V_{OUT}}{I_C} = \frac{V_{CC} - V_{OUT}}{V_{th}}$$

Para un  $V_{OUT}$  fijo, la ganancia depende sólo de  $V_{CC}$ . Hay que elegir  $I_C$  y  $R_C$  para obtener el  $V_{OUT}$  deseado.

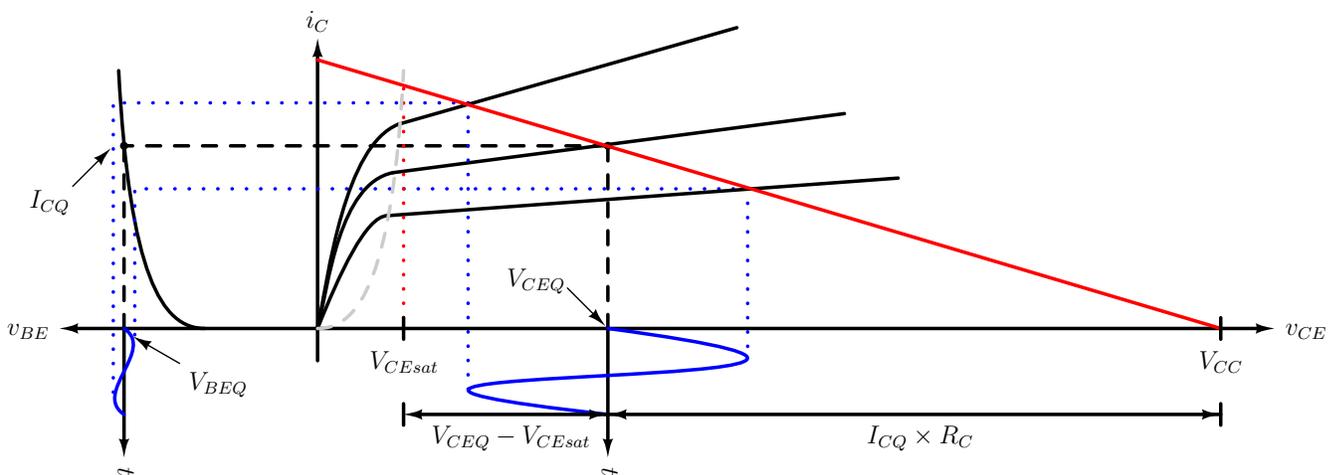
### 3. Máxima señal sin distorsión

La distorsión ocurre cuando el transistor no está trabajando en el régimen que corresponde.

La relación de la señal de salida con la señal de entrada no será lineal.

Existirá una deformación de la señal de salida y entonces:

$$v_{out} \neq A_{vo}v_{in}$$



#### □ Distorsión por alinealidad

- Hay que verificar que  $v_{be}$  se encuentre dentro del rango de validez del modelo de pequeña señal:

$$v_{be} \leq 10 \text{ mV}$$

Si no se verifica esta condición el amplificador distorsiona por alinealidad.

□ *Distorsión por corte o saturación*

● Límite superior de la señal salida: para  $v_s$  demasiado negativa el transistor se va a régimen de **corte**, i.e. toda la corriente de señal anula la corriente de polarización

$$i_c = -I_{CQ} \Rightarrow i_C = 0$$

$$v_{OUT,max} = V_{CC}$$

$$\Rightarrow v_{out,max} = I_{CQ}R_C = V_{CC} - V_{CEQ}$$

● Límite inferior de la señal salida: para  $v_s$  muy positiva el TBJ entrará en régimen de **saturación**. El caso límite tolerable es:

$$v_{OUT,min} = V_{CEsat}$$

$$\Rightarrow v_{out,max} = V_{CEQ} - V_{CEsat}$$

**Atención:** estas son cotas máximas de  $v_{OUT}$ , que se alcancen o no dependerá de  $A_{vo}$  y  $v_{in}$ .

#### 4. Eficiencia de conversión de potencia

$$\eta = \frac{P_{OUT}}{P_{DC}} \times 100$$

Donde  $P_{OUT}$  es la potencia eficaz de la señal de salida

$$P_{OUT} = \frac{1}{2} \cdot \frac{\hat{v}_{out}^2}{R_L}$$

y  $P_{DC}$  es la potencia de continua que consume el circuito.

$$P_{DC} = V_{CC} \cdot I_C$$

Para un amplificador sin carga ( $R_L \rightarrow \infty$ ), no se entrega potencia a la salida y el rendimiento es nulo.

Si el amplificador entrega potencia a una carga, la máxima eficiencia se obtiene cuando:

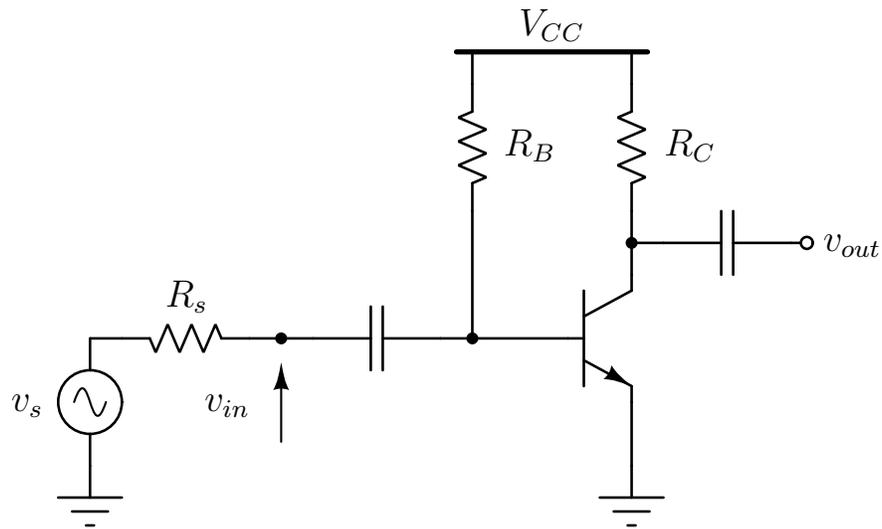
$$v_{out} = v_{out,max} = \frac{1}{2} V_{CC} = I_{CQ} \cdot R_L$$

Entonces (esto vale en general):

$$\eta_{max} = \frac{1}{2} \cdot \frac{\overbrace{1/2 V_{CC} \cdot I_{CQ} \cdot R_L}^{v_{out}^2}}{\underbrace{V_{CC} \cdot I_{CQ} \cdot R_L}_{P_{DC}}} = 25\%$$

Este 25% es una cota teórica máxima.

## 5. Ejemplo de Emisor Común



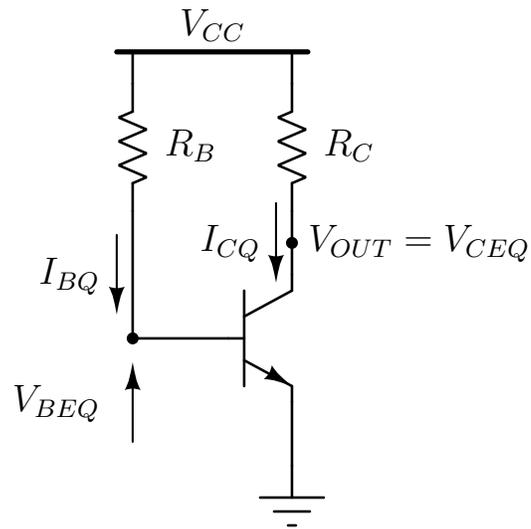
**Datos:**

$$V_{CC} = 3,3 \text{ V}, R_B = 100 \text{ k}\Omega, R_C = 75 \Omega,$$

$$\hat{v}_s = 30 \text{ mV}, R_s = 2 \text{ k}\Omega,$$

$$\beta = 750, V_A \rightarrow \infty$$

## Punto de polarización



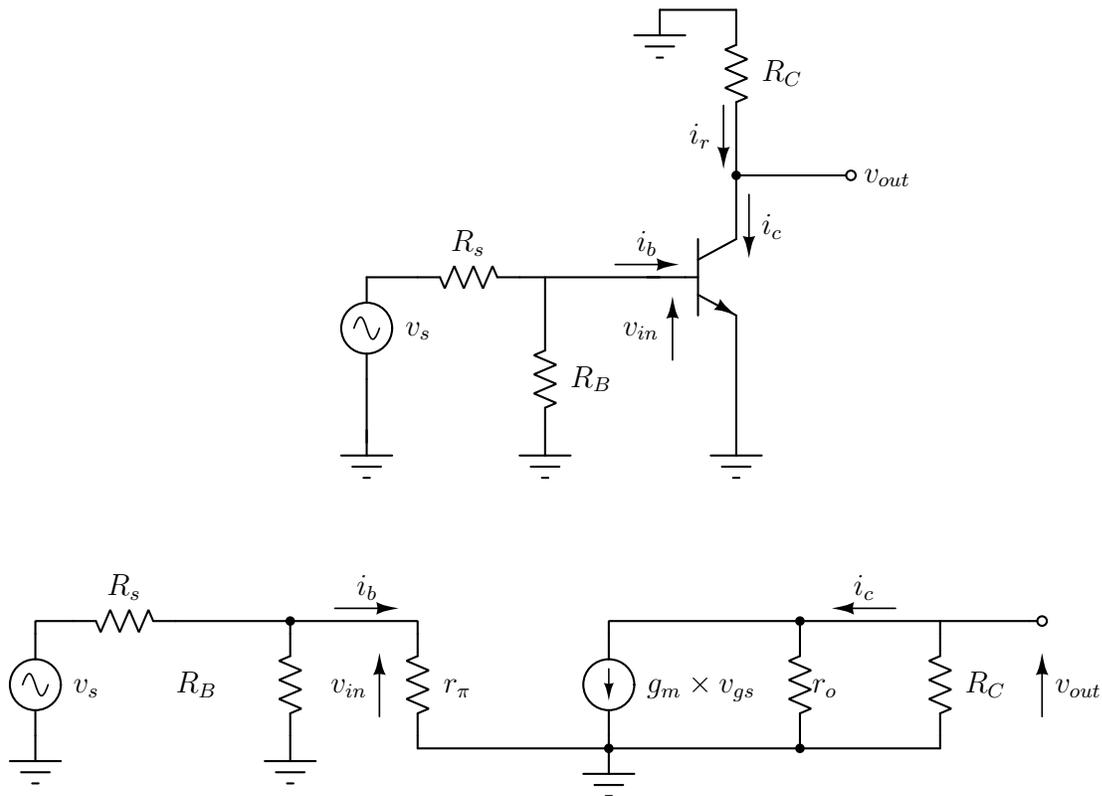
Suponemos M.A.D  $\Rightarrow I_C = \beta I_B$ ,  $V_{BE} = 0,7 \text{ V}$ ,  $V_{CE} > V_{CE(sat)} = 0,2 \text{ V}$ .

$$I_{BQ} = \frac{V_{CC} - V_{BE}}{R_B} = 26 \mu\text{A}$$

$$I_{CQ} = \beta I_{BQ} = 19,5 \text{ mA}$$

$$V_{OUT} = V_{CEQ} = V_{CC} - I_{CQ} R_C = 1,8735 \text{ V} > V_{CE(sat)}$$

## Análisis de pequeña señal



Parámetros de pequeña señal del transistor:

$$g_m = \frac{\partial i_C}{\partial v_{BE}} = \frac{I_{CQ}}{V_{th}} = 0,75 \text{ S}$$

$$r_\pi = \left( \frac{\partial i_B}{\partial v_{BE}} \right)^{-1} = \frac{\beta}{g_m} = 1 \text{ k}\Omega$$

$$r_o = \left( \frac{\partial i_C}{\partial v_{CE}} \right)^{-1} = \frac{V_A}{I_{CQ}} \rightarrow \infty$$

Parámetros del amplificador:

$$A_{vo} = \frac{v_{out}}{v_{in}} = g_m (r_o \parallel R_C) = 56.25$$

$$R_{IN} = R_B \parallel r_\pi \simeq r_\pi = 1 \text{ k}\Omega$$

$$R_{OUT} = R_C \parallel r_o \simeq R_C = 75 \Omega$$

$$A_{vs} = \frac{v_{out}}{v_s} = \frac{R_{IN}}{R_{IN} + R_s} A_{vo} = 18.75$$

Resta verificar que el amplificador no distorsione... queda de tarea :)

## Principales conclusiones

- Amplificador Emisor-Común:
  - Resistencia entrada, ganancia de tensión y resistencia de salida "ajustables" con  $R_C$  e  $I_C$ .
  - Excelente amplificador de trasconductancia, Aceptable como amplificador de tensión.
  - Relación de compromiso de  $A_{vo}$ ,  $R_C$ ,  $V_{CC}$ ,  $I_C$  y  $V_{OUT}$ : Superada mediante el uso de fuente de corriente (próxima clase).
- Necesitamos nuevas configuraciones de amplificadores (se estudiarán en materias posteriores):
  - Para salvar relación de compromiso entre  $A_{vo}$  y  $R_{OUT}$
  - Para aquellos casos que se necesite baja  $R_{IN}$

# Clase 19<sup>1</sup> - Aplicación de transistores a circuitos analógicos (II) AMPLIFICADOR SOURCE COMÚN Y COPIA DE CORRIENTE CON MOSFET

## Contenido:

1. Amplificador Source Común
2. Máxima señal sin distorsión
3. Fuentes de corriente

## Lectura recomendada:

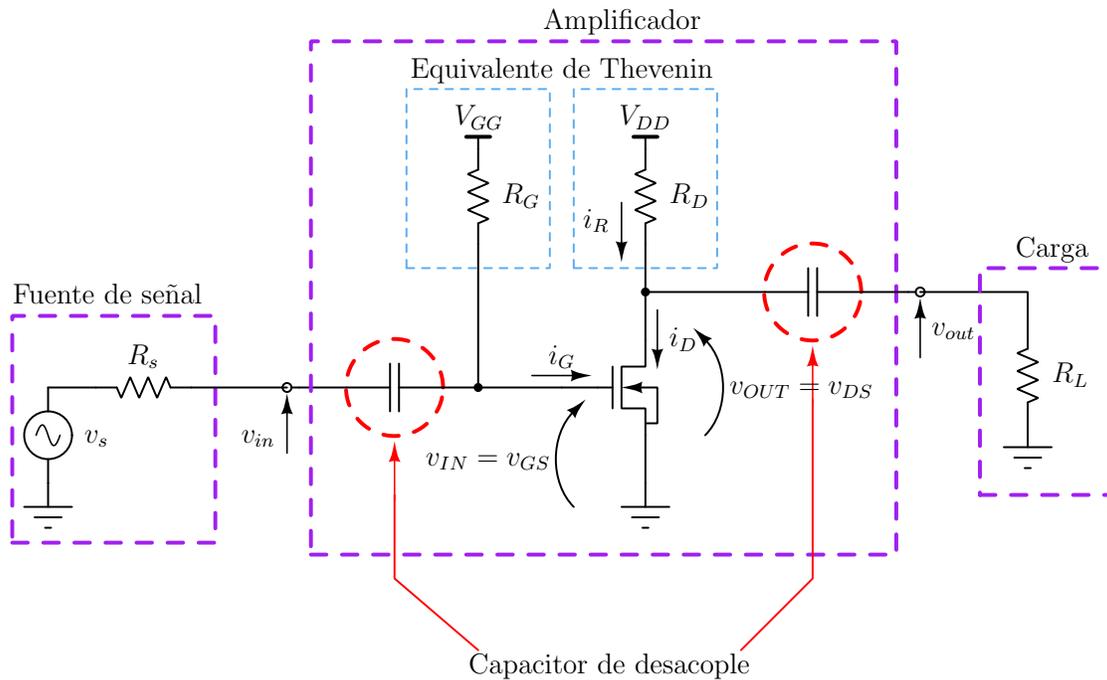
- Gray, Hurst, Lewis, Meyer, “Analysis and Design of Analog Integrated Circuits”, Ch. 3, §§3.1–3.3; Ch. 4 §§4.1–4.2.
- Sedra, Smith, “Microelectronic Circuits”, Ch. 4 §§4.7; Ch. 6 §§6.3.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 8, §§8.3–8.5.

---

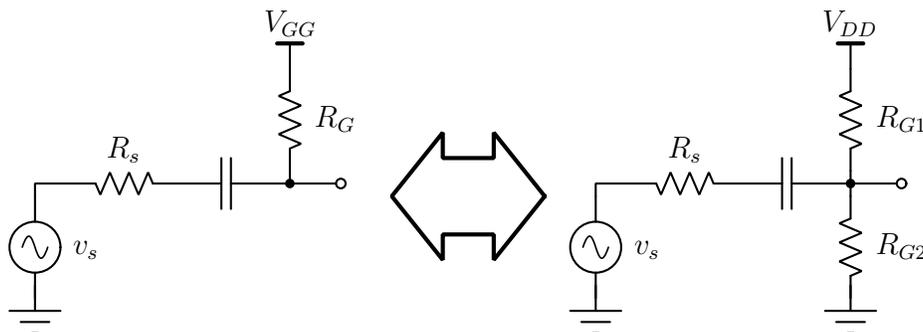
<sup>1</sup>Esta clase es una adaptación hecha por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

# 1. Amplificador Source Común

Consideremos el siguiente amplificador implementado con un MOSFET canal N:



- La fuente de polarización ( $V_{GG}$ ;  $R_G$ ) representa el equivalente de Thevenin del circuito de polarización del MOSFET. La implementación más común con resistencias es la siguiente:

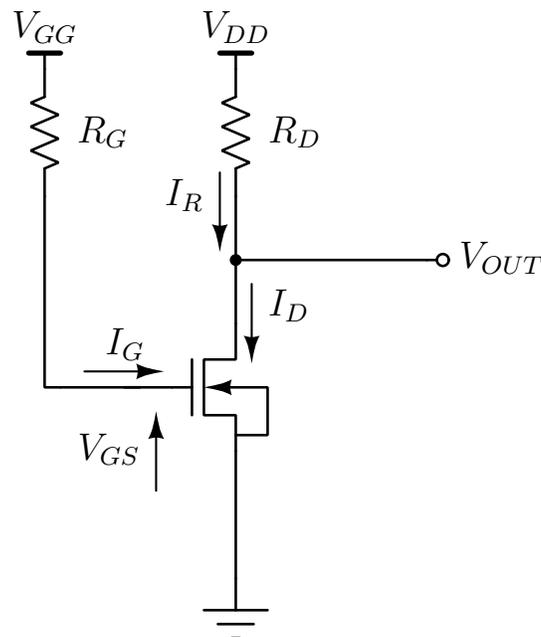


### □ Punto de polarización

Seleccionamos  $V_{GG}$ ,  $R_G$ ,  $V_{DD}$  y  $R_D$  para que el MOSFET esté en Saturación y para obtener la tensión  $V_{OUT}$  deseada.

Para el análisis de polarización:

- Las fuentes de señal deben pasivarse, es decir que las fuentes de señal en tensión se reemplazan por corto circuitos.
- Los capacitores de desacople se encuentran en estado estacionario y no circula corriente por sus ramas, son circuitos abiertos.



Como  $I_G = 0 \Rightarrow V_{GS} = V_{GG}$

Suponemos que el MOSFET está en saturación:

$$I_D = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GS} - V_T)^2$$

$$I_R = \frac{V_{DD} - V_{OUT}}{R_D}$$

Si  $V_{GG}$  y  $R_D$  son dato, podemos calcular:

$$I_D = \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_{GG} - V_T)^2$$

$$I_R = I_D$$

$$V_{OUT} = V_{DS} = V_{DD} - \frac{1}{2} \frac{W}{L} \mu_n C'_{ox} (V_G - V_T)^2 \cdot R_D$$

Si quisieramos saber con qué tensión polarizar al MOSFET, en cambio se despeja:

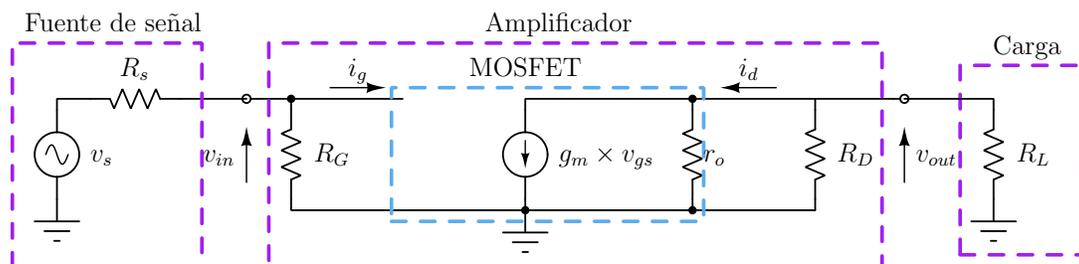
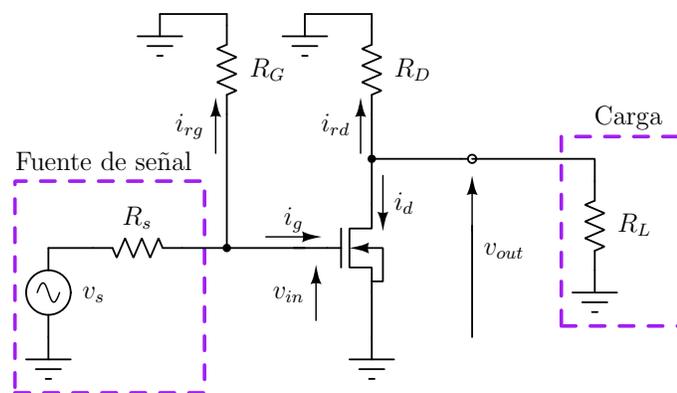
$$V_{GG} = V_{GS} = \sqrt{\frac{2(V_{DD} - V_{OUT})}{R_D \frac{W}{L} \mu_n C'_{ox}}} + V_T$$

Finalmente verificamos que el punto Q este en la región de saturación:

$$V_{DS} = V_{DD} - I_D \cdot R_D > V_{GS} - V_T$$

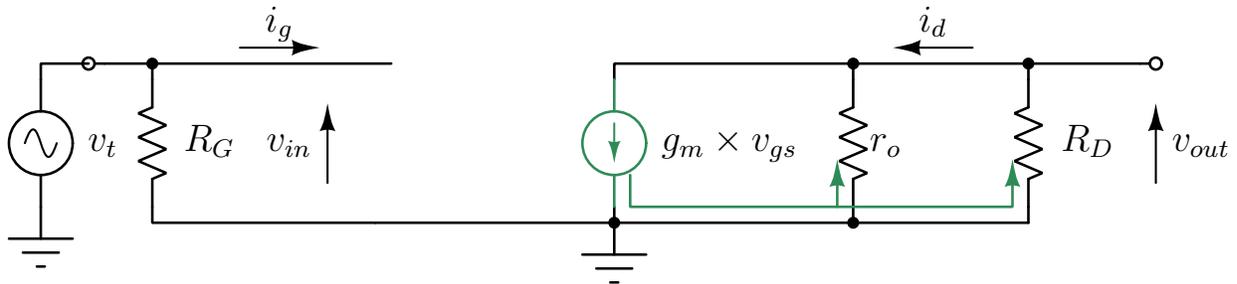
### □ Modelo de pequeña señal

- Se pasivan las fuentes de tensión continua (cortocircuitos) y
- Se reemplaza el transistor por su modelo equivalente de pequeña señal para bajas frecuencias



□ *Ganancia de tensión  $A_{vo}$  de pequeña señal*

La ganancia de tensión  $A_{vo}$  se define **sin carga conectada a la salida**.



$$A_{vo} = \left. \frac{v_{out}}{v_{in}} \right|_{i_o=0}$$

$$v_t = v_{in} = v_{gs}$$

$$v_{out} = -g_m v_{in} (r_o // R_D)$$

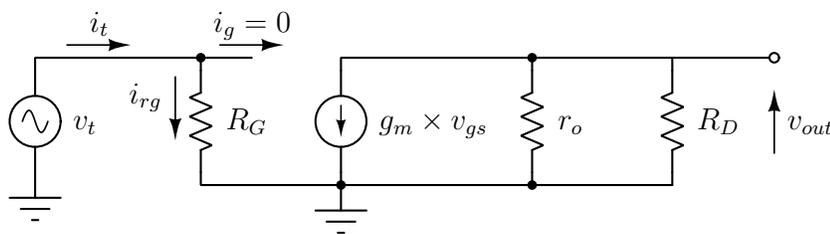
Luego la *ganancia de tensión sin carga* es:

$$A_{vo} = \frac{v_{out}}{v_{in}} = -g_m (r_o // R_D)$$

□ Resistencia de entrada,  $R_{IN}$

● Cálculo de la resistencia de entrada,  $R_{IN}$ :

- Aplicamos una tensión de prueba  $v_t$  en la entrada.
- Calculamos la corriente  $i_t$  resultante.
- Finalmente  $R_{IN} = v_t/i_t$



La tensión  $v_t$  es aplicada directamente en  $v_{gs}$ , entonces se enciende el generador controlado.

Sin embargo, la corriente  $g_m \times v_{gs}$  no influye en la corriente de prueba  $i_t$ .

$$i_t = i_{rg} + i_g$$

$$i_g = 0 \quad i_{rg} = \frac{v_t}{R_G}$$

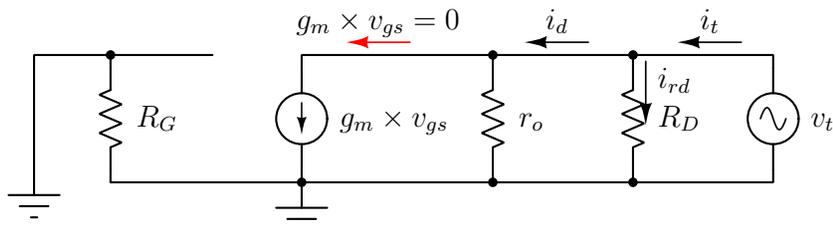
$$\Rightarrow R_{IN} = \frac{v_t}{i_t} = R_G$$

La resistencia de *gate* del MOSFET es  $\infty$ , por lo que  $R_{IN}$  queda determinada por las resistencias de polarización.

□ Resistencia de salida,  $R_{OUT}$

● Cálculo de la resistencia de salida,  $R_{OUT}$ :

- Por definición, se debe imponer  $v_{in} = 0$
- Esto impone  $A_{vo} v_{in} = 0$
- Aplicamos una tensión de prueba  $v_t$  en la salida.
- Calculamos la corriente  $i_t$  resultante.
- Calculamos  $R_{OUT} = v_t/i_t$



El generador controlado no se enciende.

$$v_{gs} = 0 \Rightarrow g_m \times v_{gs} = 0$$

$$i_t = i_d + i_{rd}$$

$$i_d = \frac{v_t}{r_o} \quad i_{rd} = \frac{v_t}{R_D}$$

$$\Rightarrow R_{OUT} = \frac{v_t}{i_t} = \frac{1}{\frac{1}{r_o} + \frac{1}{R_D}} = r_o // R_D$$

De este resultado podemos reescribir la ganancia  $A_{vo}$ :

$$A_{vo} = \frac{v_{out}}{v_{in}} = -g_m (r_o // R_D) = -g_m R_{OUT}$$

□ *Ganancia de tensión  $A_{vs}$  de pequeña señal*

Se puede también definir la ganancia de tensión del amplificador en funcionamiento.

Esto implica tener tanto la fuente de señal ( $v_s; R_s$ ) como la carga conectadas ( $R_L$ ) a la entrada y la salida.

$$A_{vs} = \left. \frac{v_{out}}{v_s} \right|_{i_{out} \neq 0}$$

Analizando el modelo macroscópico del amplificador:

$$v_{in} = \frac{R_{IN}}{R_{IN} + R_s} v_s \Rightarrow \frac{v_{in}}{v_s} = \frac{R_{IN}}{R_{IN} + R_s}$$

$$v_{out}|_{i_{out} \neq 0} = A_{vo} v_{in} \frac{R_L}{R_{OUT} + R_L}$$

$$v_{out}|_{i_{out} \neq 0} = A_{vo} \underbrace{\frac{R_{IN}}{R_{IN} + R_s}}_{v_{in}} v_s \frac{R_L}{R_{OUT} + R_L}$$

$$\Rightarrow A_{vs} = \frac{v_{out}}{v_s} = A_{vo} \underbrace{\frac{R_{IN}}{R_{IN} + R_s}}_{\substack{\text{Atenuación a} \\ \text{la entrada}}} \underbrace{\frac{R_L}{R_{OUT} + R_L}}_{\substack{\text{Atenuación por} \\ \text{efecto de la} \\ \text{carga}}}$$

Para el source-común, como  $R_{IN}$  suele ser un valor elevado, si despreciamos el efecto de la carga:

$$v_{in} \simeq v_s \Rightarrow \frac{v_{in}}{v_s} \simeq 1 \Rightarrow A_{vs} \simeq \frac{v_{out}}{v_{in}} = A_{vo}$$

□ *Relación de compromiso de  $A_{vo}$ ,  $R_D$ ,  $V_{DD}$  e  $I_{DQ}$*

Examinemos la dependencia con la polarización:

$$|A_{vo}| = g_m (r_o // R_D) \simeq g_m R_D$$

Reescribimos  $|A_{vo}|$  de la siguiente forma:

$$|A_{vo}| \simeq g_m R_D = \sqrt{2 \frac{W}{L} \mu_n C'_{ox} I_D} \frac{V_{DD} - V_{OUT}}{I_D}$$

$$|A_{vo}| \propto \frac{V_{DD} - V_{OUT}}{\sqrt{I_D}}$$

Para obtener elevado  $|A_{vo}|$  conviene:  $V_{DD} \uparrow$  e  $I_D \downarrow$

Si  $V_{OUT}$  se quiere dejar constante, entonces ambos enfoques implican  $\Rightarrow R_D = \frac{V_{DD}}{I_D} \uparrow$

Consecuencias de un elevado valor de  $R_D$ :

- Entra en juego el valor de  $r_o$ , ya que  $|A_{vo}| = g_m(r_o // R_D)$
- Su implementación en circuitos integrados requiere un área muy grande de silicio. Es preferible prescindir de resistores.
- El valor elevado de resistencia incrementa el ruido térmico del circuito.

## 2. Máxima señal sin distorsión

La distorsión ocurre cuando el transistor no está trabajando en el régimen que corresponde.

La relación de la señal de salida con la señal de entrada no será lineal.

Existirá una deformación de la señal de salida y entonces:

$$v_{out} \neq A_{vo}v_{in}$$

□ *Distorsión por alinealidad*

- Hay que verificar que  $v_{gs}$  se encuentre dentro del rango de validez del modelo de pequeña señal:

$$v_{gs} \leq 0.2 (V_{GS} - V_T)$$

Si no se verifica esta condición el amplificador distorsiona por alinealidad.

□ *Máxima señal de salida sin distorsión (Distorsión por corte o triodo):*

- Límite superior: para  $v_s$  demasiado negativa el transistor se va a régimen de **corte**, i.e. toda la corriente de

señal anula la corriente de polarización.

$$i_d = I_{DQ} \Rightarrow i_D = 0$$

$$\Rightarrow v_{OUT,max} = V_{DD}$$

$$\Rightarrow v_{out(corte)} = I_{DQ}R_D = V_{DD} - V_{DSQ}$$

• Límite inferior: para  $v_s$  muy positiva el MOSFET entrará en régimen de **tríodo**. El caso límite tolerable es:

$$v_{OUT} = V_{DS(sat)}$$

Para hallar el valor exacto de  $V_{OUT}$  hay que resolver la intersección de la recta de carga con la parábola correspondiente a la ubicación del punto de pinch-off. Una respuesta rápida pero aproximada es considerar:

$$\Rightarrow v_{out(sat)} = V_{DSQ} - V_{DS(sat)} = V_{DSQ} - (V_{GSQ} - V_T)$$

**Atención:** estas son cotas máximas de  $v_{OUT}$ , que se alcancen o no dependerá de  $A_{vo}$  y  $v_{in}$ .

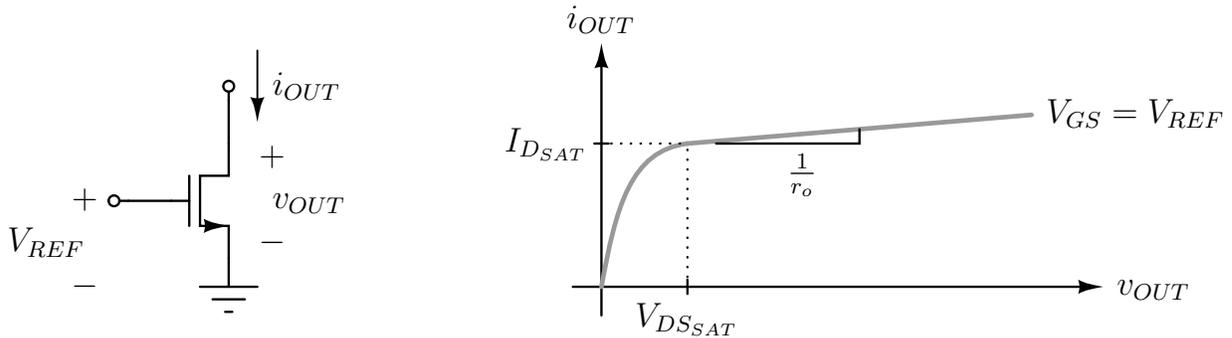
### 3. Fuentes de corriente

Como se analizó en *Relaciones de compromiso para el Amplificador Source Común*, es necesario tener una resistencia de polarización  $R_D$  elevada para aumentar la ganancia.

Una alternativa para la resistencia de polarización  $R_D$  es utilizar fuentes de corriente.

¿Cómo puedo implementar una fuente de corriente con MOSFETs?

□ *El transistor MOS como fuente de corriente*

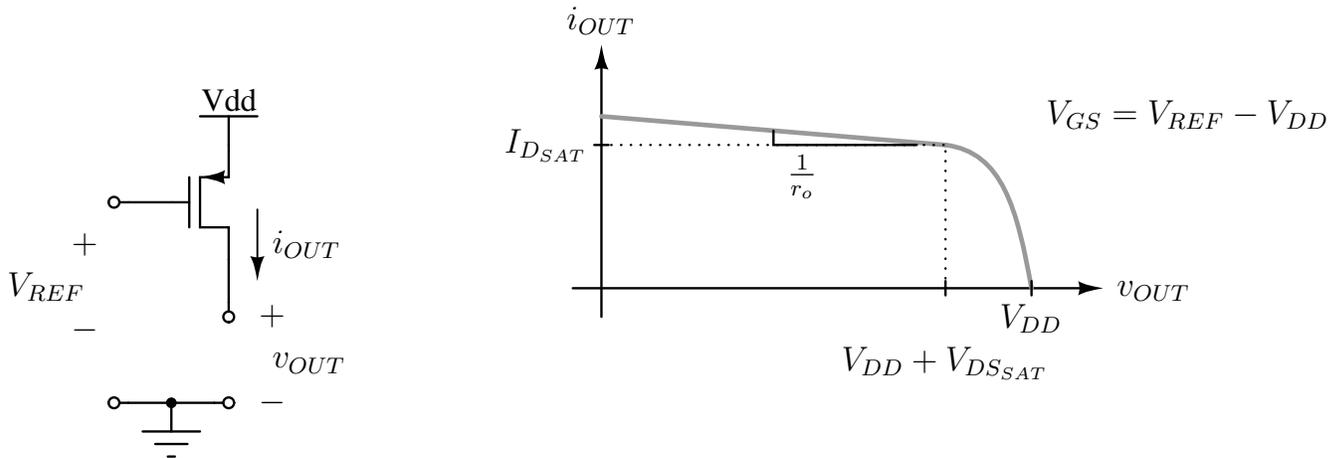


$$i_{OUT} = \frac{1}{2} \mu C'_{ox} \frac{W}{L} (V_{REF} - V_T)^2 (1 + \lambda \cdot v_{OUT})$$

Características:

- El valor de la corriente de salida es  $i_D$  y está definido por una tensión de referencia  $V_{REF}$ .
- El transistor funciona como fuente de corriente en régimen de saturación.
- Hay un valor mínimo de tensión de salida para el cual la fuente funciona correctamente:  $v_{OUT} = V_{DS(sat)}$ .
- Presenta una resistencia de salida  $R_{OUT} = r_o$ .
- El transistor N-MOSFET es un *sumidero de corriente*.

## □ Fuente de corriente P-MOSFET



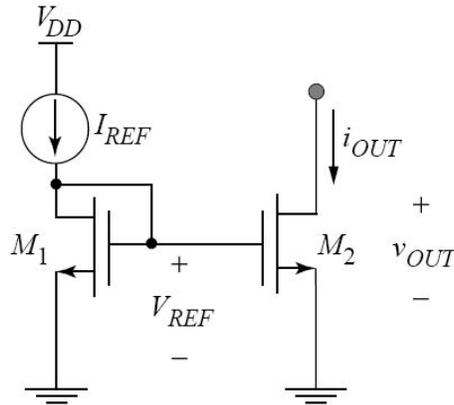
$$i_{OUT} = \frac{1}{2} \mu C'_{ox} \frac{W}{L} (V_{REF} - V_{DD} - V_T)^2 (1 - \lambda(v_{OUT} - V_{DD}))$$

Características:

- El valor de la corriente de salida es  $i_{OUT} = -i_D$  y está definido por una tensión de referencia  $V_{REF}$ .
- El transistor funciona como fuente de corriente en régimen de saturación.
- Hay un valor máximo de tensión de salida para el cual la fuente funciona correctamente:  $v_{OUT} = V_{DD} + V_{DS_{SAT}}$ .
- Presenta una resistencia de salida  $R_{OUT} = r_o$ .
- El transistor P-MOSFET es un *fuentes de corriente*.

□ *Copia de corriente espejo simple*

¿Cómo se puede implementar  $V_{REF}$ ?



Despreciando el efecto de modulación del largo del canal:

$$I_{REF} = i_{D1} = \frac{1}{2} \mu_n C'_{ox} \left( \frac{W}{L} \right)_1 (V_{REF} - V_T)^2$$

$$i_{OUT} = i_{D2} = \frac{1}{2} \mu_n C'_{ox} \left( \frac{W}{L} \right)_2 (V_{REF} - V_T)^2$$

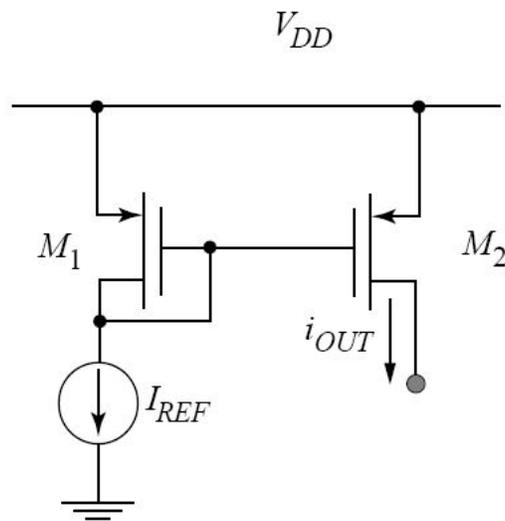
$$\Rightarrow i_{OUT} = I_{REF} \frac{\left( \frac{W}{L} \right)_2}{\left( \frac{W}{L} \right)_1}$$

$i_{OUT}$  se ajusta con  $I_{REF}$  según la relación  $W/L$  de los MOSFETs: Circuito *espejo de corriente*.

Es importante contar con transistores “bien apareados”: proporción  $W/L$  muy controlada, mismo  $V_T$ ,  $t_{ox}$ , etc.

□ Fuente de corriente P-MOSFET

Fuente espejo con P-MOSFET :



Despreciando el efecto de modulación del largo del canal:

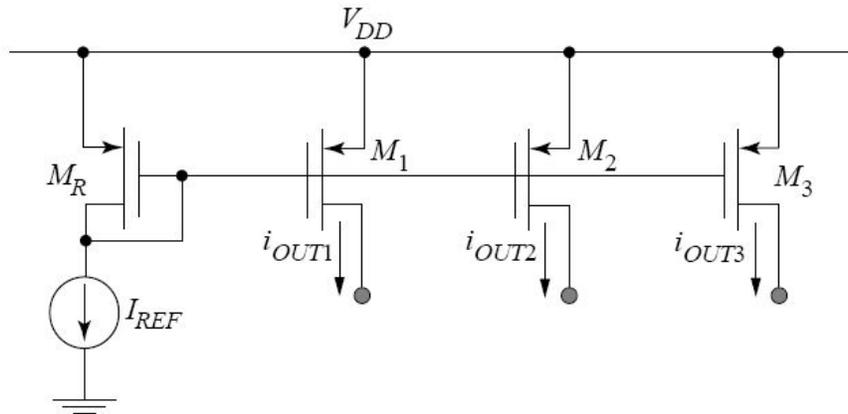
$$I_{REF} = -i_{D1} = \frac{1}{2} \mu_p C'_{ox} \left( \frac{W}{L} \right)_1 (V_{REF} - V_{DD} - V_T)^2$$

$$i_{OUT} = -i_{D2} = \frac{1}{2} \mu_p C'_{ox} \left( \frac{W}{L} \right)_2 (V_{REF} - V_{DD} - V_T)^2$$

$$\Rightarrow i_{OUT} = I_{REF} \frac{\left( \frac{W}{L} \right)_2}{\left( \frac{W}{L} \right)_1}$$

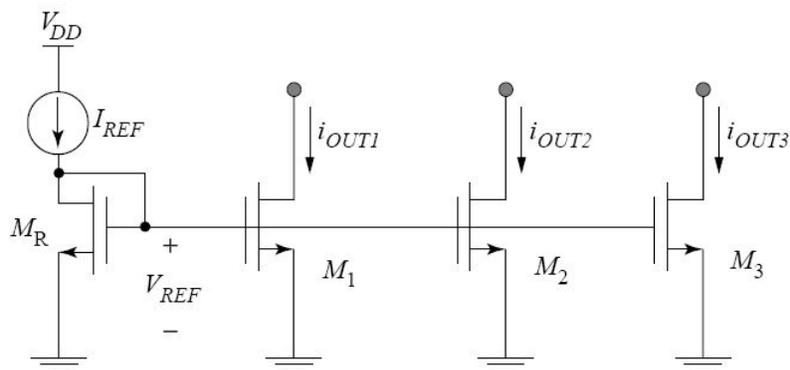
## □ Múltiples fuentes de corriente

Dado que  $I_G = 0$ , de una sola referencia de tensión es posible obtener múltiples fuentes espejo:



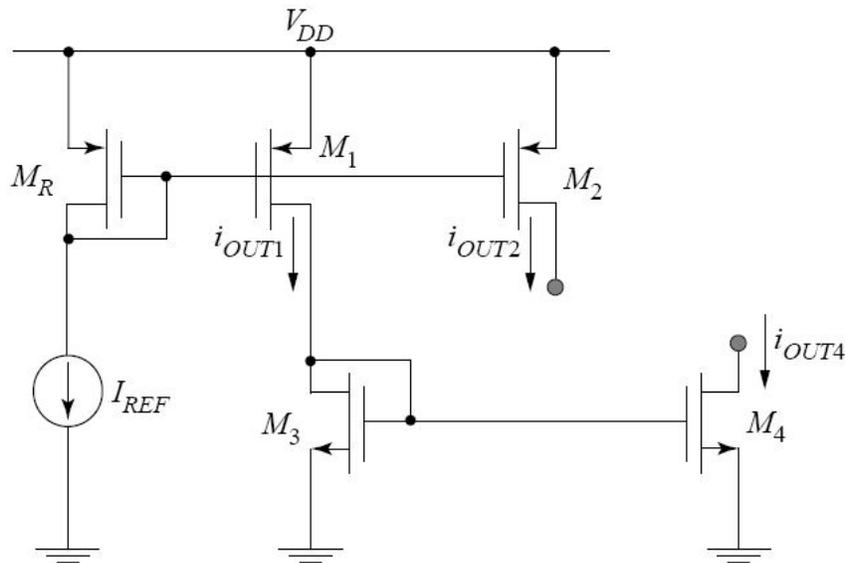
$$I_{OUT(n)} = I_{REF} \frac{\left(\frac{W}{L}\right)_n}{\left(\frac{W}{L}\right)_R}$$

La misma idea se aplica a fuentes de corriente NMOS:



□ *Múltiples fuentes y sumideros de corriente*

Generalmente, en cualquier circuito se necesitan múltiples fuentes que absorban y entreguen corriente. Éstas se puede construir a partir de una única fuente de corriente:



$$I_{OUT1} = I_{REF} \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_R}$$

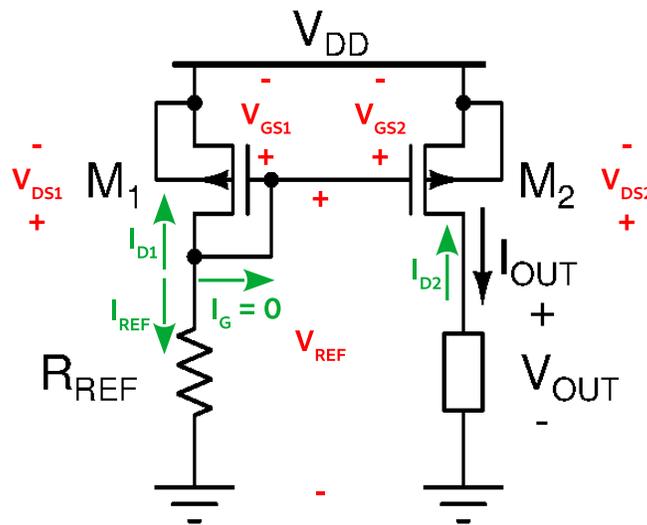
$$I_{OUT2} = I_{REF} \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_R}$$

$$I_{OUT4} = I_{OUT1} \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_3} = I_{REF} \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_3} \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_R}$$



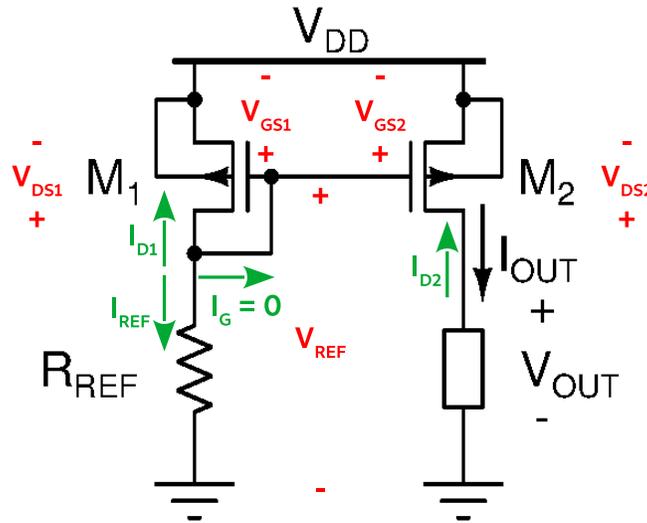
□ ¿Cómo se implementa  $I_{REF}$ ?

La forma más sencilla es reemplazar la fuente ideal por una resistencia ( $R_{REF}$ ).



Conociendo  $I_{REF}$ , se despeja  $V_{REF}$  y el cálculo de  $R_{REF}$  es muy sencillo:

$$V_R = V_{REF} = R_{REF} I_{REF} \Rightarrow R_{REF} = \frac{V_{REF}}{I_{REF}}$$



Si a partir de un circuito con  $R_{REF}$  conocido debemos calcular  $I_{REF}$ , debemos resolver la malla de referencia:

$$V_{DD} + V_{GS} - V_{REF} = 0$$

$$V_{REF} = I_{REF} R_{REF} = -I_{D1} R_{REF}$$

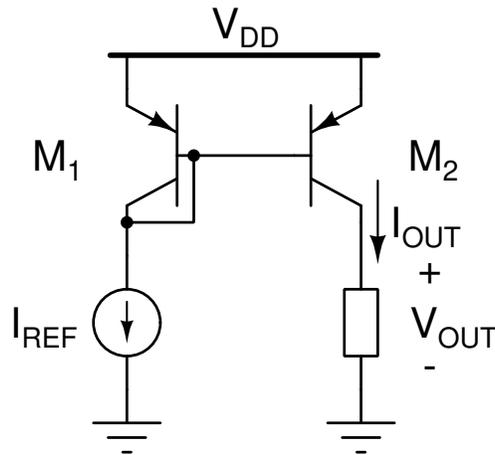
$$I_{D1} = -\frac{1}{2} \mu_p C'_{ox} \left( \frac{W}{L} \right)_1 (V_{GS} - V_T)^2$$

$$V_{DD} + V_{GS} - \frac{1}{2} \mu_p C'_{ox} \left( \frac{W}{L} \right)_1 (V_{GS} - V_T)^2 R_{REF} = 0$$

Se resuelve la ecuación cuadrática para obtener  $V_{GS}$ , nos quedamos con la única solución coherente y luego calculamos  $I_{REF} = -I_{D1}$ .

□ *Copia de corriente con TBJ*

Veamos un ejemplo con transistores PNP.



En este caso, la relación de corrientes ( $I_{OUT}/I_{REF}$ ) se da por la relación de áreas entre los TBJ ( $A_2/A_1$ )

$$V_{BE1} = V_{BE2} \Rightarrow J_{C1} = J_{C2}$$

$$I_{REF} = -(I_{C1} + I_{B1} + I_{B2})$$

En MAD:  $I_C = \beta I_B$ .

$$I_{REF} = -(I_{C1} + \frac{I_{C1}}{\beta} + \frac{I_{C2}}{\beta})$$

$$I_C = A J_C \Rightarrow I_{C1} = A_1 \frac{I_{C2}}{A_2}$$

$$\Rightarrow I_{OUT} = -I_{C2} = \frac{I_{REF}}{\frac{A_1}{A_2} + \frac{1}{\beta} \frac{A_1}{A_2} + \frac{1}{\beta}} \approx \frac{A_2}{A_1} I_{REF}$$

## Principales conclusiones

- Se puede implementar un amplificador con utilizando un MOSFET: Amplificador Source Común.
- Calculamos sus parámetros:  $A_{vo}$ ;  $R_{IN}$ ;  $R_{OUT}$ .
- Estudiamos las relaciones de compromiso que existen en su implementación y sus límites de funcionamiento para evitar la distorsión.
- Polarizar un source común polarizado con una fuente de corriente facilita una polarización estable y puede mejorar su amplificación.
- Una copia de corriente se puede obtener a partir de una fuente de corriente con un circuito *copia de corriente espejo*.
- Se pueden obtener múltiples fuentes o sumideros de corriente, a partir de una sola fuente de corriente de referencia.
- La “calidad” de estas fuentes de corriente se basa en que en la tecnología de circuitos integrados dispone de transistores “bien apareados” dentro de un mismo chip, es decir: misma temperatura, mismo  $V_T$ , mismo  $t_{ox}$  y relación controlable de  $W/L$ .

# Clase 20<sup>1</sup> - CMOS (parte I)

## El inversor

### Contenidos:

1. Introducción a la electrónica digital
2. El inversor CMOS
3. Consumo de potencia dinámica de un inversor
4. Tiempo de propagación de un inversor

### Lectura recomendada:

- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 5, §§5.2–5.4.
- Sedra, Smith, “Microelectronic Circuits”, Ch. 10 §§10.2.

---

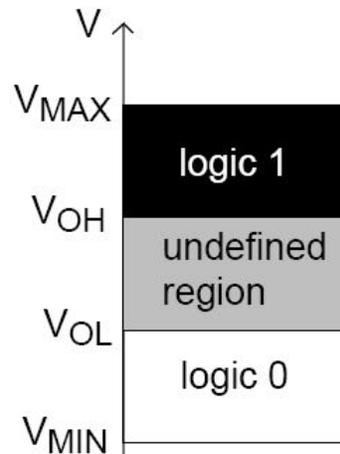
<sup>1</sup>Esta clase es una traducción y compilación, realizada por los docentes del curso “Dispositivos Semiconductores - FIUBA”, de las hechas por el prof. Jesus A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits -MIT”. Cualquier error debe adjudicarse a la traducción.

## Preguntas disparadoras

- ¿Cuáles son los parámetros fundamentales de un inversor?
- ¿Cómo funciona un inversor CMOS?
- ¿Cómo puede estimarse la "velocidad" de un inversor CMOS?
- ¿Cuánta potencia consume un inversor CMOS?

# 1. Introducción a la electrónica digital

En la electrónica digital la información se representa mediante dos rangos distintos de tensión:

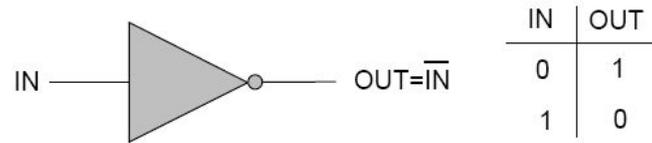


- *0 lógico*:  $V_{MIN} \leq V < V_{OL}$
- *1 lógico*:  $V_{OH} < V \leq V_{MAX}$
- *valor lógico indefinido*:  $V_{OL} \leq V \leq V_{OH}$ .

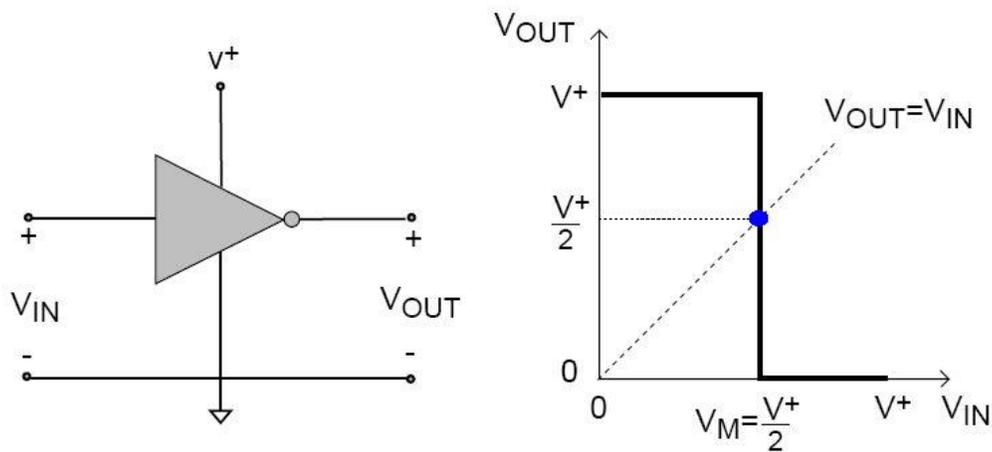
Las operaciones lógicas se realizan mediante *compuertas lógicas*: NOT, AND, OR, XOR, etc.

La operación más elemental:  $\Rightarrow$  *inversión*

## □ Inversor ideal:



Representación circuital y función ideal de transferencia:



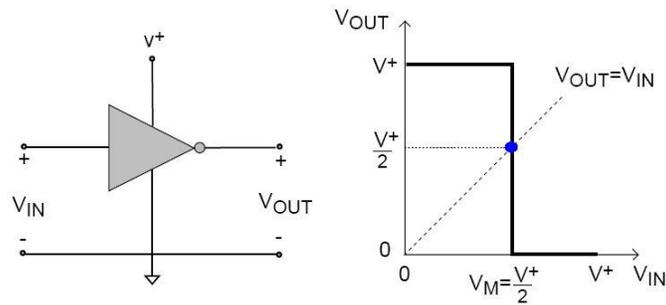
Definimos *punto de conmutación* o *umbral lógico*:

$V_M \equiv$  tensión de entrada para la cual  $V_{OUT} = V_{IN}$

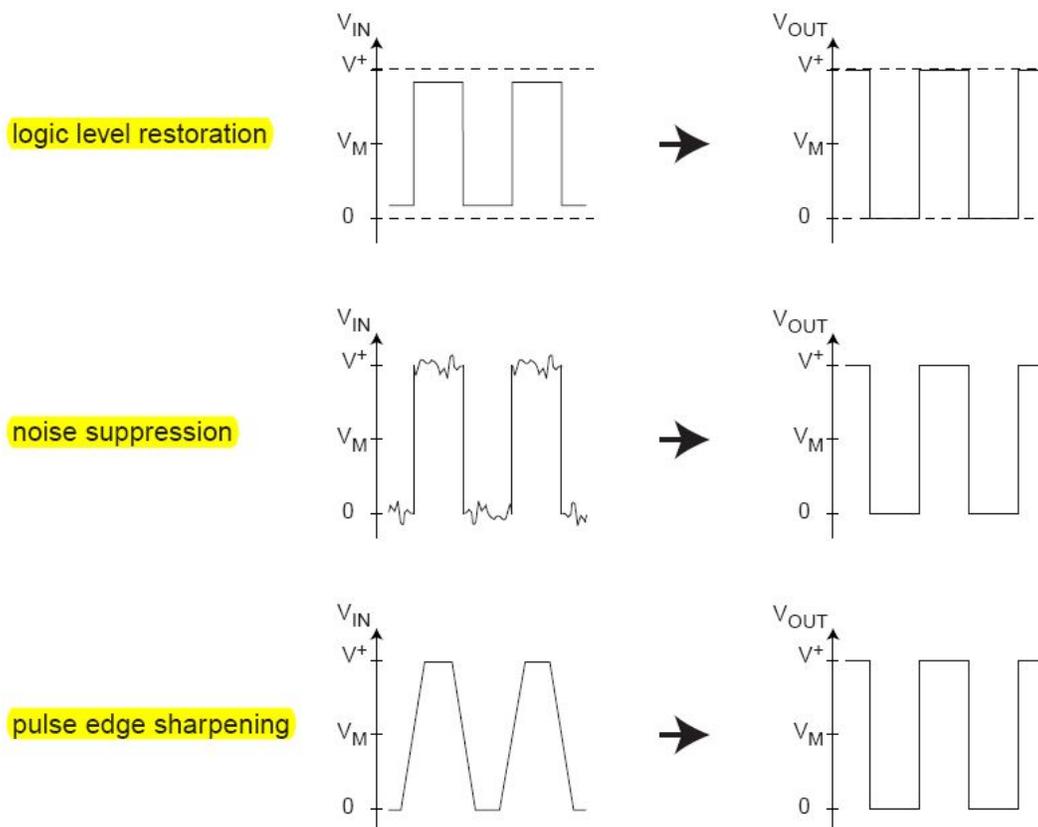
- Para  $0 \leq V_{IN} < V_M \Rightarrow V_{OUT} = V^+$

- Para  $V_M < V_{IN} \leq V^+ \Rightarrow V_{OUT} = 0$

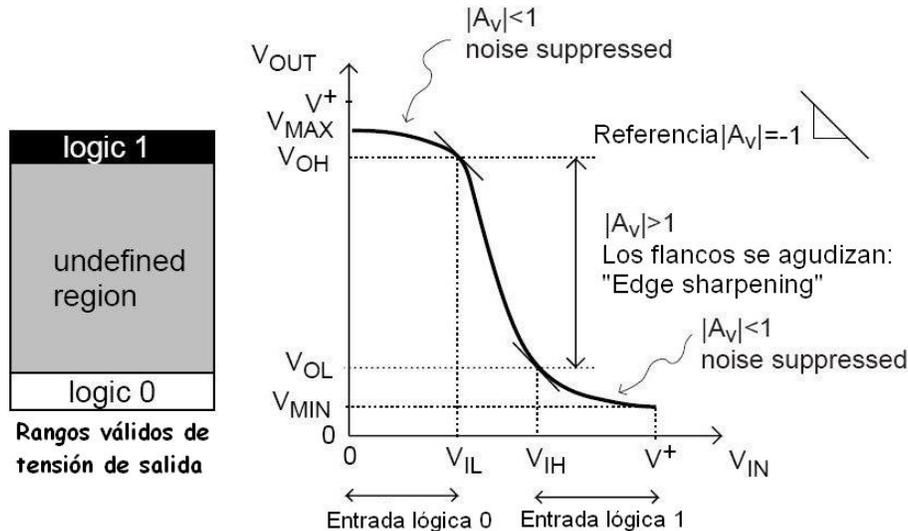
## Propiedad fundamental de un inversor: *regeneracion de la señal*



Un inversor tiene dos estados lógicos de salida bien definidos ( $0$  o  $V^+$ ) incluso con ruido en  $V_{IN}$ :



## □ Inversor “Real”:



- *Rango de entrada válido para 0 o 1 lógico:*

- \*  $V_{IL} \equiv$  máx. tensión de entrada considerada 0 lógico

- \*  $V_{IH} \equiv$  mín. tensión de entrada considerada 1 lógico

Ambos casos se definen en donde  $A_v = \frac{dV_{OUT}}{dV_{IN}} = -1$

- *Rango de salida válido para 0 lógico:*

- \*  $V_{MIN} \equiv$  tensión de salida para  $V_{IN} = V^+$

- \*  $V_{OL} \equiv$  tensión de salida para  $V_{IN} = V_{IH}$

- *Rango de salida válido para 1 lógico:*

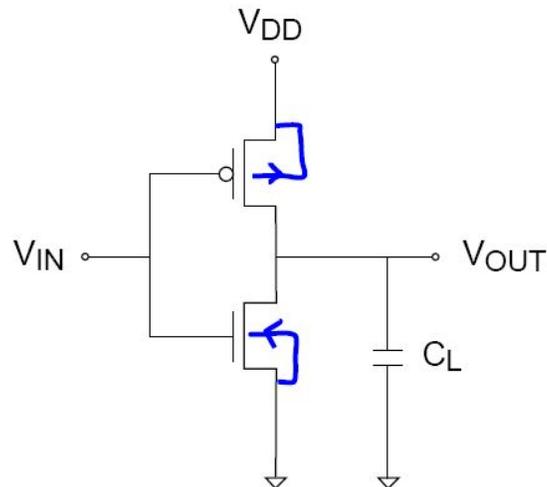
- \*  $V_{OH} \equiv$  tensión de salida para  $V_{IN} = V_{IL}$

- \*  $V_{MAX} \equiv$  tensión de salida para  $V_{IN} = 0$

Clave para la **regeneración de señal**: elevada  $|A_v|$  en la región indefinida y baja fuera de ella.

## 2. El inversor CMOS

Circuito esquemático:



Este dispositivo puede implementarse solo en tecnología MOS complementaria (CMOS) ya que requiere un transistor de cada tipo.

Principio de funcionamiento:

- $V_{IN} = 0 \Rightarrow V_{OUT} = V_{DD}$

$$\begin{aligned} V_{GSn} = 0 < V_{Tn} & \Rightarrow \text{NMOS OFF} \\ V_{SGp} = V_{DD} > -V_{Tp} & \Rightarrow \text{PMOS ON} \end{aligned}$$

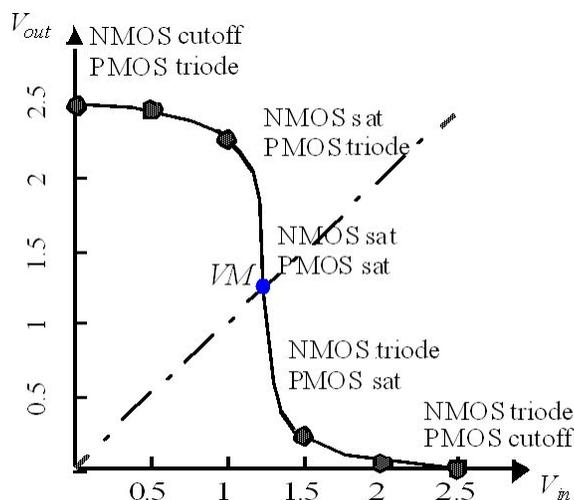
- $V_{IN} = V_{DD} \Rightarrow V_{OUT} = 0$

$$\begin{aligned} V_{GSn} = V_{DD} > V_{Tn} & \Rightarrow \text{NMOS ON} \\ V_{SGp} = 0 < -V_{Tp} & \Rightarrow \text{PMOS OFF} \end{aligned}$$

**No consume potencia cuando la salida está fija en un estado lógico:**

$0: V_{DSn} = 0\text{ V}, I_{Dp} = 0\text{ A}; \quad 1: V_{SDp} = 0\text{ V}, I_{Dn} = 0\text{ A}.$

Función de transferencia:



★  $I_D = 0$  cuando  $V_{in} = 0$  ó  $V_{in} = V_{DD}$

★ Logica “rail-to-rail”:  $V_{out}$  llega a 0 y a  $V_{DD}$

★ Elevada  $|A_v|$  en cercanías de  $V_M$



$$V_M = \frac{V_{Tn} + \sqrt{\frac{k_p}{k_n}}(V_{DD} + V_{Tp})}{1 + \sqrt{\frac{k_p}{k_n}}}$$

- Caso simétrico:  $k_n = k_p \Leftrightarrow V_M = \frac{V_{DD}}{2}$ , lo cual implica:

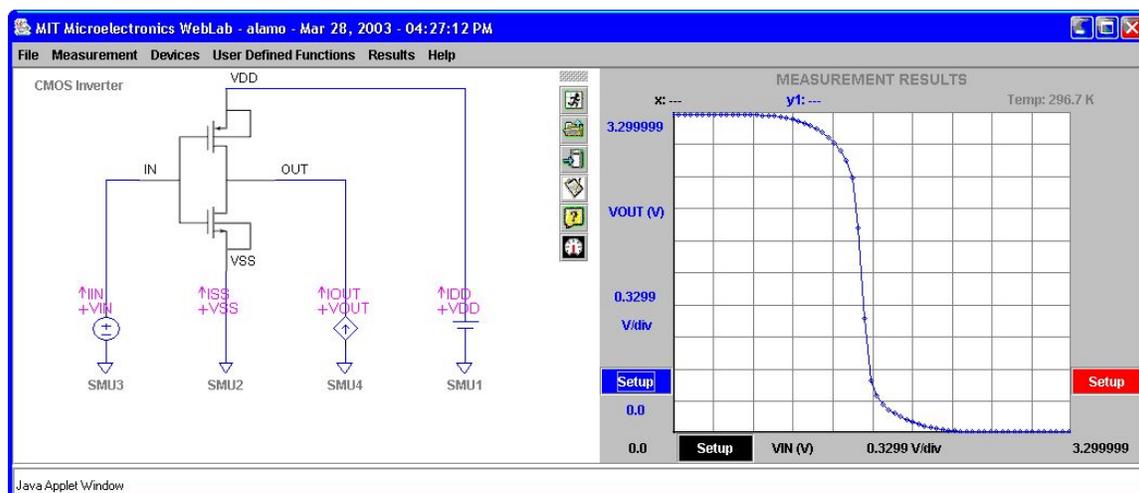
$$\frac{k_p}{k_n} = 1 = \frac{\frac{W_p}{L_p} \mu_p C'_{ox}}{\frac{W_n}{L_n} \mu_n C'_{ox}} \simeq \frac{\frac{W_p}{L_p} \mu_p}{\frac{W_n}{L_n} 2 \mu_p} \Rightarrow \frac{W_p}{L_p} \simeq 2 \frac{W_n}{L_n}$$

Depende de parámetros constructivos  $W$  y  $L$ .

- Caso asimétrico:  $k_n \gg k_p$ , o  $k_n \ll k_p$

Tarea para el hogar

- Transferencia característica de un inversor CMOS en el WebLab:

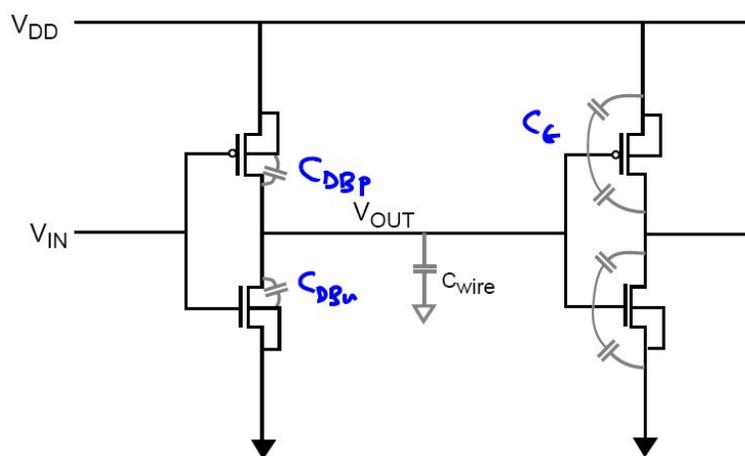


### 3. Carga de un inversor CMOS

En un circuito digital CMOS la salida de cualquier compuerta está cargada por:

- *Compuertas lógicas subsiguientes*: debe considerarse la capacidad de entrada de cada transistor conectado
- *Capacidad del cable de interconexión* que conecta la salida con la entrada de las siguientes compuertas
- *Capacitancia Drain-Body propia*

$$C_L = C_G + C_{wire} + C_{DBn} + C_{DBp}$$



[Ver detalles en Howe & Sodini §5.4.3]

En CMOS las cargas *siempre* son *capacitivas*.

## 4. Consumo dinámico de potencia del inversor CMOS

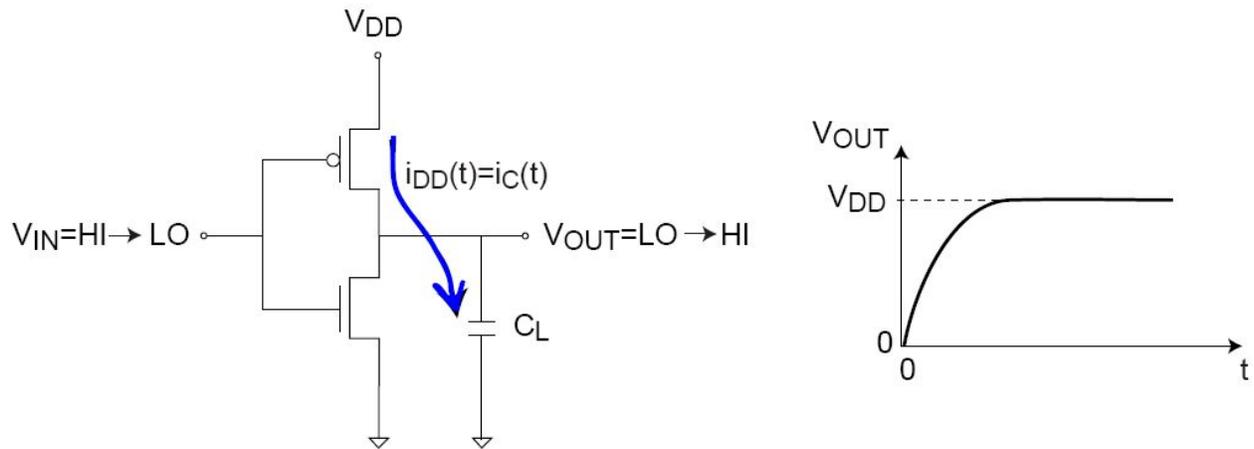
- En cualquiera de los dos estados uno de los transistores está apagado  $\Rightarrow$  No hay disipación estática de potencia.
- ¿Pero hay disipación dinámica de potencia?

Durante cada transición completa,  $C_L$  es cargado a  $V_{DD}$  y luego descargado a 0

$\Rightarrow$  Se disipa energía

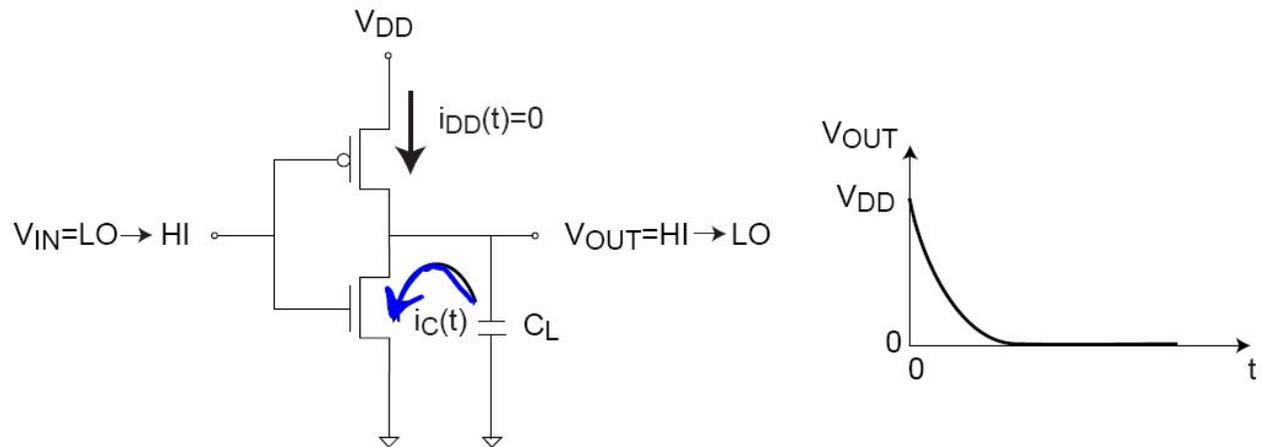
$\Rightarrow$  frecuencia de clock  $\uparrow \Rightarrow$  potencia disipada  $\uparrow$

□ Disipación dinámica de potencia al cargar  $C_L$



- La batería aporta energía ( $I_{bateria} \neq 0 \text{ A}$ )
- El capacitor se carga
- PMOS disipa energía ( $I_{Dp} \neq 0 \text{ A}$  y  $V_{DSp} \neq 0 \text{ V}$ )
- NMOS no disipa energía ( $I_{Dn} = 0 \text{ A}$ )

□ Disipación dinámica de potencia al descargar  $C_L$



- La batería NO aporta energía ( $I_{bateria} = 0 \text{ A}$ )
- El capacitor se descarga
- PMOS no disipa energía ( $I_{Dp} = 0 \text{ A}$ )
- NMOS disipa energía ( $I_{Dn} \neq 0 \text{ A}$  y  $V_{DSn} \neq 0 \text{ V}$ )

□ Lo importante es la *Energía Disipada* en cada transición

<b>Energía</b>	<b>Transición</b> (salida)	
	L→H	H→L
aportada por la batería	$C_L V_{DD}^2$	0
que se almacena en $C_L$	$\frac{1}{2} C_L V_{DD}^2$	$-\frac{1}{2} C_L V_{DD}^2$
<b>disipada</b> en el NMOS	0	$\frac{1}{2} C_L V_{DD}^2$
<b>disipada</b> en el PMOS	$\frac{1}{2} C_L V_{DD}^2$	0

□ La *Energía Disipada* en el ciclo completo es

$$E_D = E_{H \rightarrow L} + E_{L \rightarrow H} = \frac{1}{2} C_L V_{DD}^2 + \frac{1}{2} C_L V_{DD}^2$$

$$E_D = C_L V_{DD}^2$$

□ La *Disipación de potencia*

Si el ciclo de conmutación completo toma lugar  $f$  veces por segundo:

$$P_D = f E_D = f C_L V_{DD}^2$$

Relación de compromiso fundamental entre velocidad de conmutación y consumo de potencia.

Principales dependencias de la potencia dinámica:

$$P_D = fE_D = fC_LV_{DD}^2$$

- $f \uparrow \Rightarrow P_D \uparrow$ , carga y descarga de  $C_L$  más rápidamente
- $C_L \uparrow \Rightarrow P_D \uparrow$ , mas carga a distribuir
- $V_{DD} \uparrow \Rightarrow P_D \uparrow\uparrow$ , mas carga a distribuir

Para poder aumentar la frecuencia de trabajo, manteniendo el consumo (temperatura), se requiere:

- Bajar  $C_L$ , equivalente a achicar los transistores.
- Bajar  $V_{DD}$ , tiene doble peso, por tener una dependencia cuadrática.

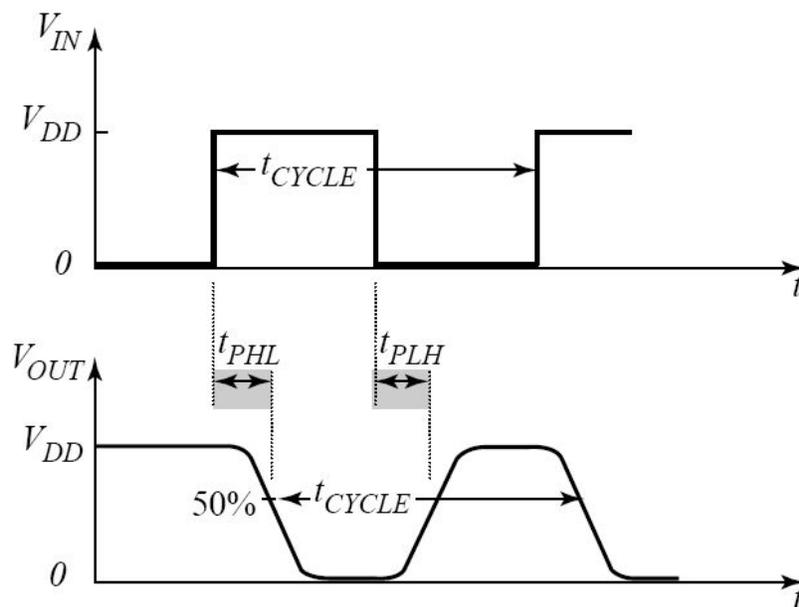
## 5. Tiempo de propagación del inversor CMOS

Tiempo de propagación: retraso entre las señales de entrada y salida de una compuerta; figura de merito clave de la velocidad.

Para una tecnología del nodo 180 nm (largo mínimo del canal) la demora de propagación (delay) típica de un inversor es  $t_p \sim 30$  ps.

Los sistemas lógicos complejos tienen 20-50 compuertas en serie por cada ciclo de clock ( $t_{clock(min)} \sim 1.5$  ns) lo cual da una ( $f_{(max)} \sim 600$  MHz).

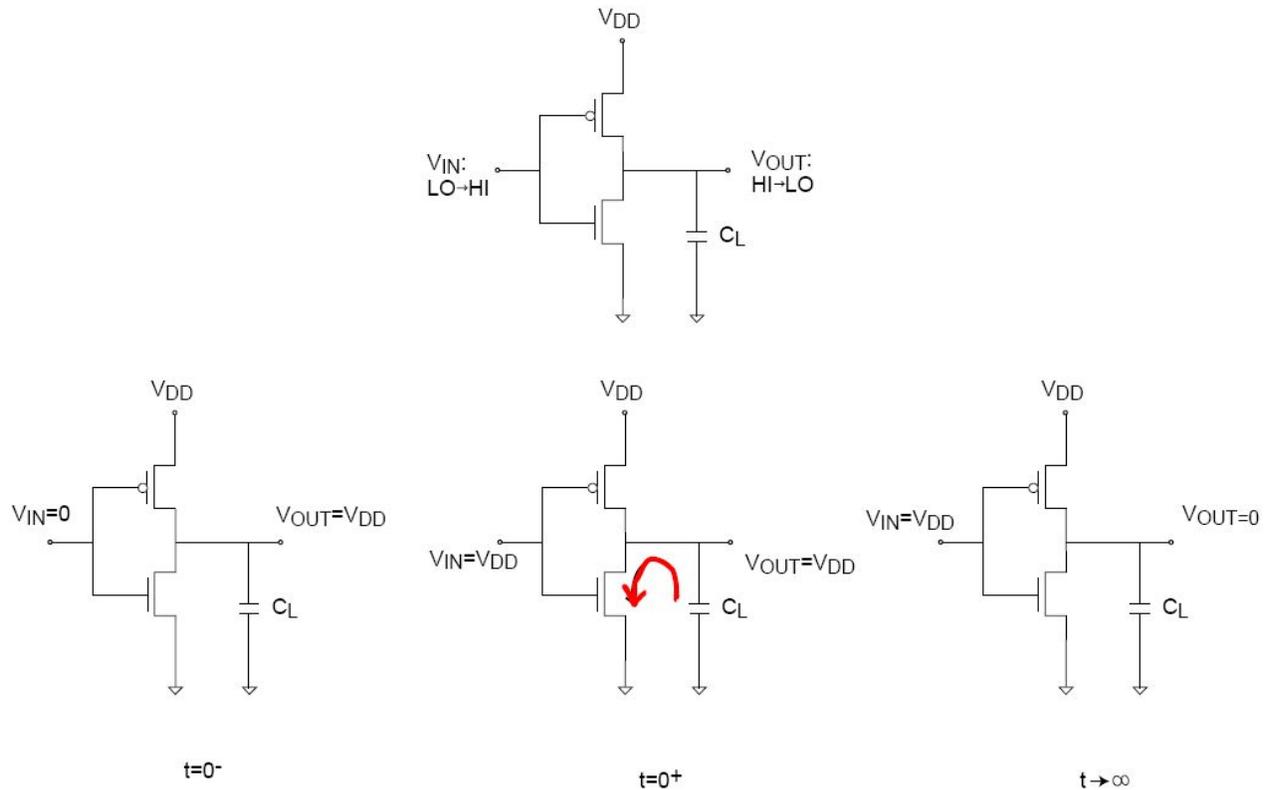
Estimacion de  $t_p$ : utilizamos una señal  $V_{IN}$  cuadrada:



Tiempo de propagación promedio:

$$t_p \triangleq \frac{1}{2}(t_{PHL} + t_{PLH})$$

□ Tiempo de propagación de alto a bajo ( $t_{PHL}$ ):



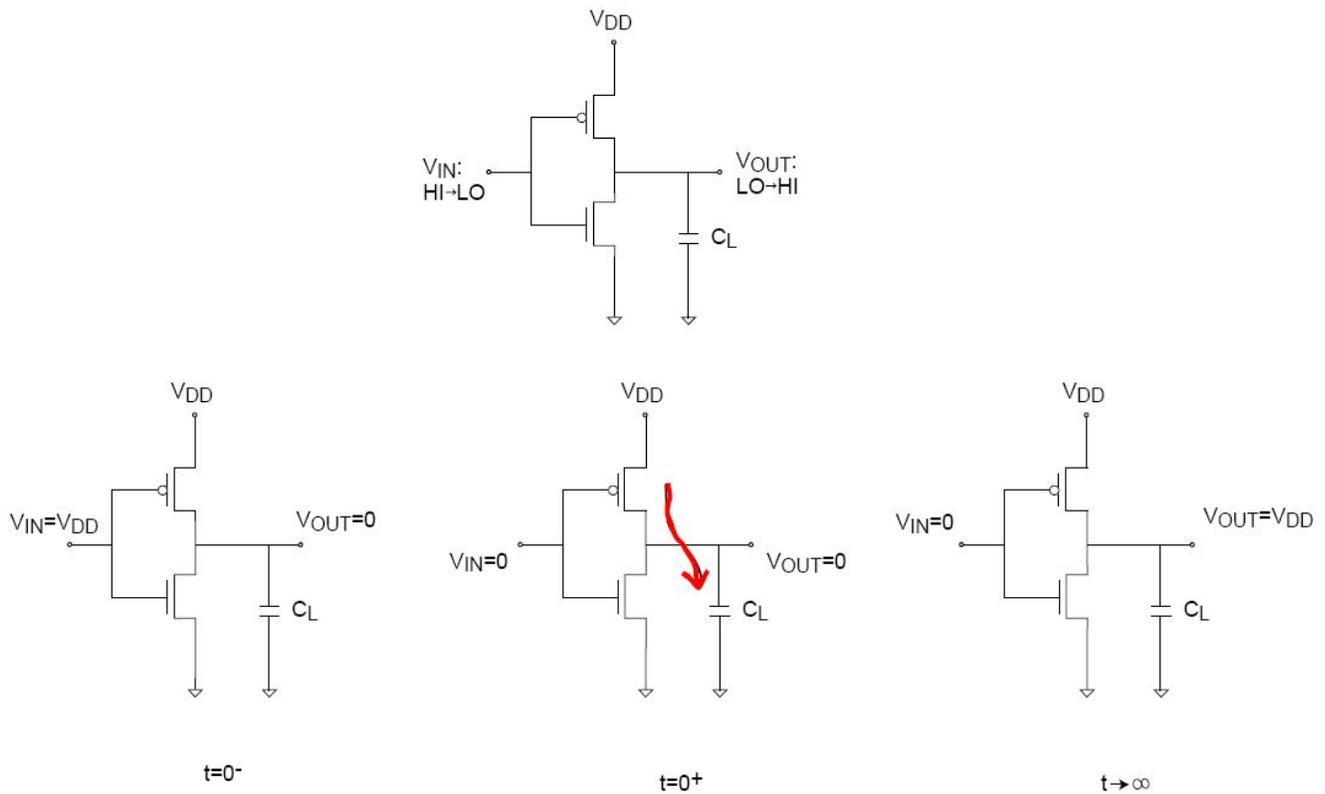
Durante los primeros momentos de descarga

- el capacitor está cargado a  $C_L V_{DD}$ ,
- el NMOS está saturado (**conduce**, corriente cte.) y
- el PMOS está cortado (**no conduce**).

Tiempo para descargar a la *mitad* a  $C_L$ :

$$t_{PHL} \simeq \frac{\frac{1}{2} \text{ carga inicial de } C_L}{\text{corriente de descarga}} = \frac{\frac{1}{2} C_L V_{DD}}{k_n (\underbrace{V_{GSn}}_{V_{DD}} - V_{Tn})^2}$$

□ Tiempo de propagación de bajo a alto ( $t_{PLH}$ ):



Durante los primeros momentos de descarga:

- el capacitor está descargado
- el PMOS está saturado (**conduce**, corriente cte.) y
- el NMOS está cortado (**no conduce**).

Tiempo para descargar a la *mitad* a  $C_L$ :

$$t_{PLH} \simeq \frac{\frac{1}{2} \text{ carga final de } C_L}{\text{corriente de carga}} = \frac{\frac{1}{2} C_L V_{DD}}{k_p \underbrace{(V_{GS_p} - V_{Tp})}_{-V_{DD}}^2}$$

Considerando que  $2\mu_p = \mu_n$ ,  $V_{Tp} \simeq -V_{Tn}$  y el caso simétrico:  $k_n = k_p$ , entonces  $L_p = L_n$ ,  $W_p = 2W_n$  y recordando que  $t_p = \frac{1}{2}(t_{PHL} + t_{PLH})$ , obtenemos:

$$t_p \simeq \frac{C_L V_{DD}}{\mu_n C'_{ox} \frac{W_n}{L_n} (V_{DD} - V_{Tn})^2}$$

Dependencias fundamentales del tiempo de propagación:

- $V_{DD} \uparrow \Rightarrow t_p \downarrow$

*Motivación para aumentar  $V_{DD}$ .* Se diferencia con el consumo, en donde se busca reducir  $V_{DD}$ .

- $L \downarrow \Rightarrow t_p \downarrow\downarrow$  (también baja  $C_L$ )

*Motivación para reducir tamaño.*

## Conclusiones principales

- Un inversor CMOS no consume potencia estática.
- En un inversor CMOS el nivel de conmutación lógico ( $V_M$ ) está controlado mediante  $W_n$  y  $W_p$ .
- Características fundamentales de un inversor CMOS:
  - Logica “rail-to-rail”:  $V_{out}$  llega a 0 y a  $V_{DD}$
  - Excelentes márgenes de ruido (casi  $V_{DD}/2$ )
  - Potencia dinámica disipada en el CMOS:

$$P_D = f E_D = f C_L V_{DD}^2$$

$$* V_{DD} \uparrow \Rightarrow P_D \uparrow\uparrow$$

$$* C_L \uparrow \Rightarrow P_D \uparrow$$

$$* f \uparrow \Rightarrow P_D \uparrow$$

- Dependencia del tiempo de conmutación:

$$t_p \simeq \frac{C_L V_{DD}}{\frac{W_n}{L_n} \mu_n C'_{ox} (V_{DD} - V_{Tn})^2}$$

$$* V_{DD} \uparrow \Rightarrow t_p \downarrow$$

$$* L \downarrow \Rightarrow t_p \downarrow\downarrow$$

- Costo del proceso de fabricación:

$$* L \downarrow \Rightarrow \text{costo} \uparrow$$

Resolver la relación de compromiso entre velocidad, consumo y costo: ¡Es hacer Ingeniería!

# Clase 20 (parte II)

## Circuitos Digitales CMOS: Lógica Combinacional Estática

Universidad de Buenos Aires  
Facultad de Ingeniería  
86.03 - Dispositivos Semiconductores

5 de agosto de 2020

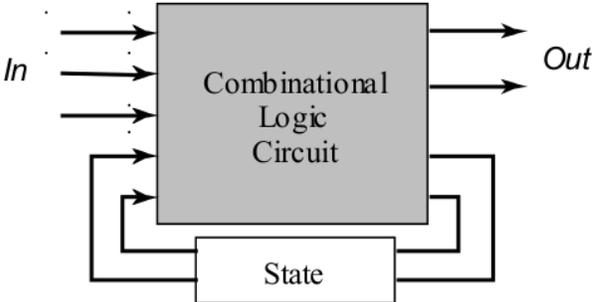
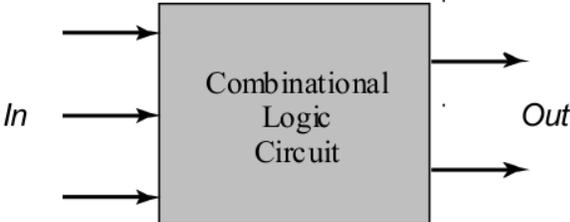
# Contenido

- ▶ Introducción
- ▶ Transistores MOS como llaves
- ▶ Conexión serie-paralelo de llaves MOS
- ▶ Lógica CMOS combinacional

## **Lecturas recomendadas:**

Baker - CMOS design, layout and simulation

# 1. Introducción



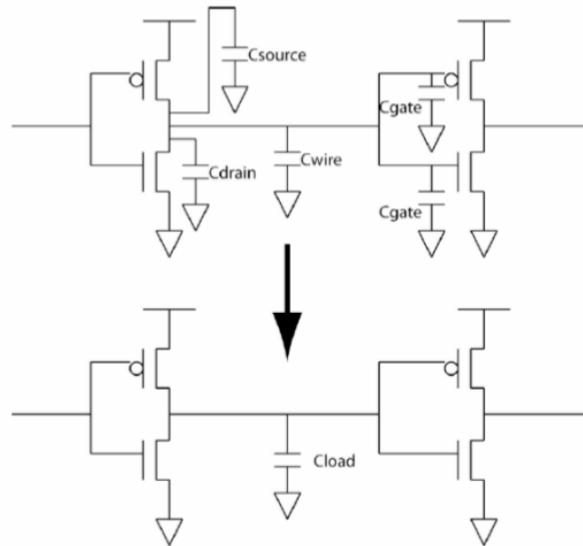
## 2. Hipótesis de trabajo

Supondremos en un principio que existen solo dos valores de tensión posibles:

- ▶  $V_{DD}$ : estado alto (HIGH) o 1 lógico
- ▶  $GND$ : estado bajo (LOW) o 0 lógico

Las transiciones entre un estado y otro (segmento de tiempo en el cual un nodo barre todos los niveles de tensión intermedios) son transitorios de conmutación y se estudiarán cuando se desee calcular el tiempo de propagación, o lo que es equivalente la máxima frecuencia de operación.

### 3. Inversor CMOS



Observaciones:

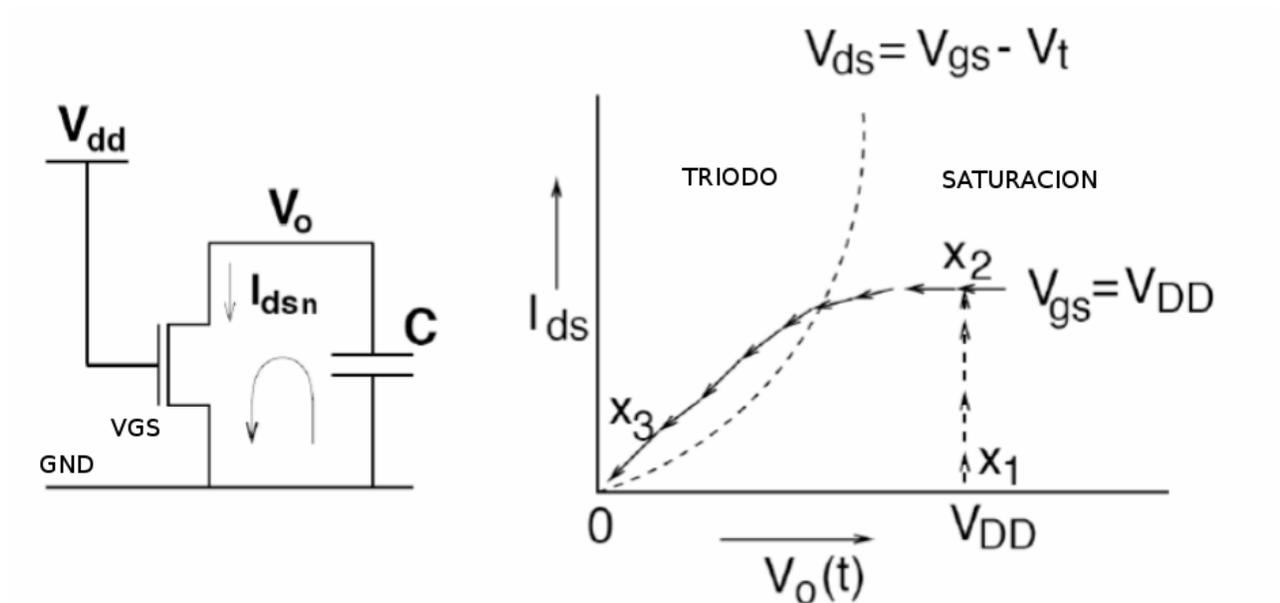
- ▶ La carga del primer inversor es puramente capacitiva:  
 $C_L = C_{DN} + C_{DP} + C_W + C_{GN} + C_{GP}$
- ▶ Cuando  $V_{in} = V_{DD}$  el NMOS conduce y mantiene a  $C_L$  descargado
- ▶ Cuando  $V_{in} = 0$  el PMOS conduce y mantiene a  $C_L$  cargado a  $V_{DD}$

## 4. El MOSFET como llave

Se puede pensar que el transistor MOS tiene dos estados de funcionamiento:

- ▶ Cuando  $V_{GS} > V_T$  existe formación de canal, entonces el transistor conduce (triado o saturación) y se comporta como un camino de baja impedancia.
- ▶ Cuando  $V_{GS} < V_T$  no existe canal, entonces el transistor no conduce (corte) y se comporta como un circuito abierto o de impedancia infinita.

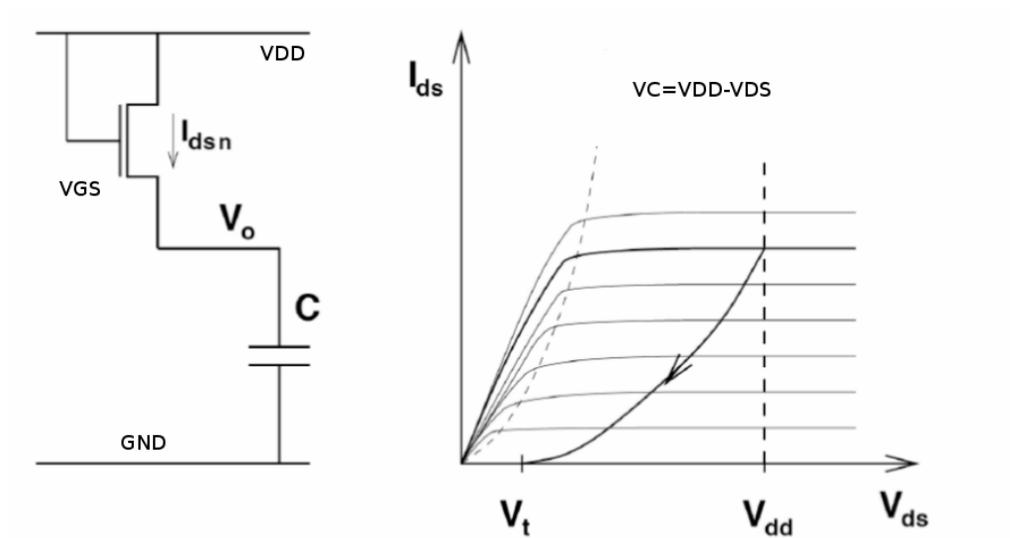
## 5. Descarga de un capacitor con un N-MOSFET



Observación:

- El capacitor se descarga completamente a través del transistor

## 6. Carga de un capacitor con un N-MOSFET



Observación:

- ▶ El capacitor se carga a  $V_{DD} - V_T$

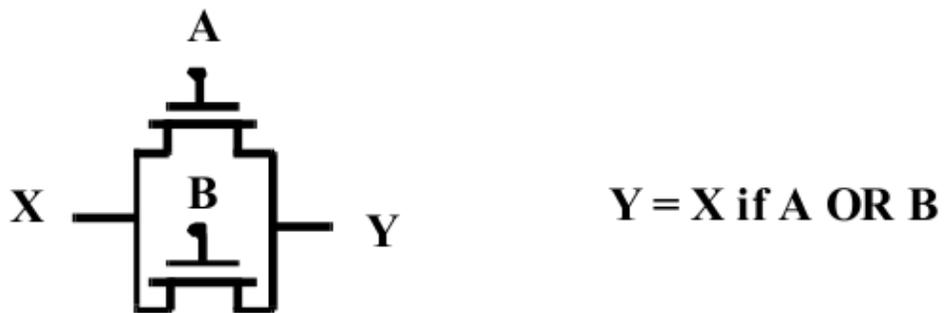
Conclusión:

El N-MOSFET impone un *cero fuerte*, pero un *uno débil*

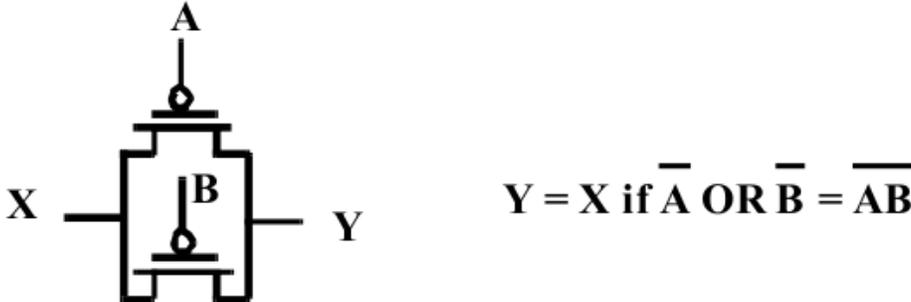
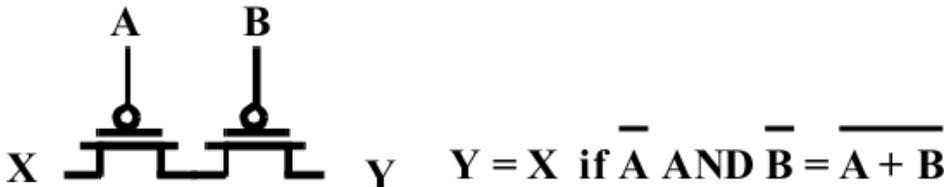




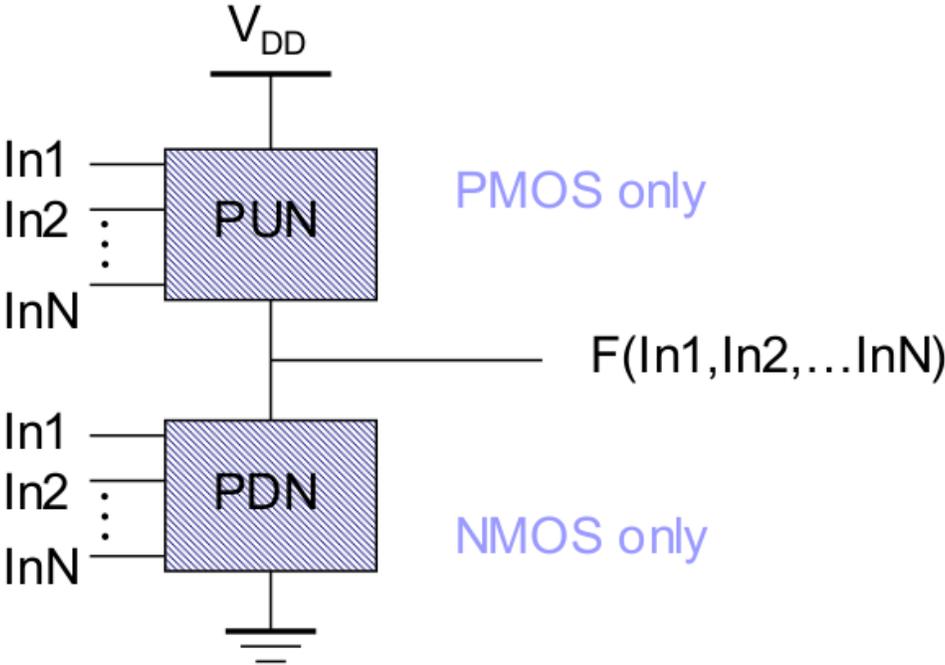
## 9. Conexión serie-paralelo de N-MOSFETs



# 10. Conexión serie-paralelo de P-MOSFETs



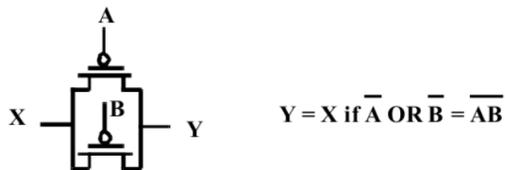
# 11. CMOS: PUN + PDN



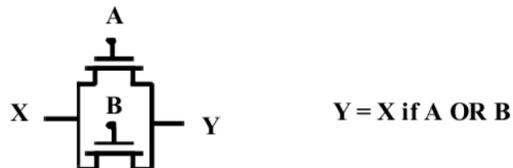
## 12. Complementariedad

Para evitar que exista un camino de conducción entre VDD y GND se definen dos grupos de complementariedad:

Grupo *productos* :



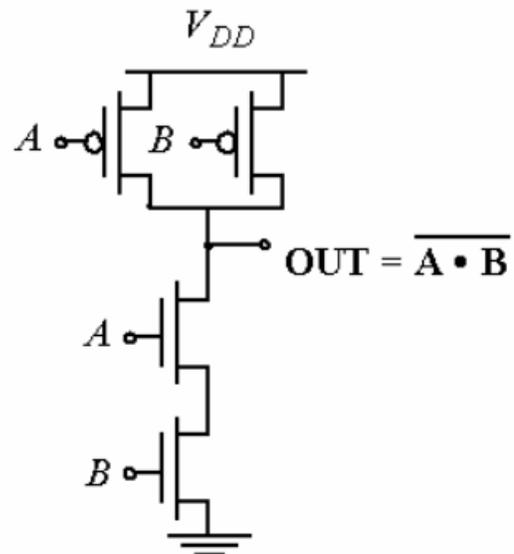
Grupo *sumas* :



## 13. CMOS: Ejemplo de compuerta lógica 1

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Truth Table of a 2 input NAND gate



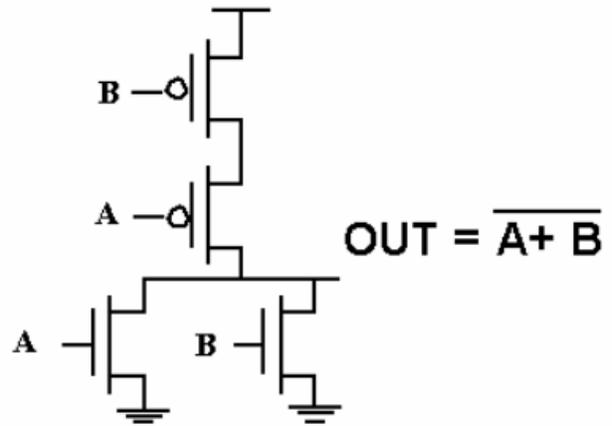
PDN:  $G = A B \Rightarrow$  Conduction to GND

PUN:  $F = \overline{A + B} = \overline{AB} \Rightarrow$  Conduction to  $V_{DD}$

## 13. CMOS: Ejemplo de compuerta lógica 2

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Truth Table of a 2 input NOR gate



## 14. Reglas para síntesis de funciones lógicas

De los ejemplos anteriores podemos desprender una serie de reglas para sintetizar una función lógica:

1. Escribir la función lógica de la siguiente forma:  $F(X) = \text{not}(\text{expresión}(X))$ . Donde  $\text{expresión}(X)$  debe ser una combinación de sumas y productos del conjunto de variables de entrada.
2. La *Red de Pull Down* o *Red N* se puede obtener de la  $\text{expresión}(x)$  considerando que los productos de dicha expresión corresponden a transistores N en configuración serie y que las sumas corresponden a transistores en configuración paralelo.
3. La *Red de Pull Up* o *Red P* se puede obtener de forma complementaria a la Red N. Es decir que los productos de variables en  $\text{expresión}(X)$  corresponden a transistores P en configuración paralelo y las sumas a transistores a transistores en serie.
4. Finalmente conectar la *Red N* entre GND y el nodo de salida, y la *Red P* entre VDD y el nodo de salida, asignando a la compuerta de cada transistor la variable de entrada

## 15. CMOS: Ejemplo de problema de síntesis de compuerta

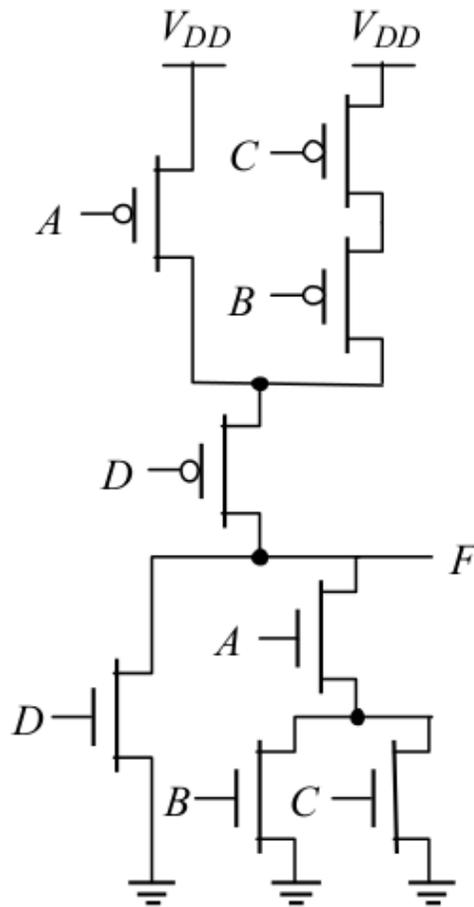
Sintetizar en lógica CMOS estática una compuerta que cumpla la siguiente función lógica:

$$F = \text{not}(A \cdot (B + C) + D)$$

## 16. CMOS: Solución al problema de síntesis de compuerta

Red N: [D] paralelo [(A) serie (B paralelo C)]

Red P: [D] serie [(A) paralelo (B serie C)]



# Clase 20 (parte III)

## Fabricación y Diseño físico CMOS

### Transistores e Inversor CMOS

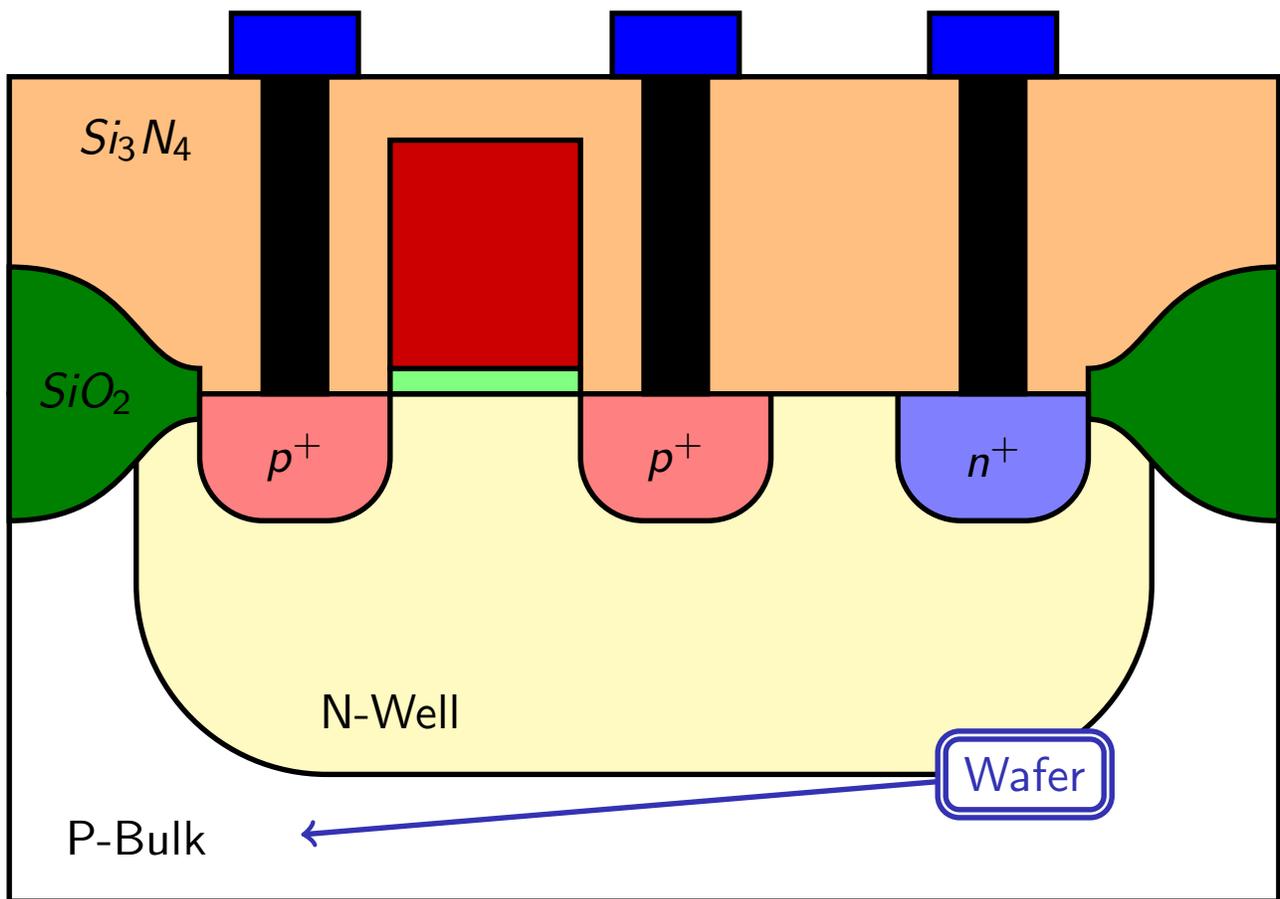
Universidad de Buenos Aires  
Facultad de Ingeniería  
86.03 - Dispositivos Semiconductores

#### Lectura recomendada:

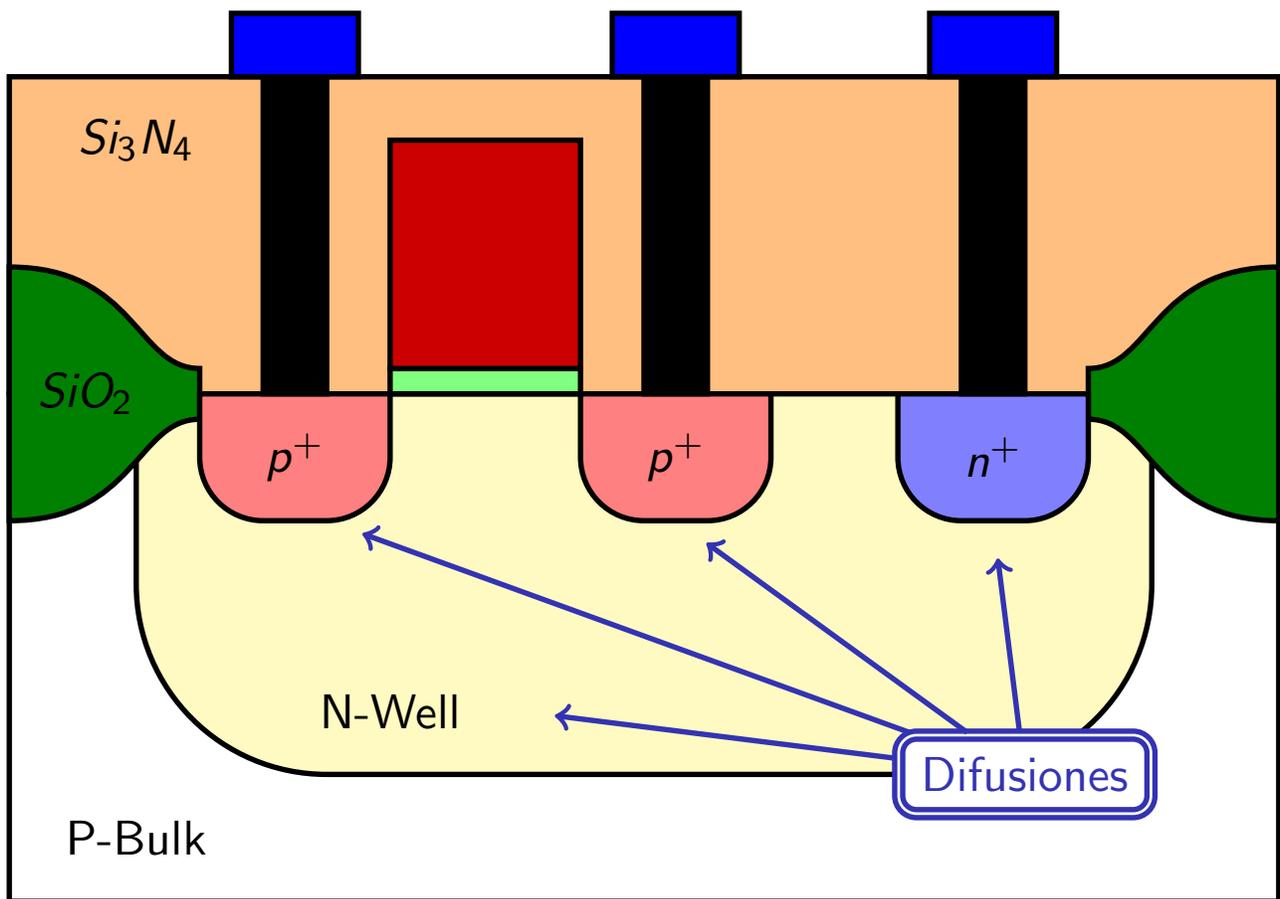
- ▶ Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 2.
- ▶ Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 2, §§2.5.
- ▶ Gray, Hurst, Lewis, Meyer, “Analysis and Design of Analog Integrated Circuits”, Ch. 2, §§2.2;2.9.



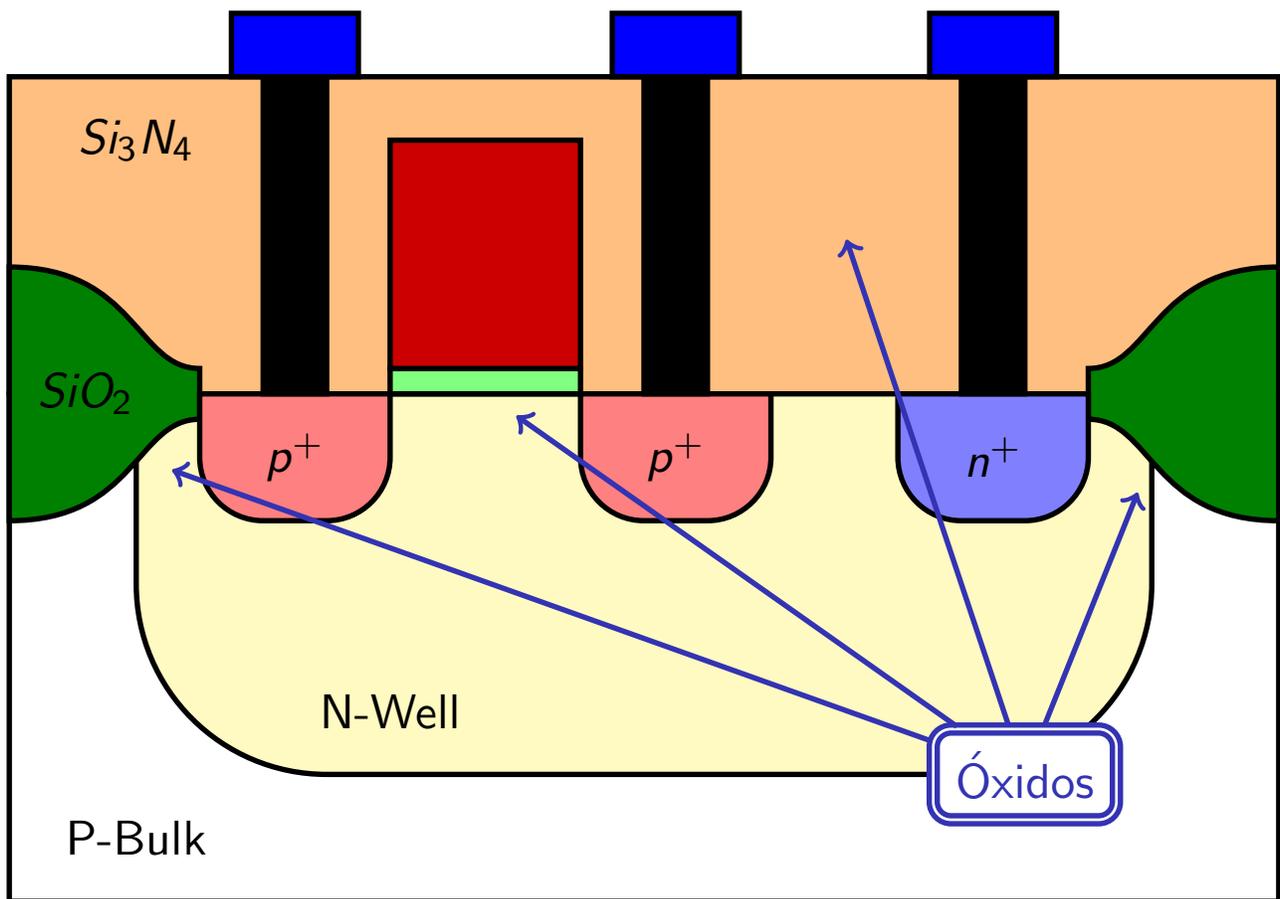
¿Qué necesito para fabricar un transistor MOS?



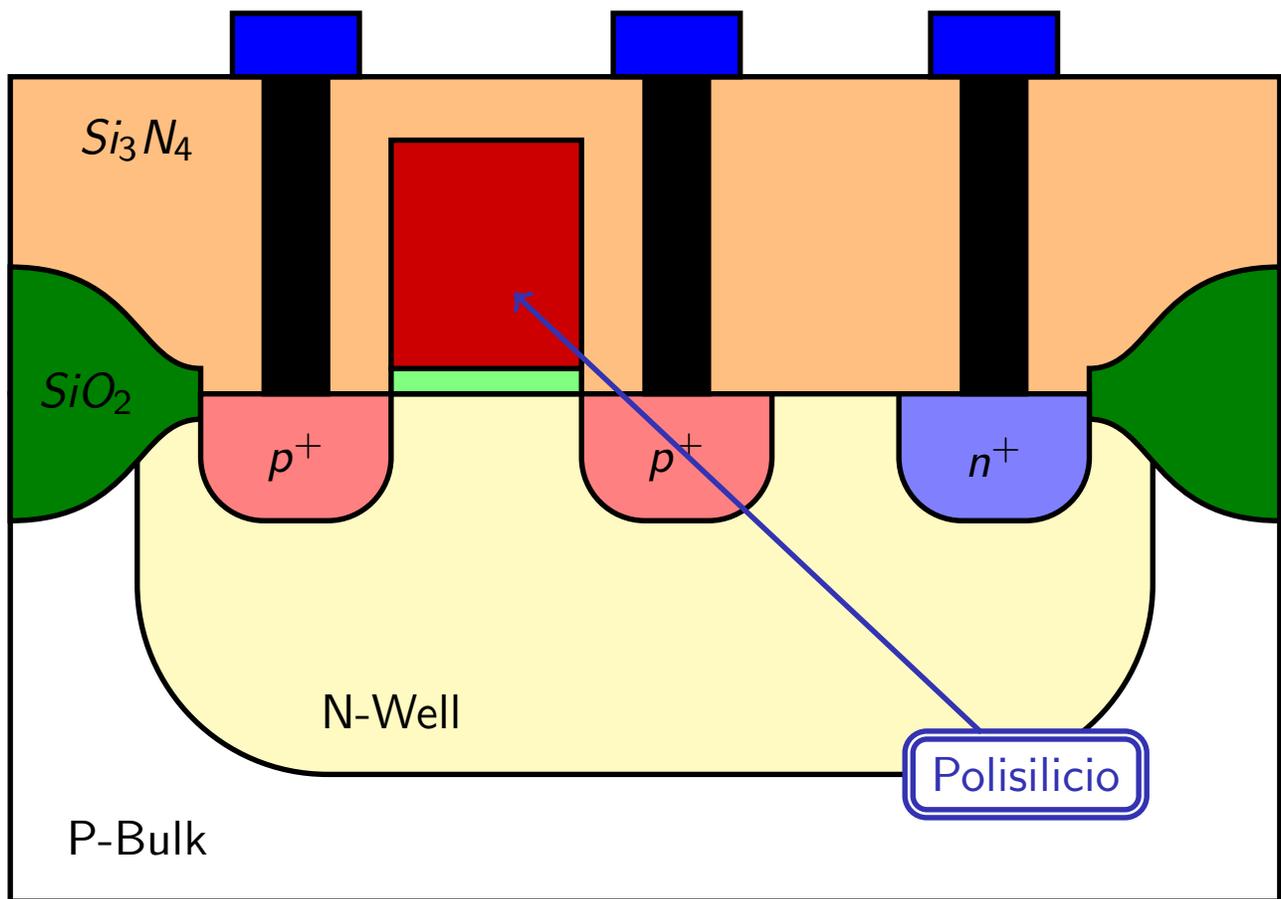
¿Qué necesito para fabricar un transistor MOS?



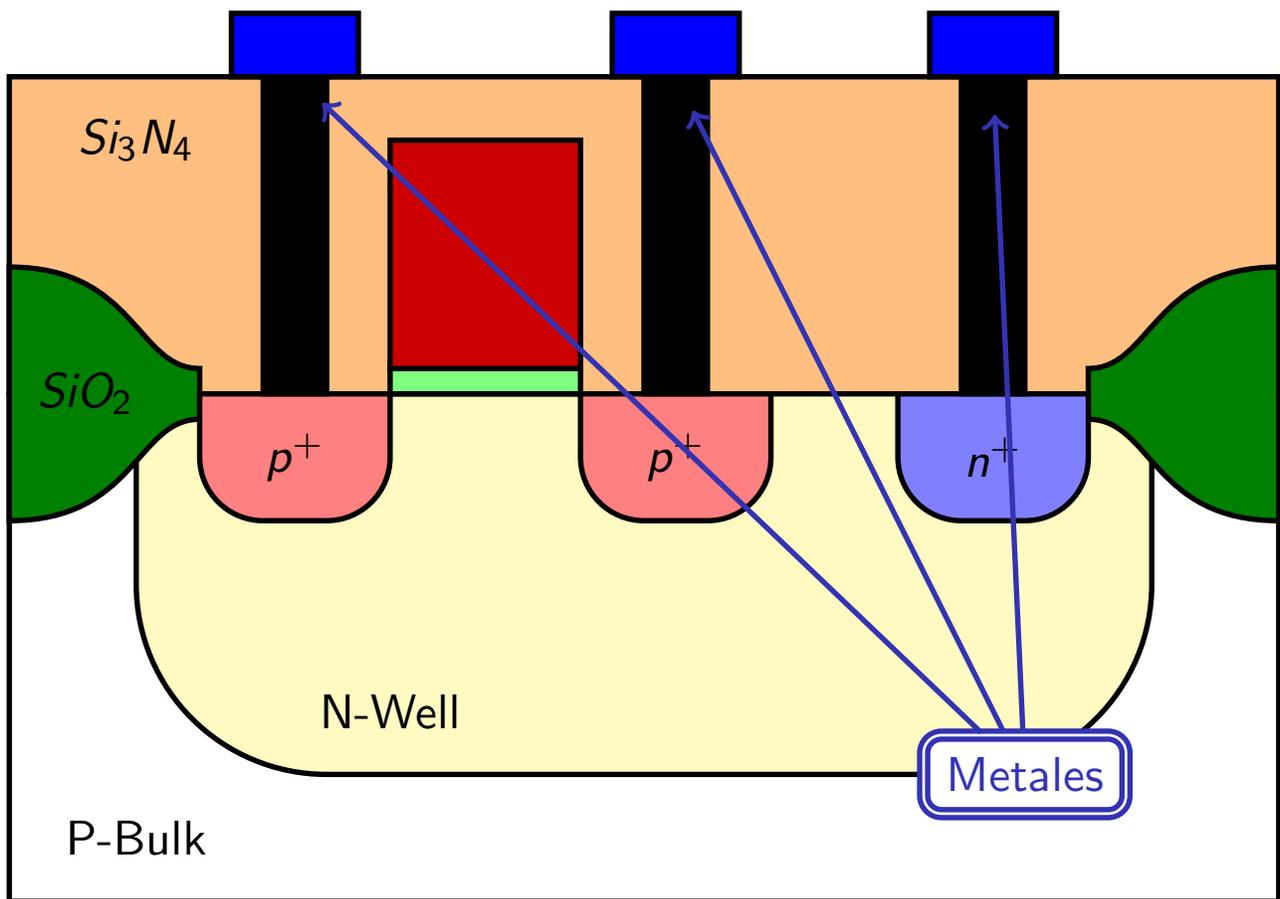
¿Qué necesito para fabricar un transistor MOS?



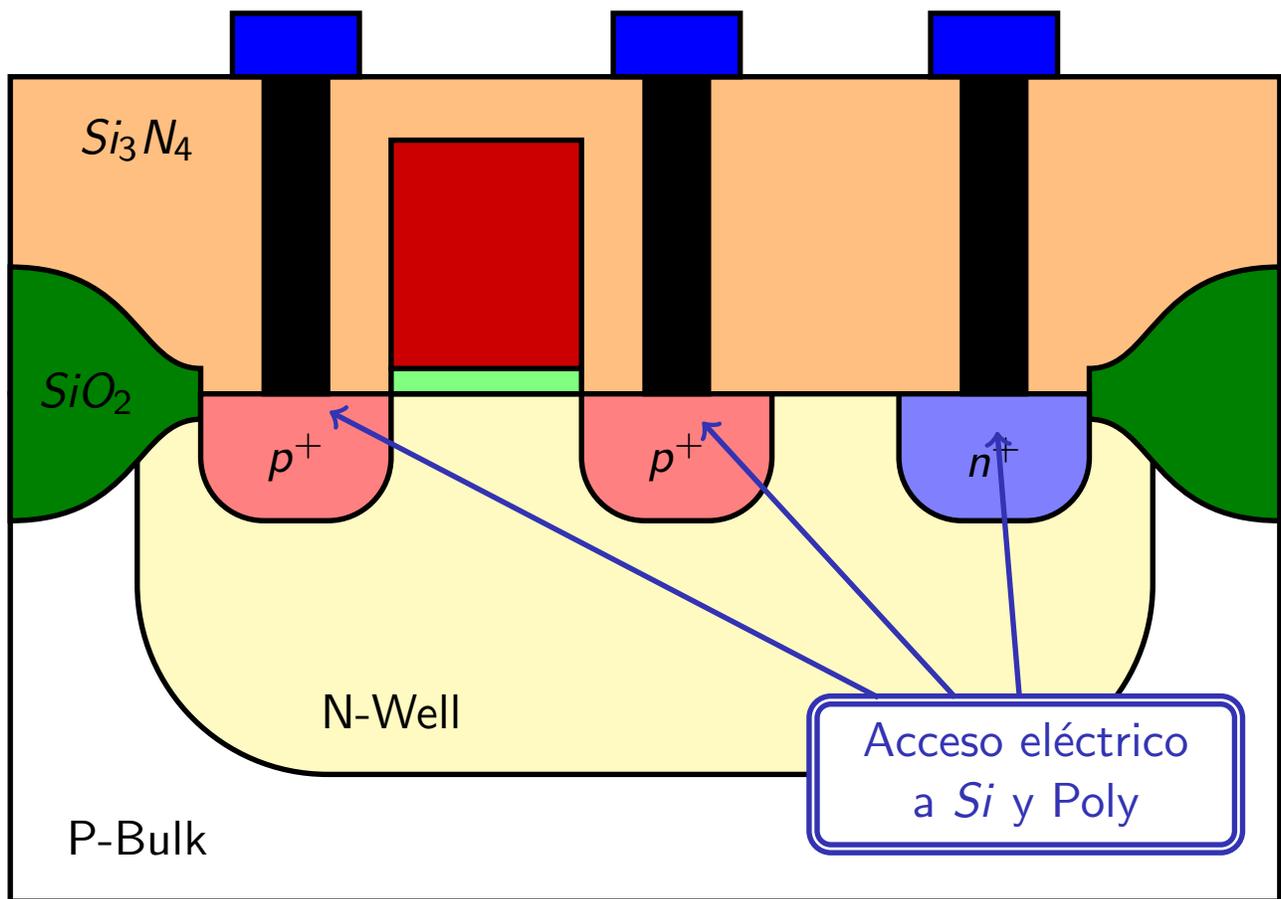
¿Qué necesito para fabricar un transistor MOS?



¿Qué necesito para fabricar un transistor MOS?



¿Qué necesito para fabricar un transistor MOS?



## ¿Qué necesito para fabricar un transistor MOS?

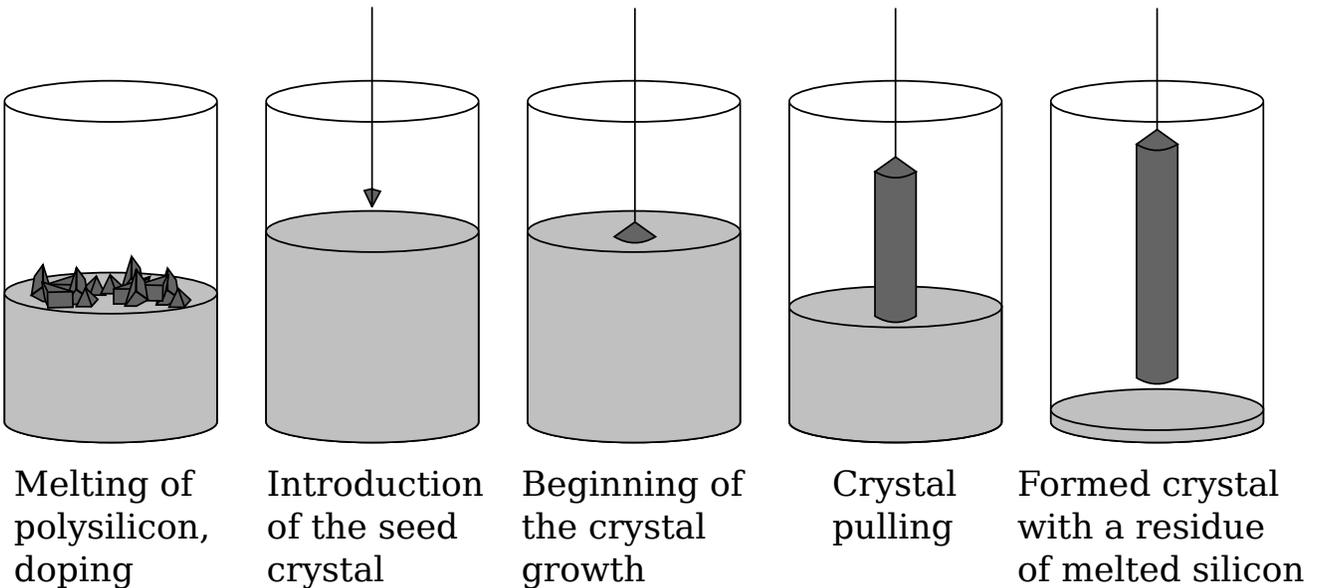
- ▶ Wafer de *Si* de mayor pureza posible
- ▶ Colocar material y removerlo en forma selectiva
  - ▶ Oxidación
  - ▶ Deposición
  - ▶ Litografía
  - ▶ Remoción (Etching)
- ▶ Introducción de impurezas
  - ▶ Difusión
  - ▶ Implantación iónica



# Producción de Silicio puro II

El Wafer

## La técnica Czochralski



Es necesario producir un cilindro de Silicio de altísima pureza (99,9999 %)



# Fotolitografía

- ▶ Es el proceso utilizado para transferir un patrón geométrico a un material fotoresistivo (fotoresist). Se logra gracias a la reacción química entre la luz y el material.
- ▶ Es necesaria para definir las zonas de la superficie donde se encontrarán las difusiones, los contactos, las junturas MOS, etc.
- ▶ Es un proceso que se repite en todas las etapas de fabricación.
- ▶ Este proceso es el mismo que para la confección de PCBs.





















# Oxidación

Cuando el Silicio se expone a un ambiente con oxígeno, se oxida produciendo un aislante.

Es un proceso altamente dependiente de la temperatura y la presión.

## Tipos de oxidación

**Seca** El Si se expone a oxígeno puro. Más lenta y de mejor calidad.

**Húmeda** El Si se expone a vapor de agua. Más rápida.

## Aplicaciones de la oxidación

- ▶ Formación del óxido de compuerta. Se utiliza oxidación seca.
- ▶ Aislante y barrera. Se utiliza oxidación húmeda.











## Diseño de CIs I

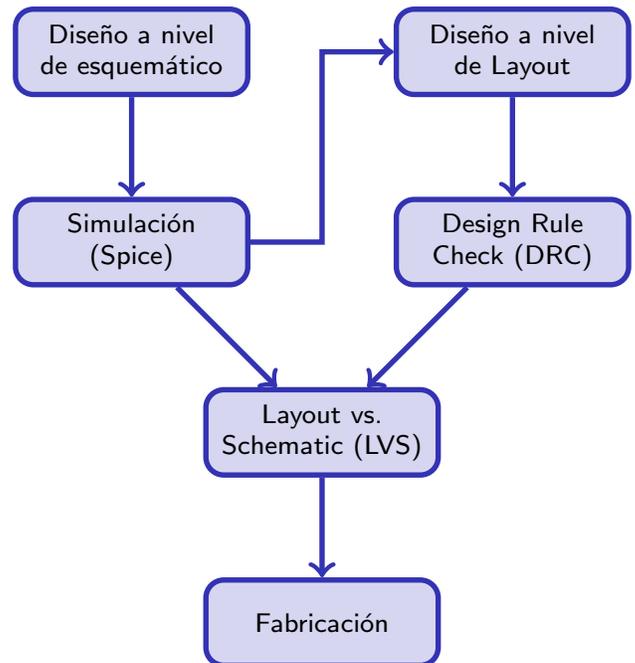
- ▶ El diseño de CIs implica indicar qué áreas del wafer serán afectadas por cada etapa del proceso de fabricación.
- ▶ Por lo general, se tiene acceso a un proceso de fabricación estándar, por lo que las etapas de fabricación no pueden alterarse.
- ▶ El producto final del diseño son las máscaras que se utilizarán en la fabricación.

# Diseño de CIs II

## Software de diseo de CIs

- ▶ Cadence (OrCAD)
- ▶ Tanner Tools
- ▶ Mentor Graphics
- ▶ **Synopsys**
- ▶ LASI (free)

## Elementos de diseño



# Diseño de CIs III

## Layers

- ▶ N-Well
- ▶ Active
- ▶ Difusiones
- ▶ Poly
- ▶ Metales
- ▶ Contactos y vias (interconexiones)

## Reglas de diseño

Surgen de las limitaciones del proceso de fabricación

- ▶ Separación
- ▶ Tamaño mínimo
- ▶ Tamaño exacto
- ▶ Recubrimiento

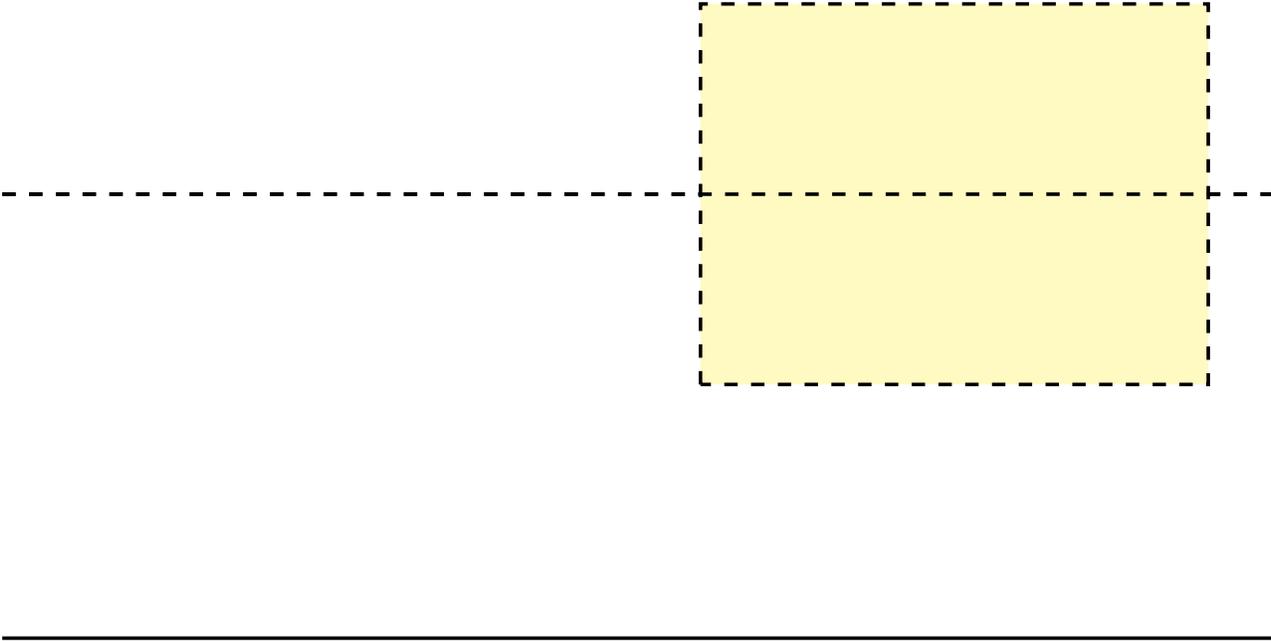
# Diseño del inversor CMOS

Sustrato tipo P



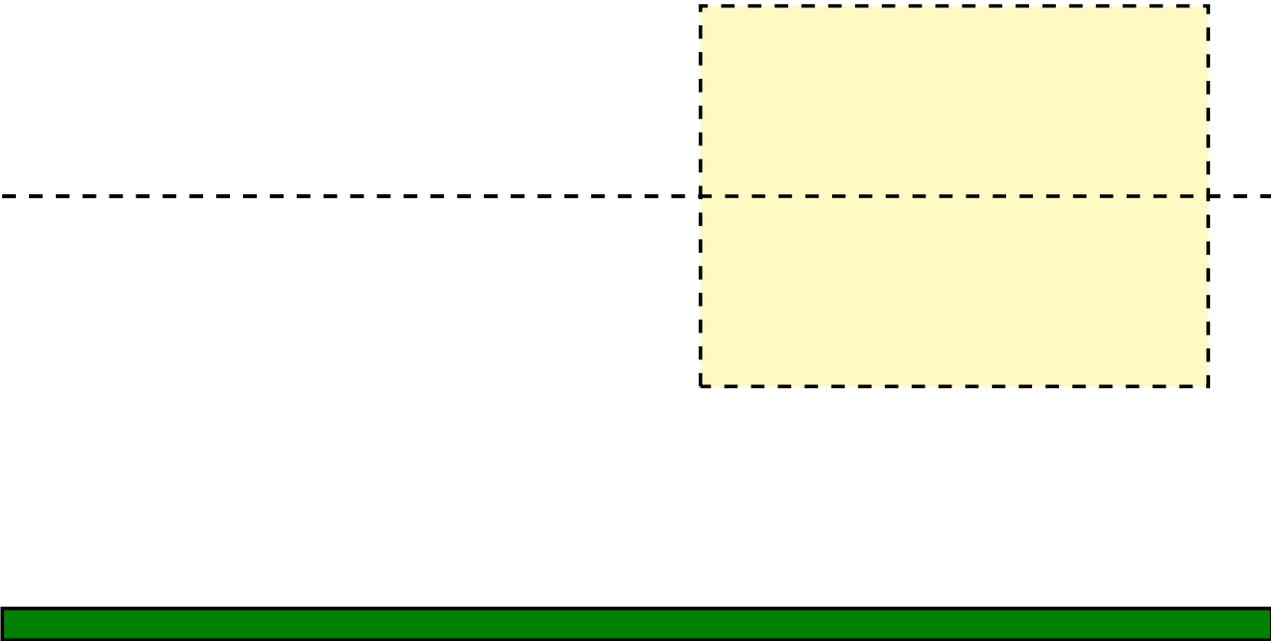
# Diseño del inversor CMOS

N-Well



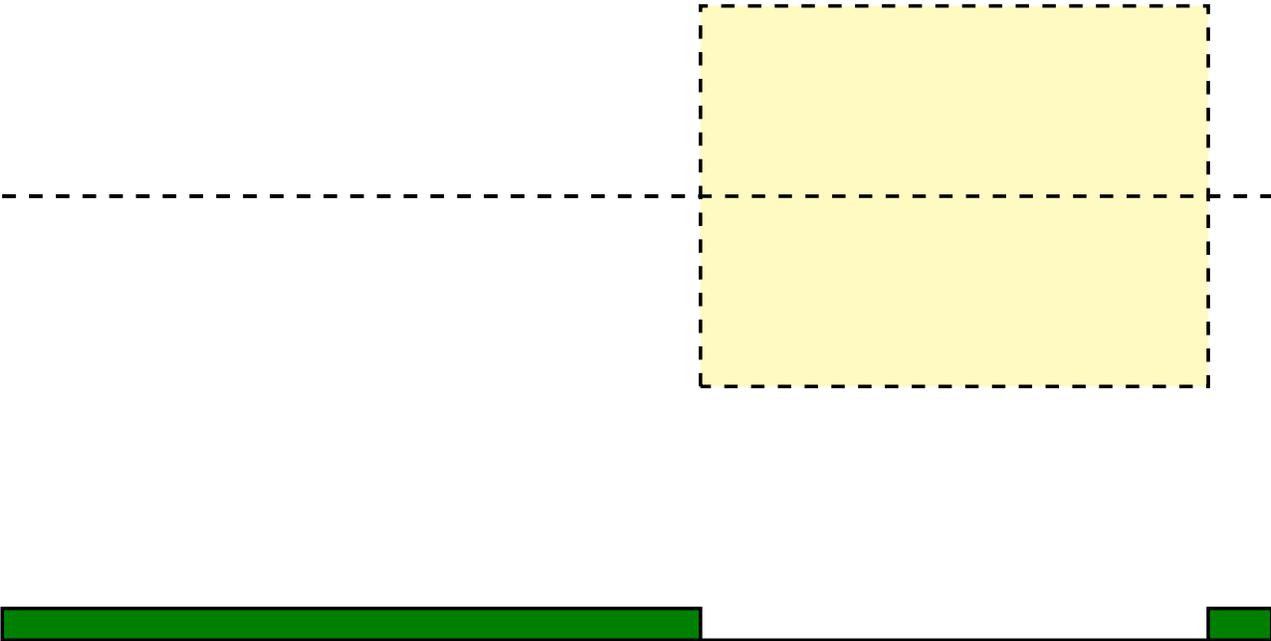
# Diseño del inversor CMOS

N-Well



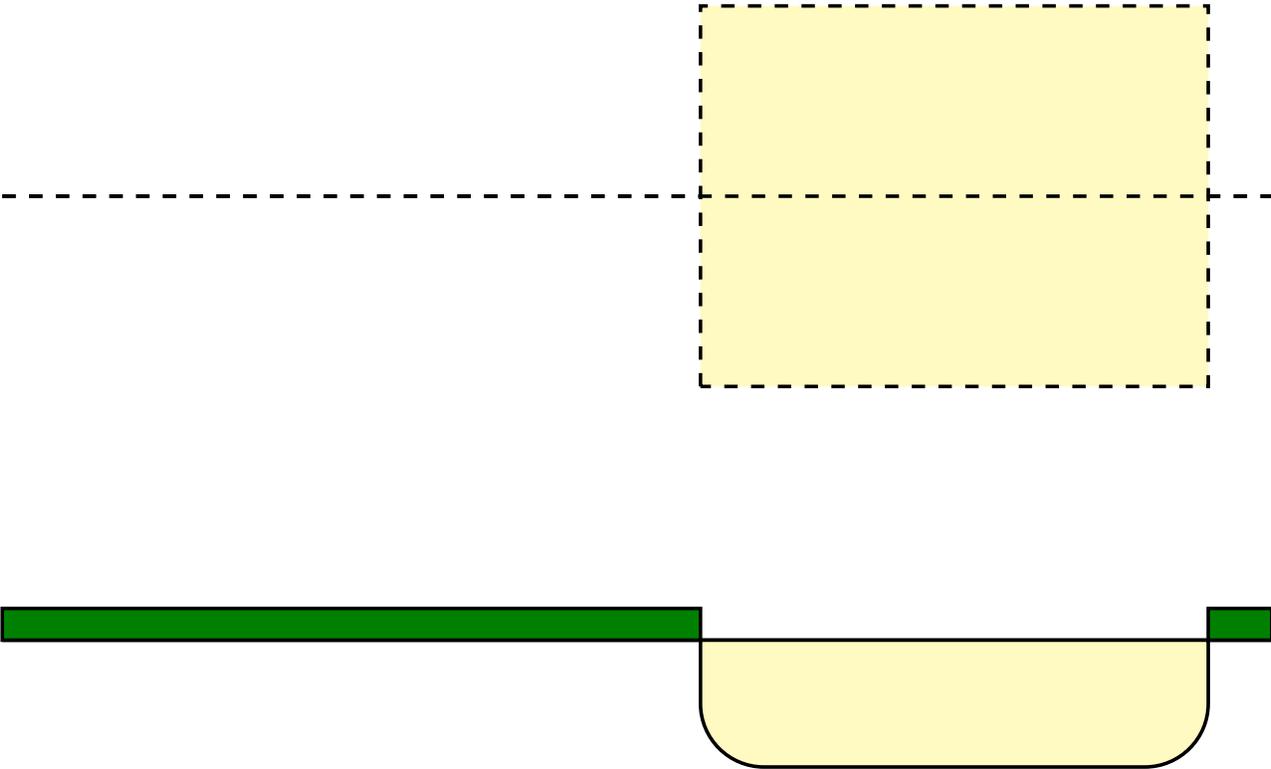
# Diseño del inversor CMOS

N-Well



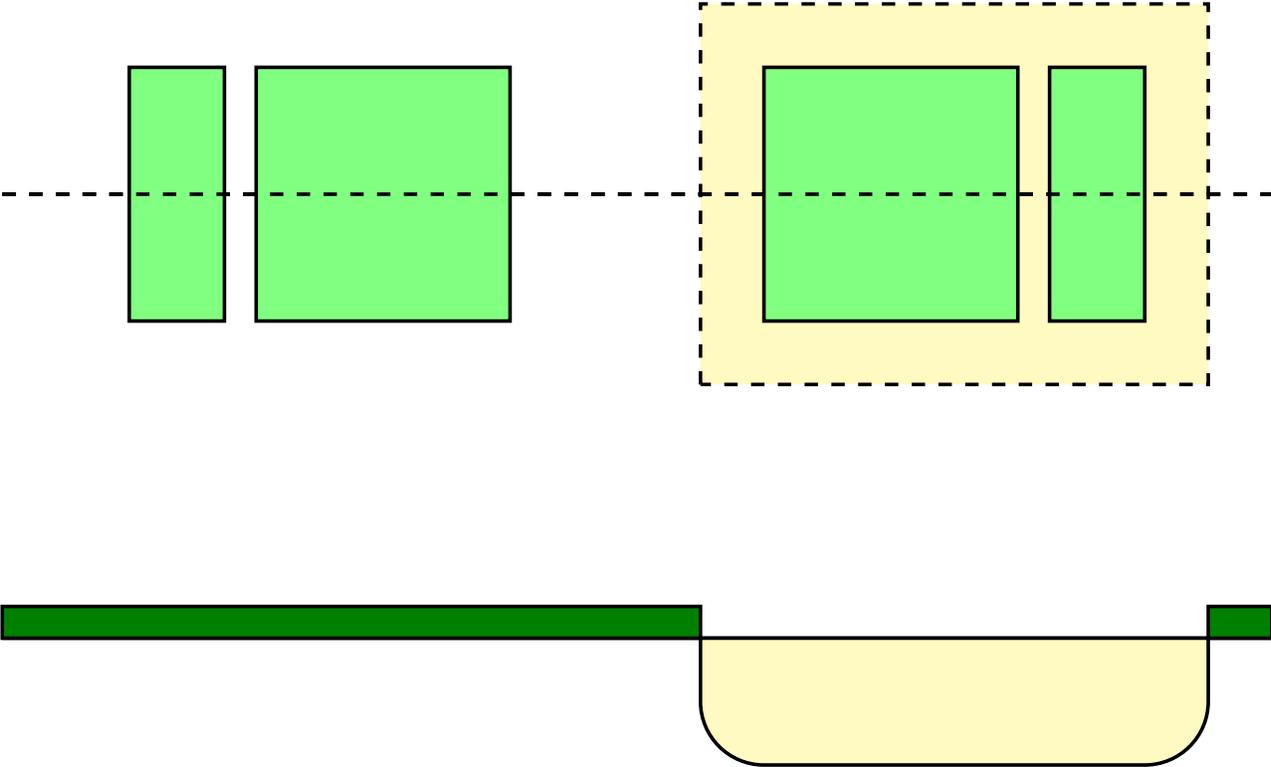
# Diseño del inversor CMOS

N-Well



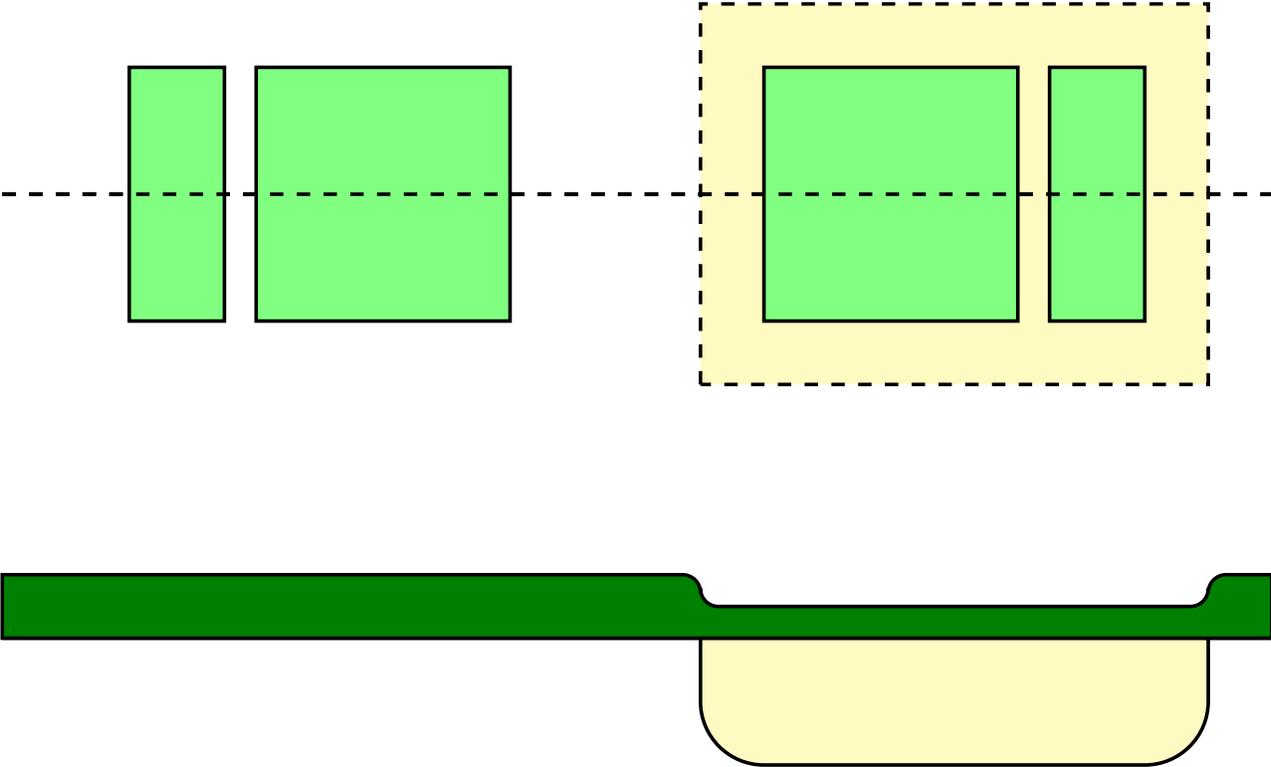
# Diseño del inversor CMOS

Active Layer



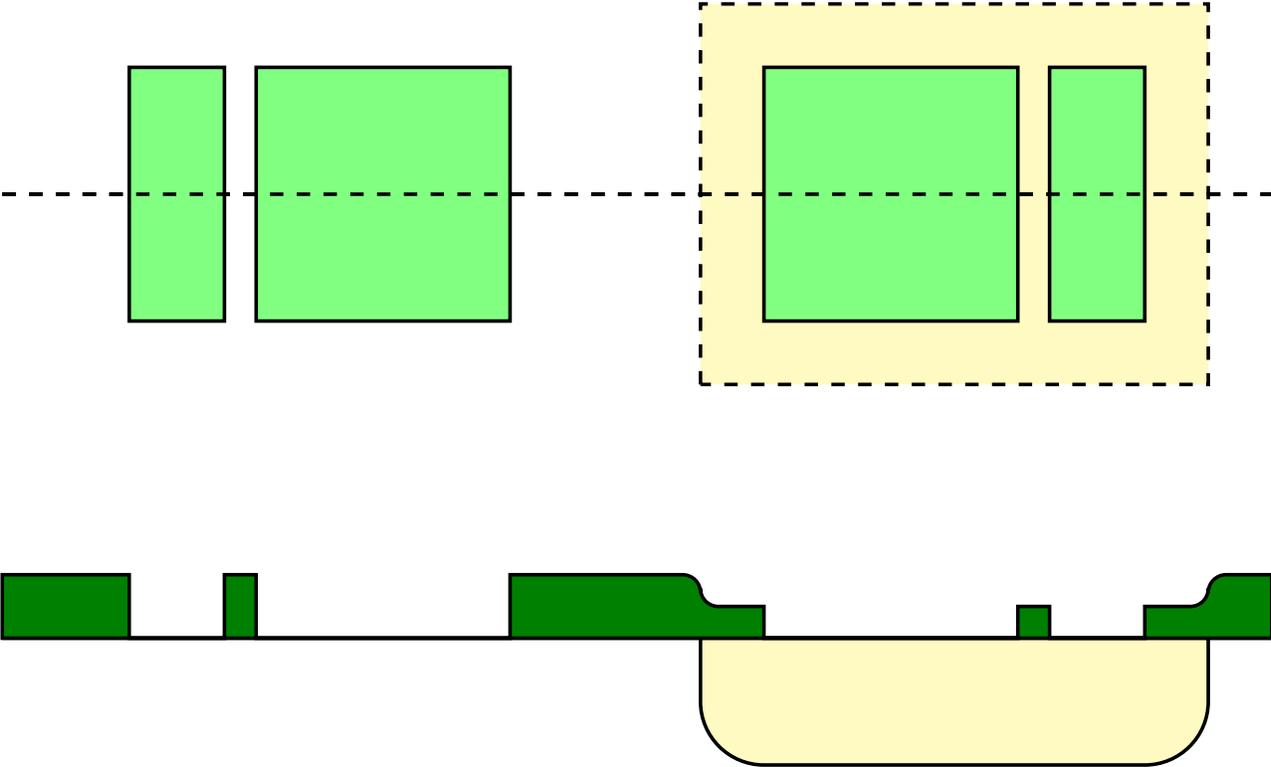
# Diseño del inversor CMOS

Active Layer



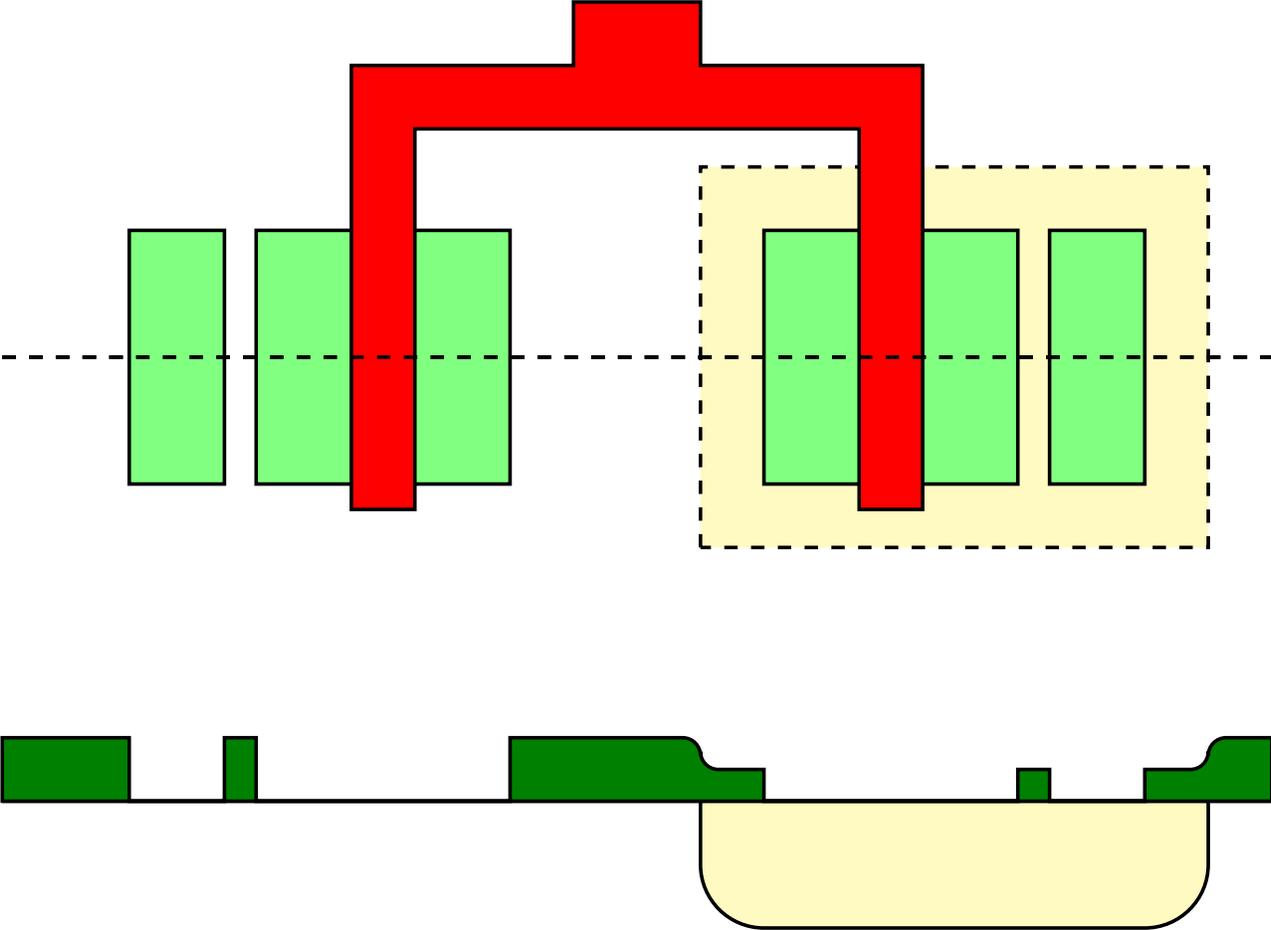
# Diseño del inversor CMOS

Active Layer



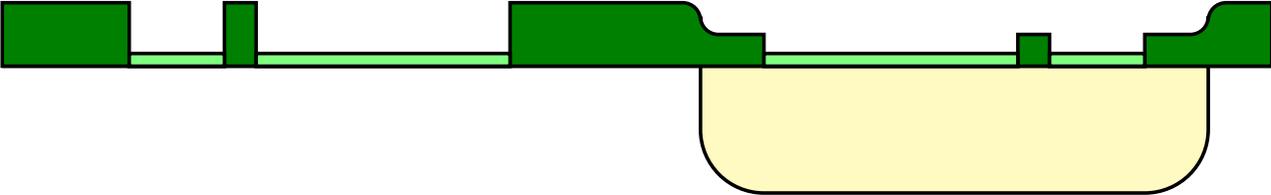
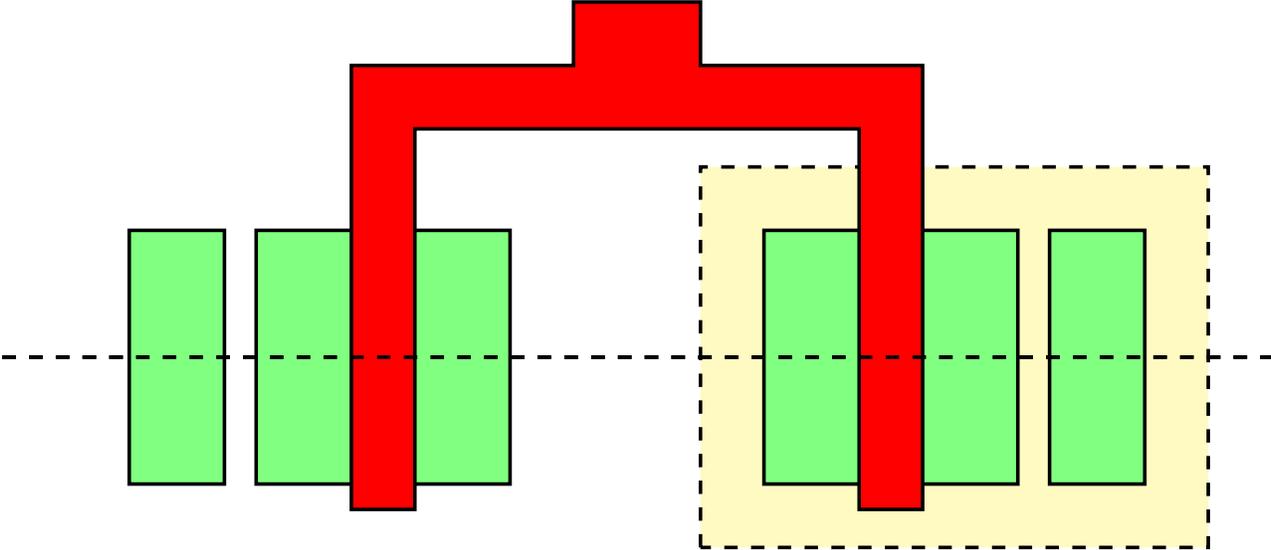
# Diseño del inversor CMOS

Poly



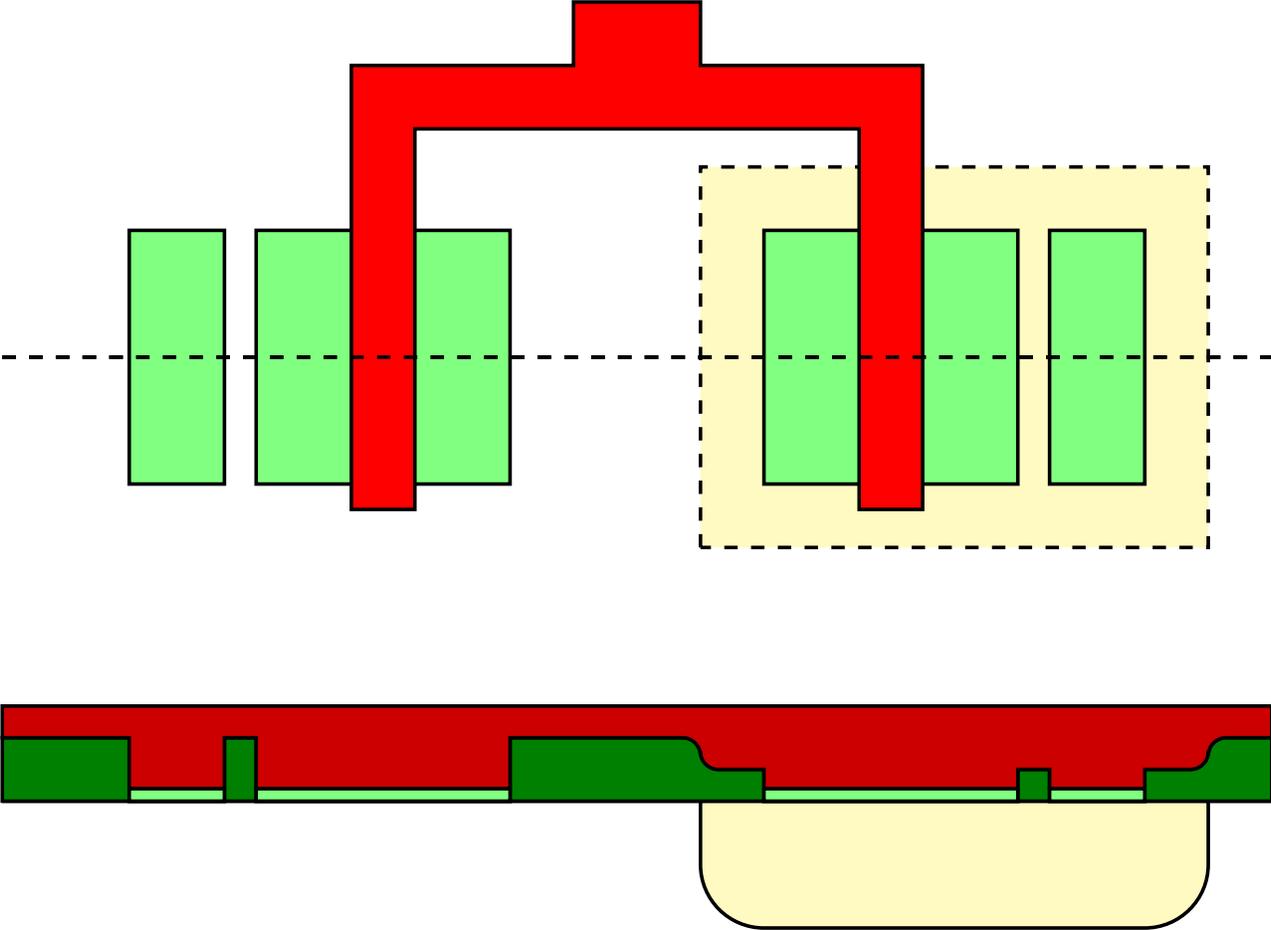
# Diseño del inversor CMOS

Poly



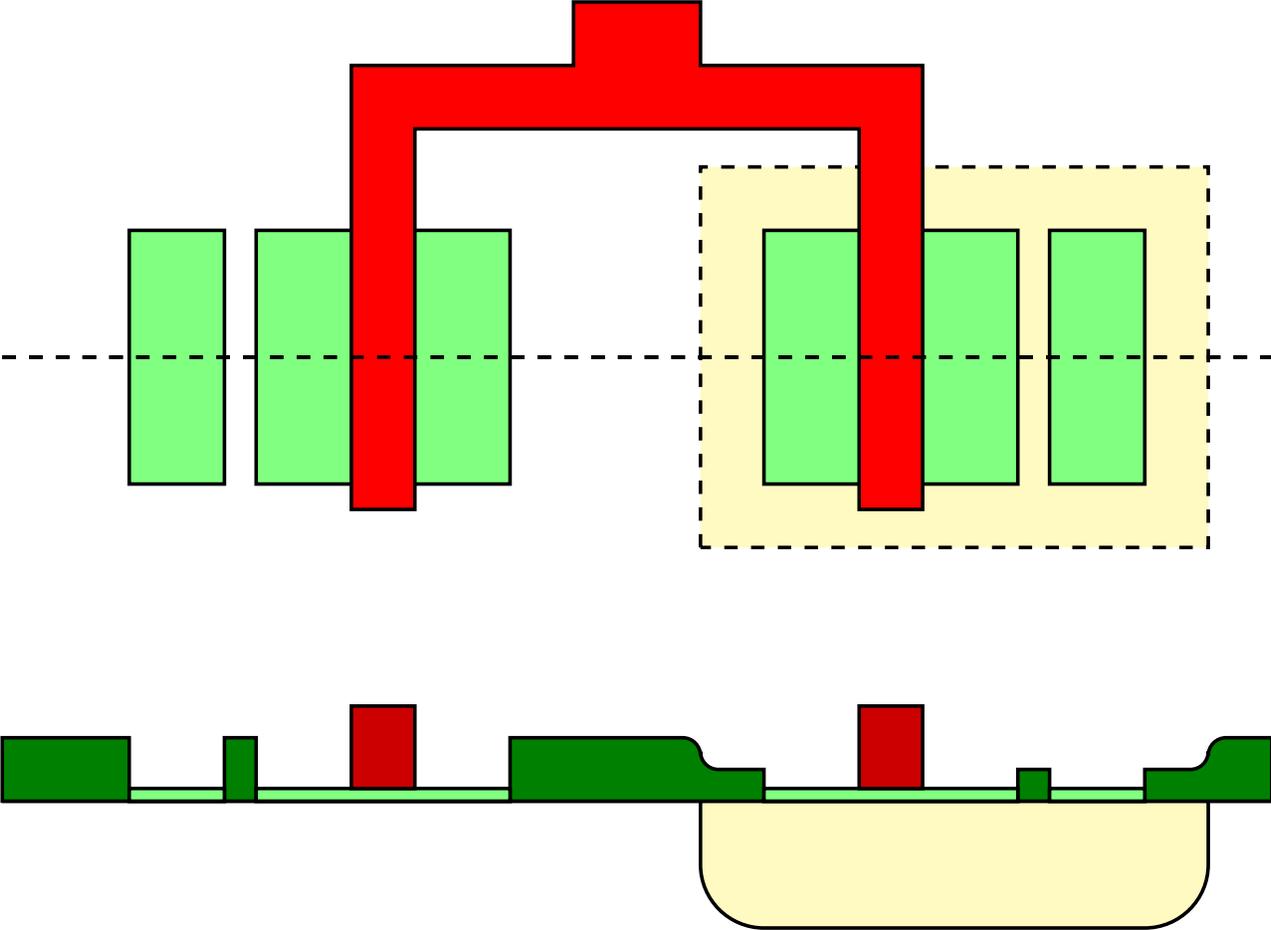
# Diseño del inversor CMOS

Poly



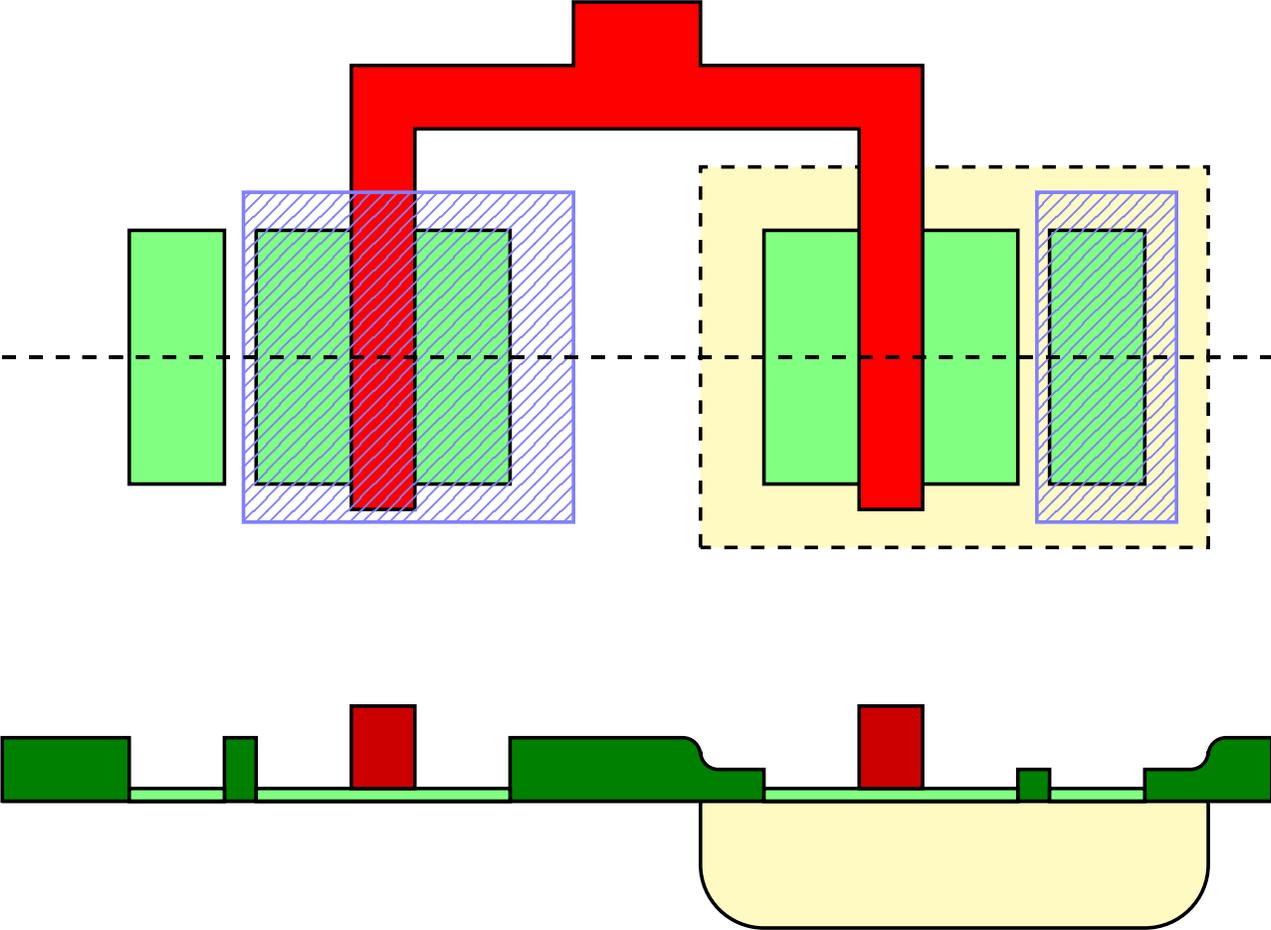
# Diseño del inversor CMOS

Poly



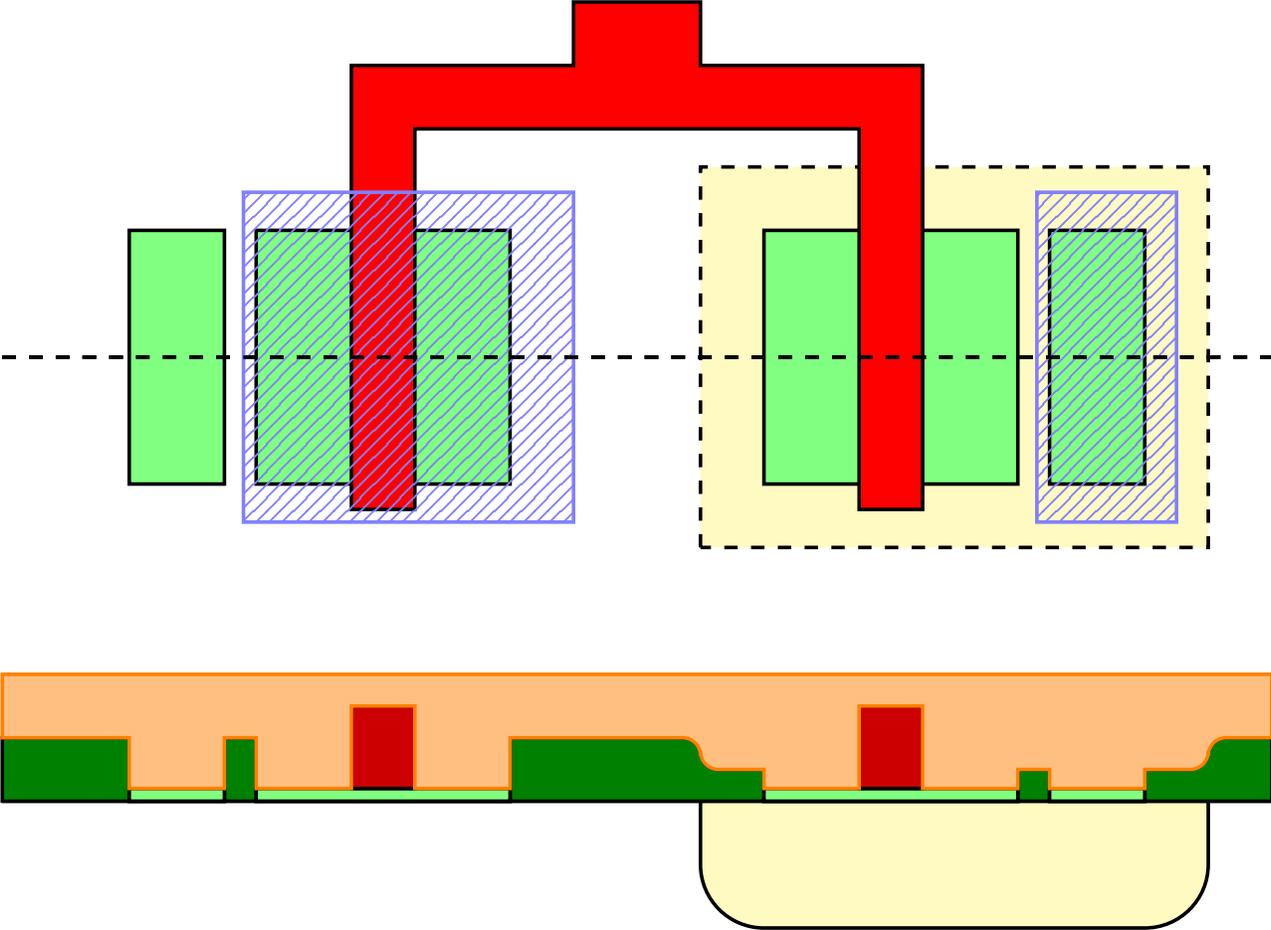
# Diseño del inversor CMOS

Difusiones  $N^+$



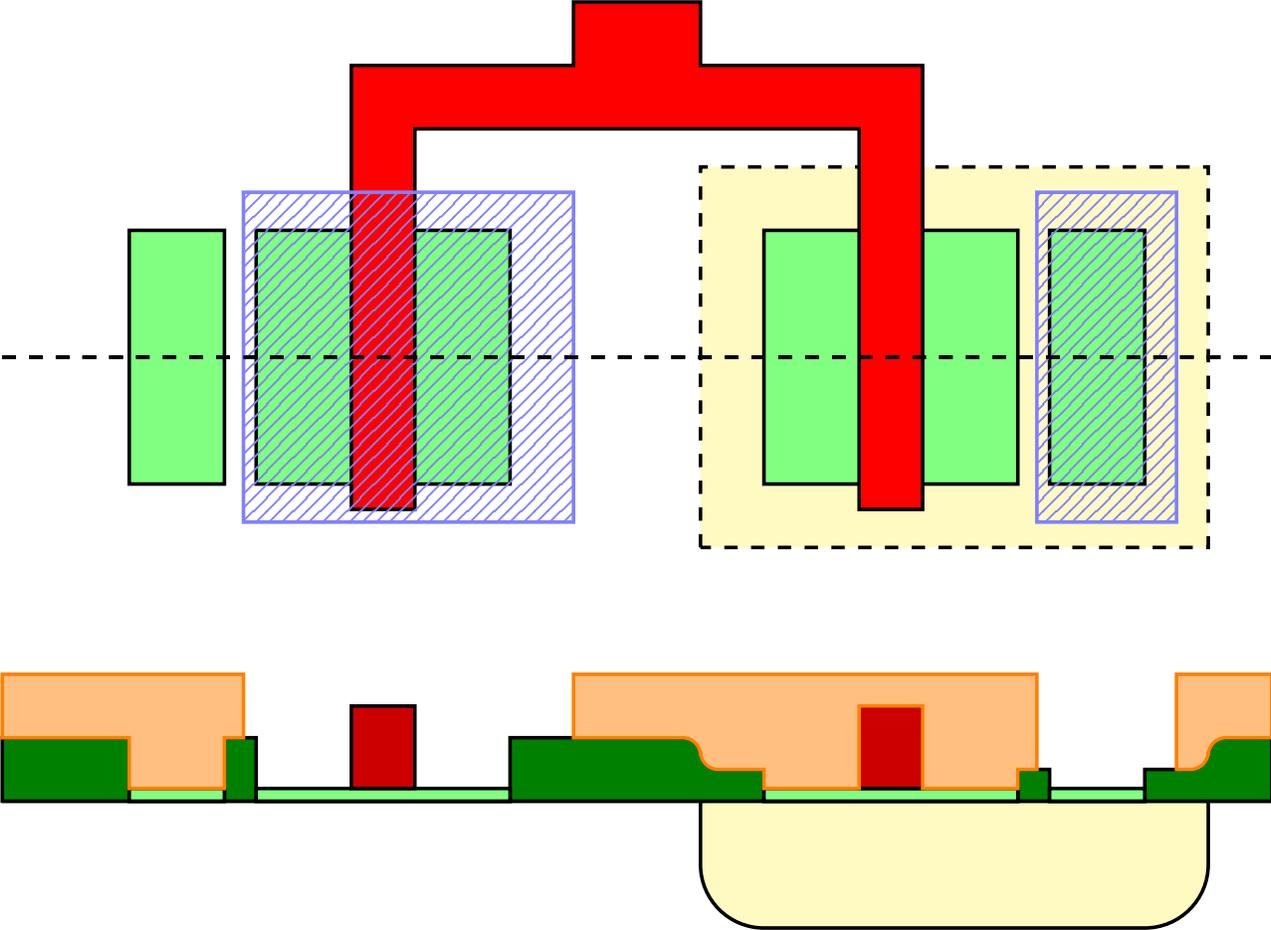
# Diseño del inversor CMOS

Difusiones  $N^+$



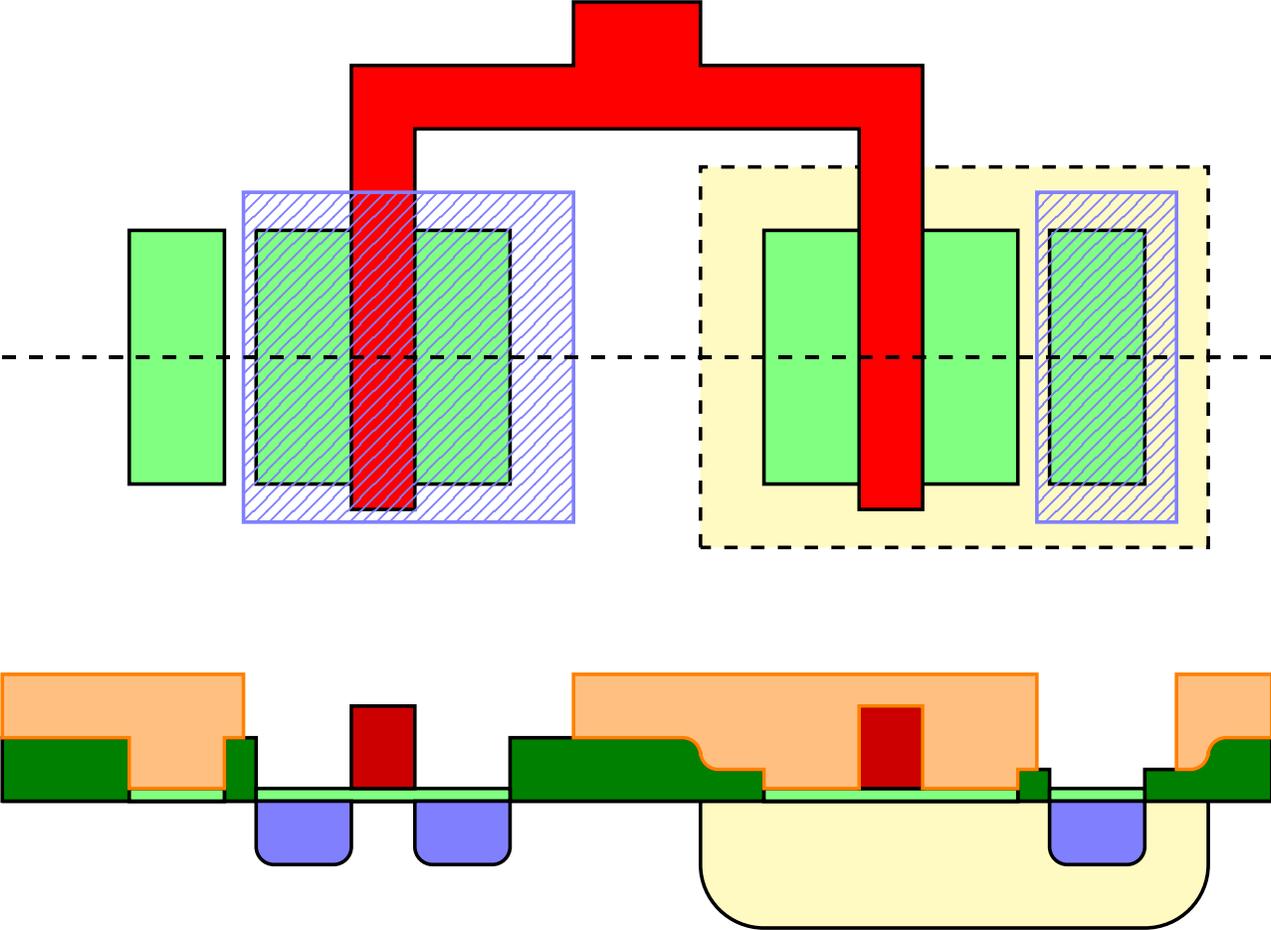
# Diseño del inversor CMOS

Difusiones  $N^+$



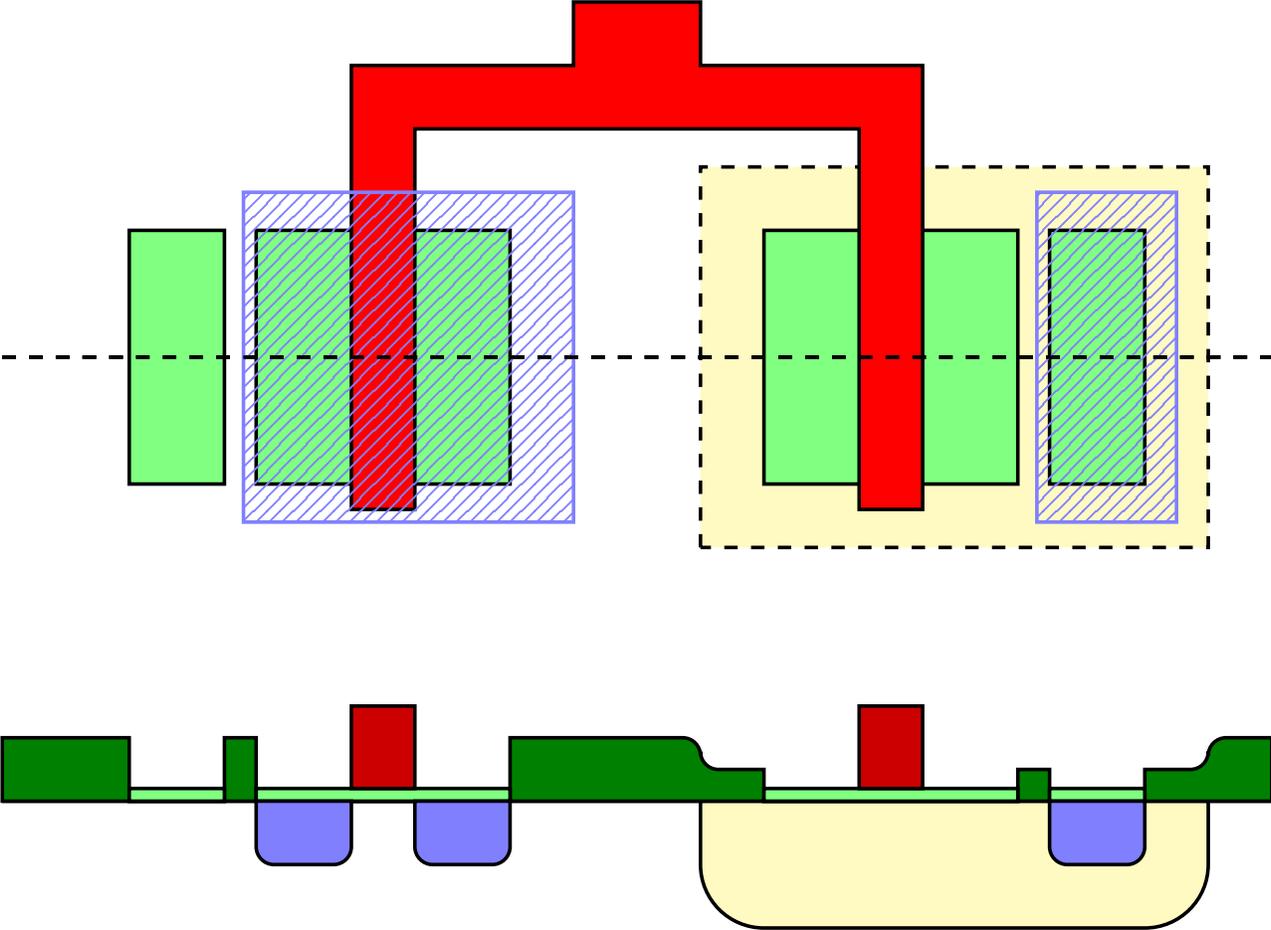
# Diseño del inversor CMOS

Difusiones  $N^+$



# Diseño del inversor CMOS

Difusiones  $N^+$

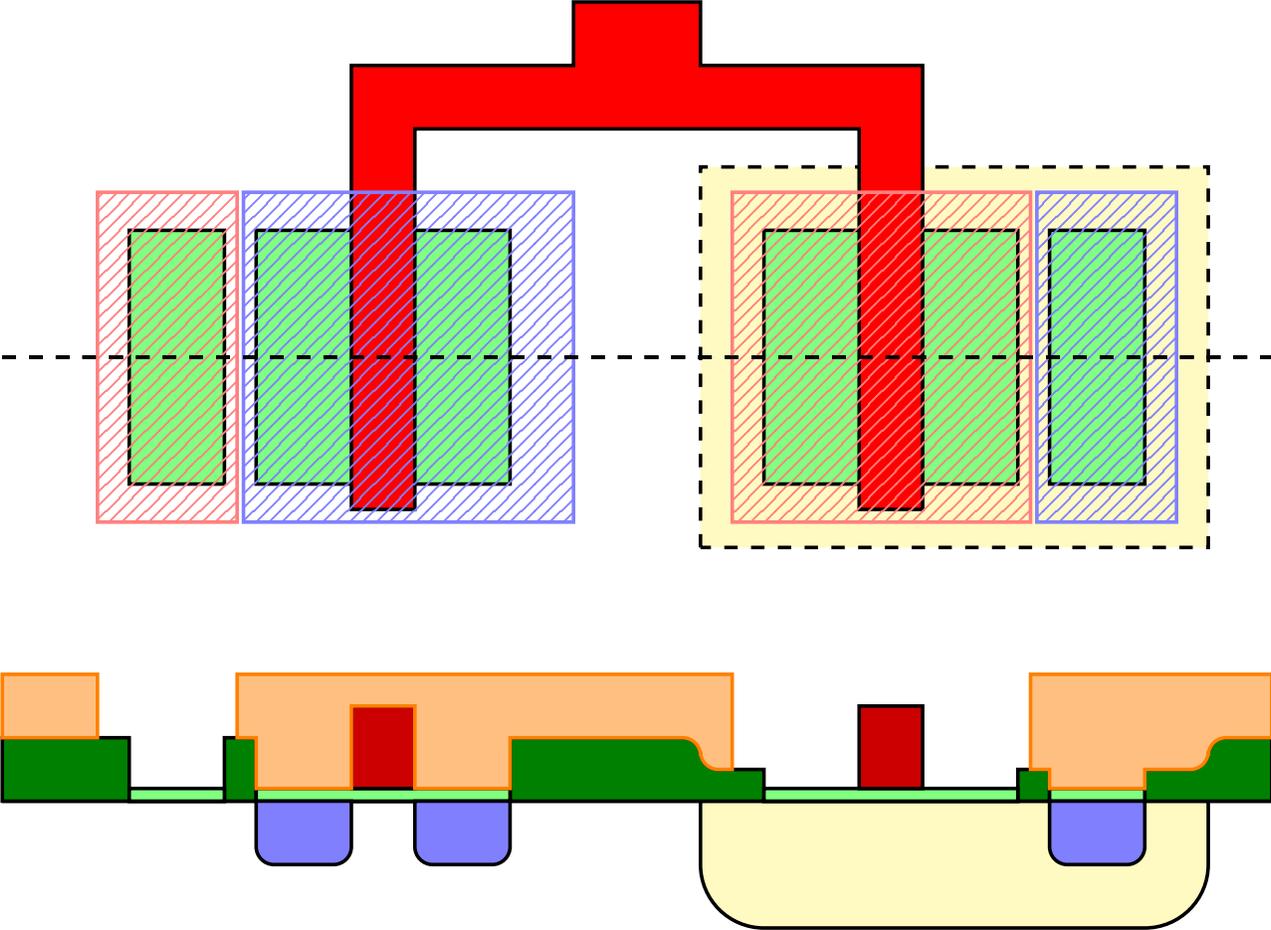






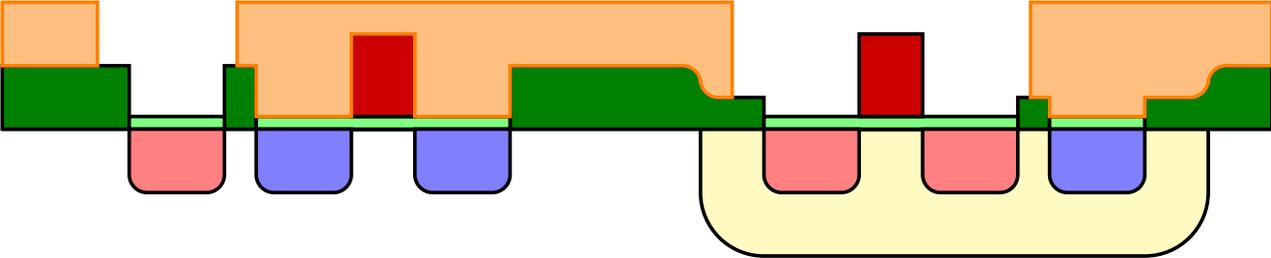
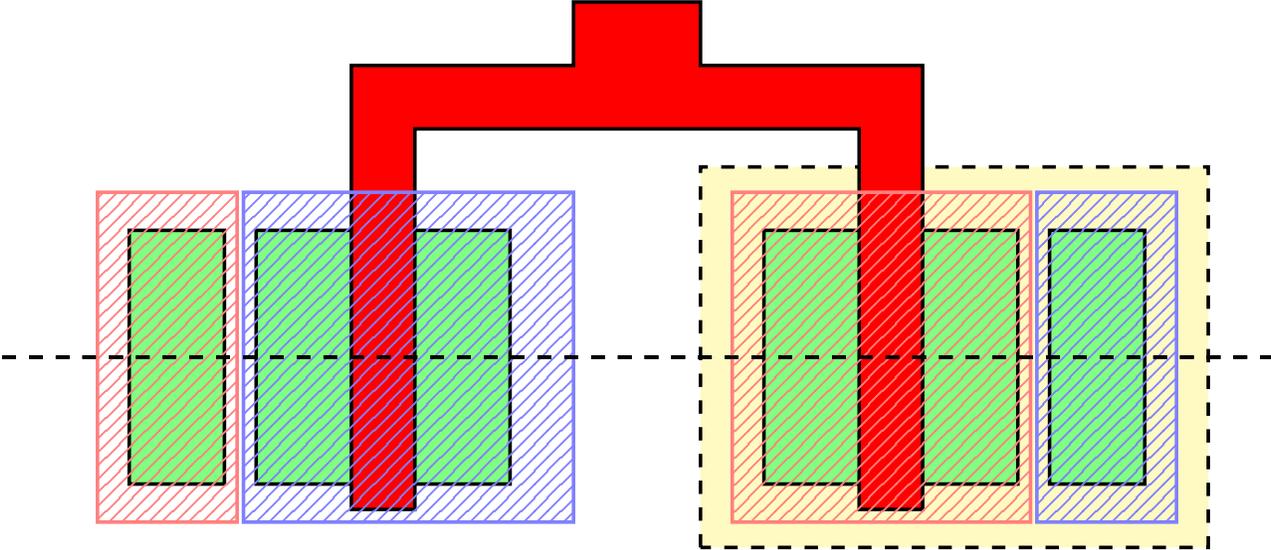
# Diseño del inversor CMOS

Difusiones  $P^+$



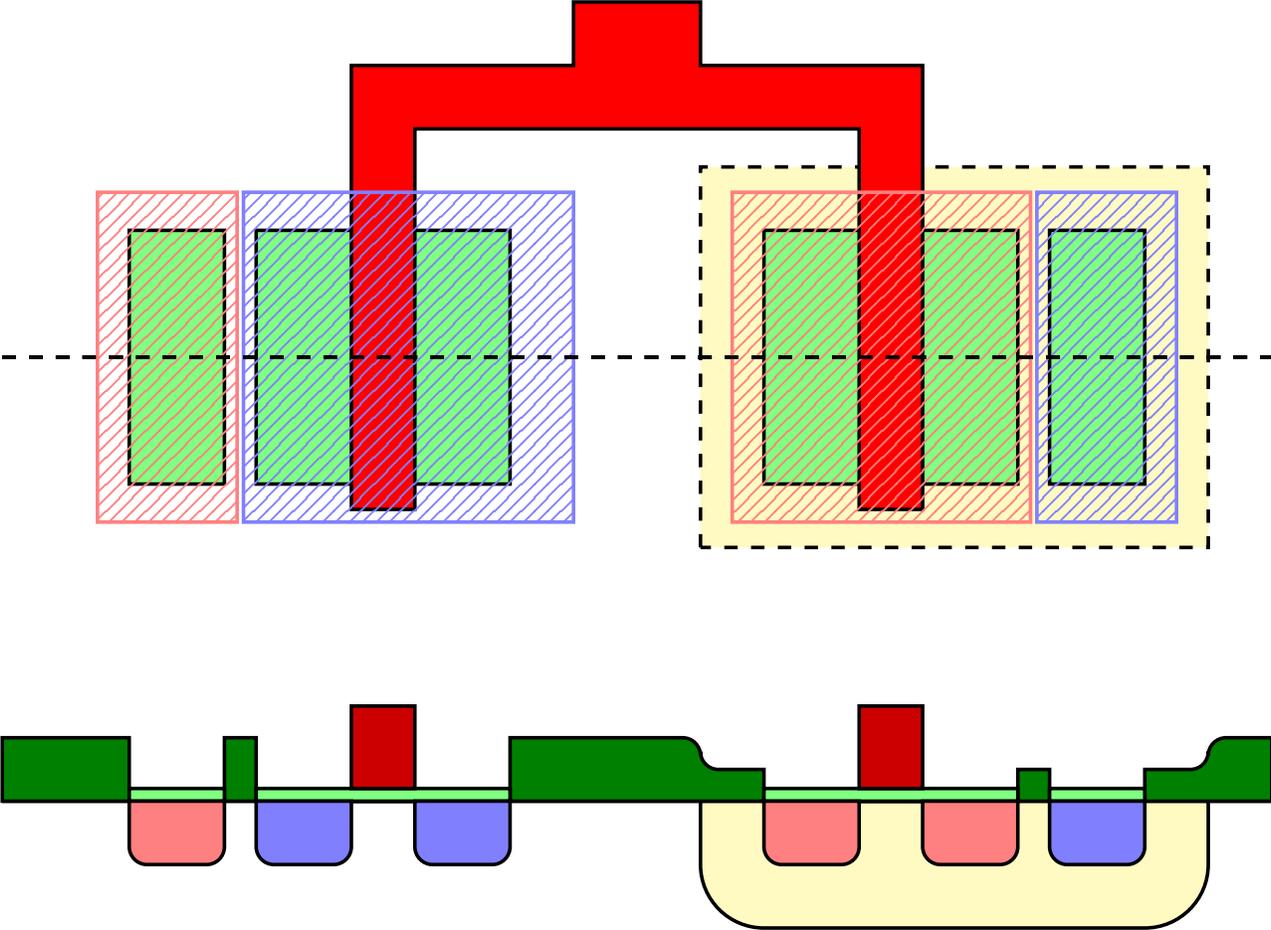
# Diseño del inversor CMOS

Difusiones  $P^+$



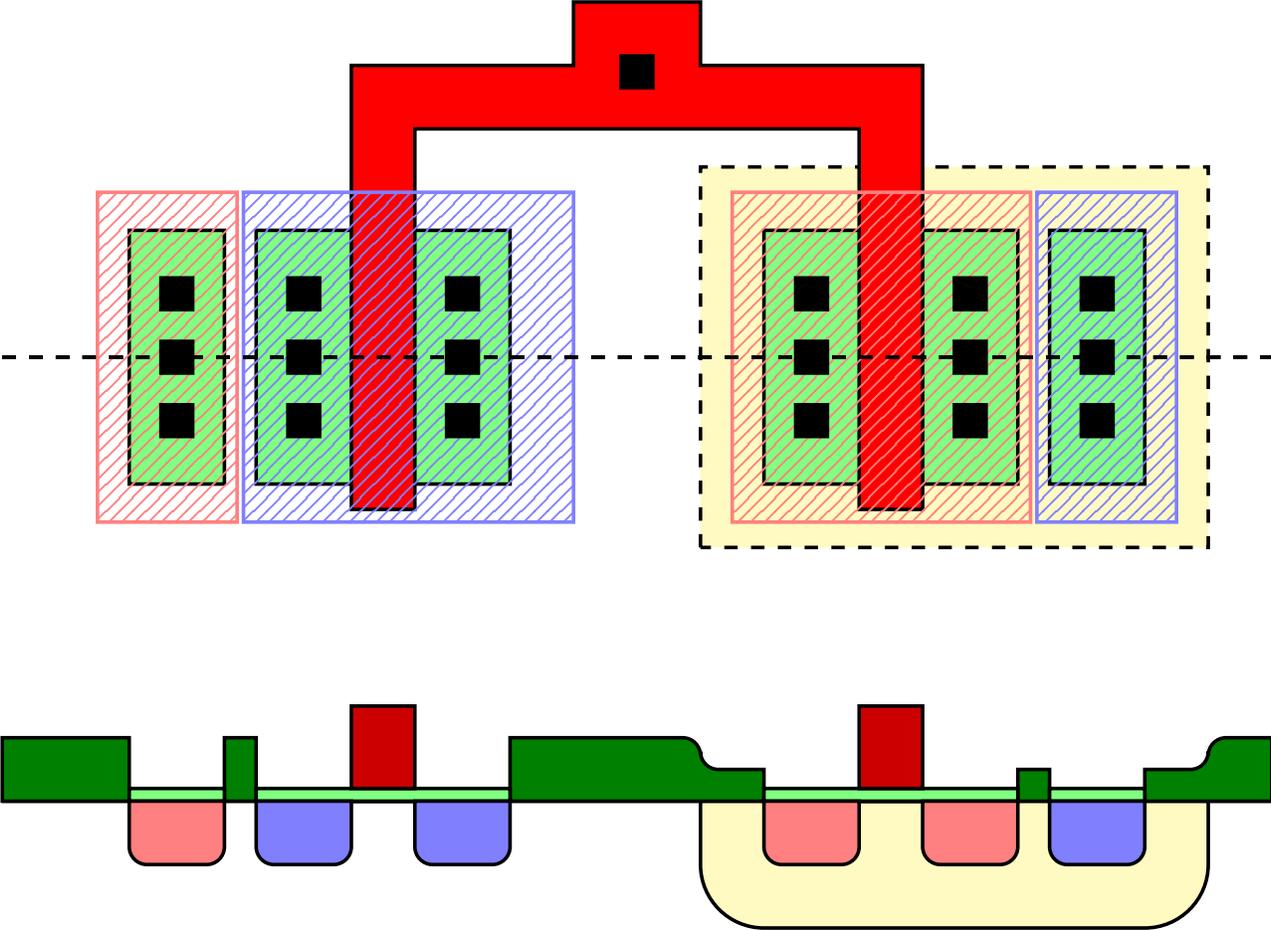
# Diseño del inversor CMOS

Difusiones  $P^+$



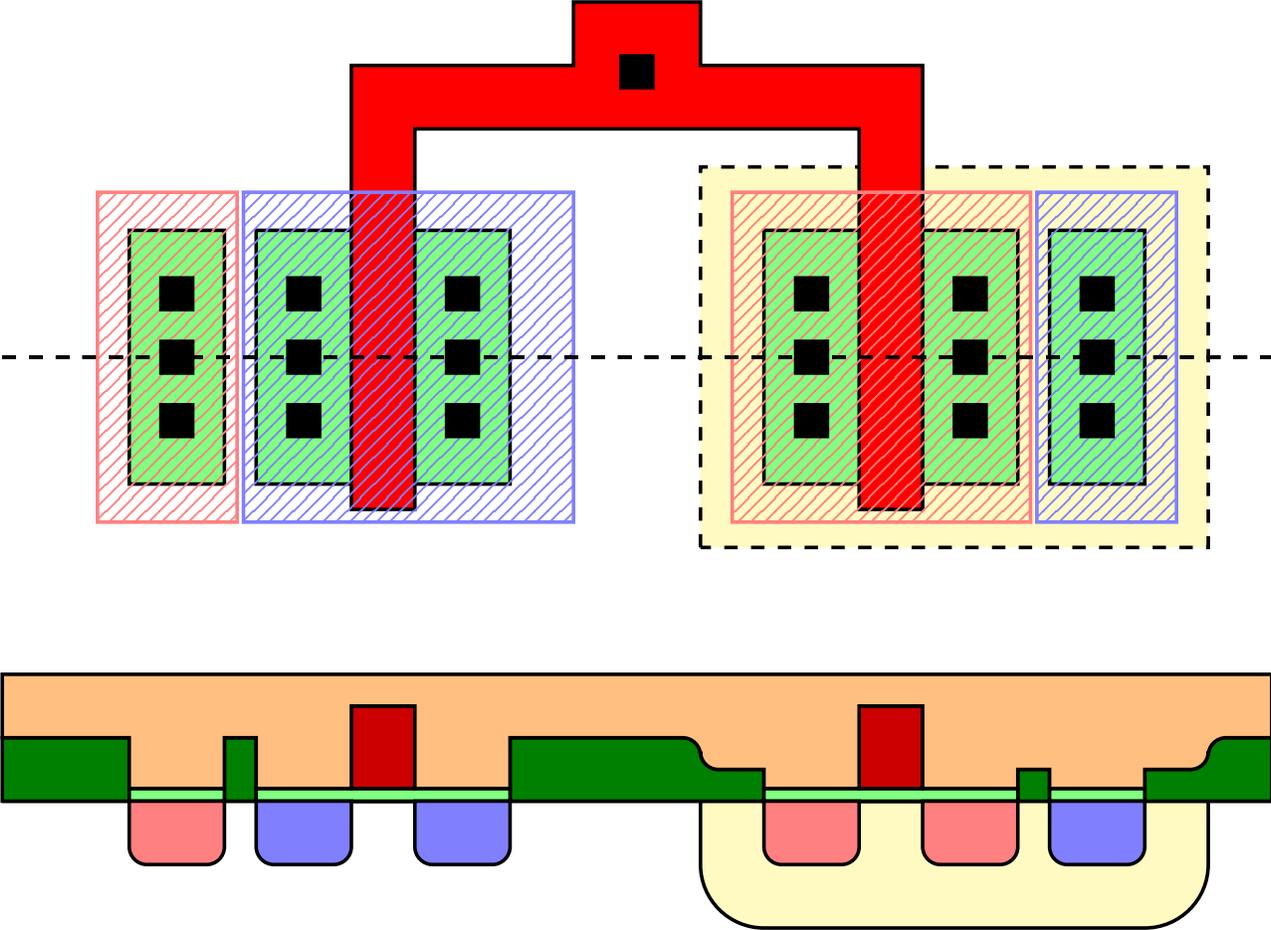
# Diseño del inversor CMOS

## Contactos



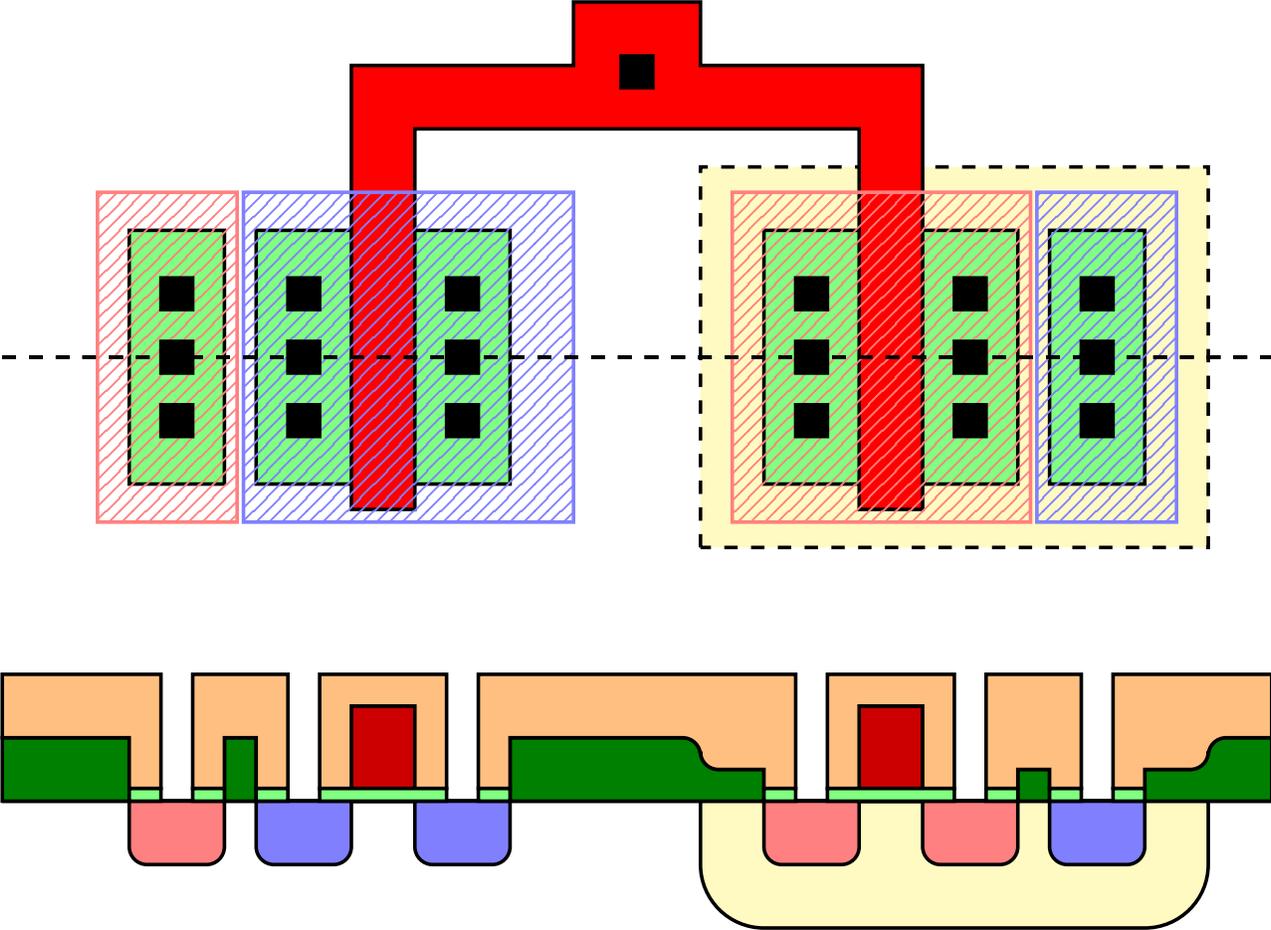
# Diseño del inversor CMOS

Contactos



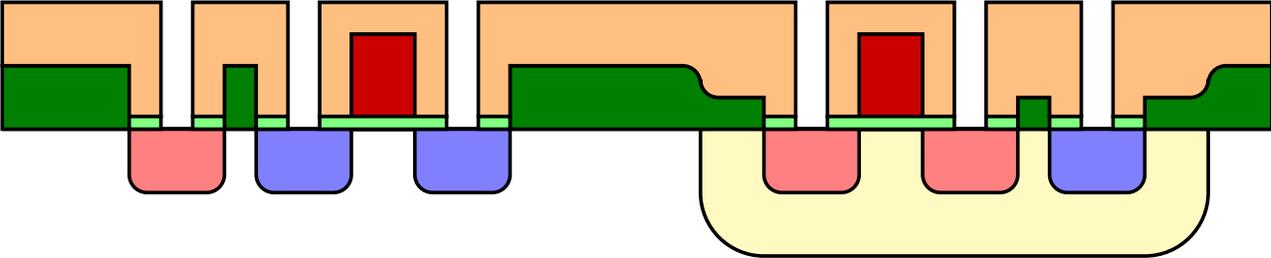
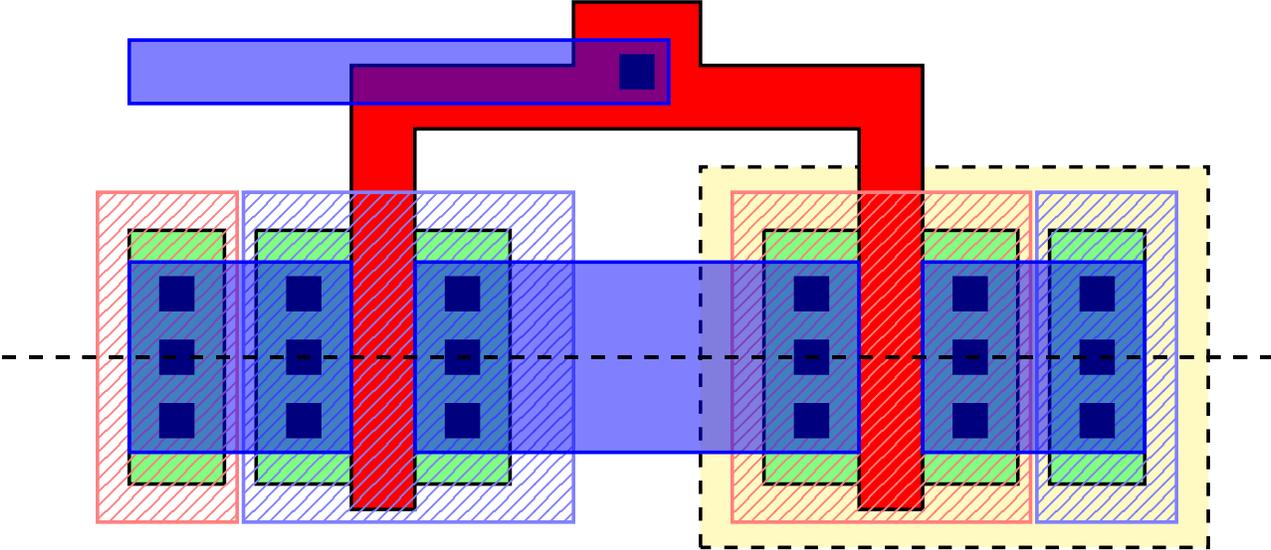
# Diseño del inversor CMOS

## Contactos



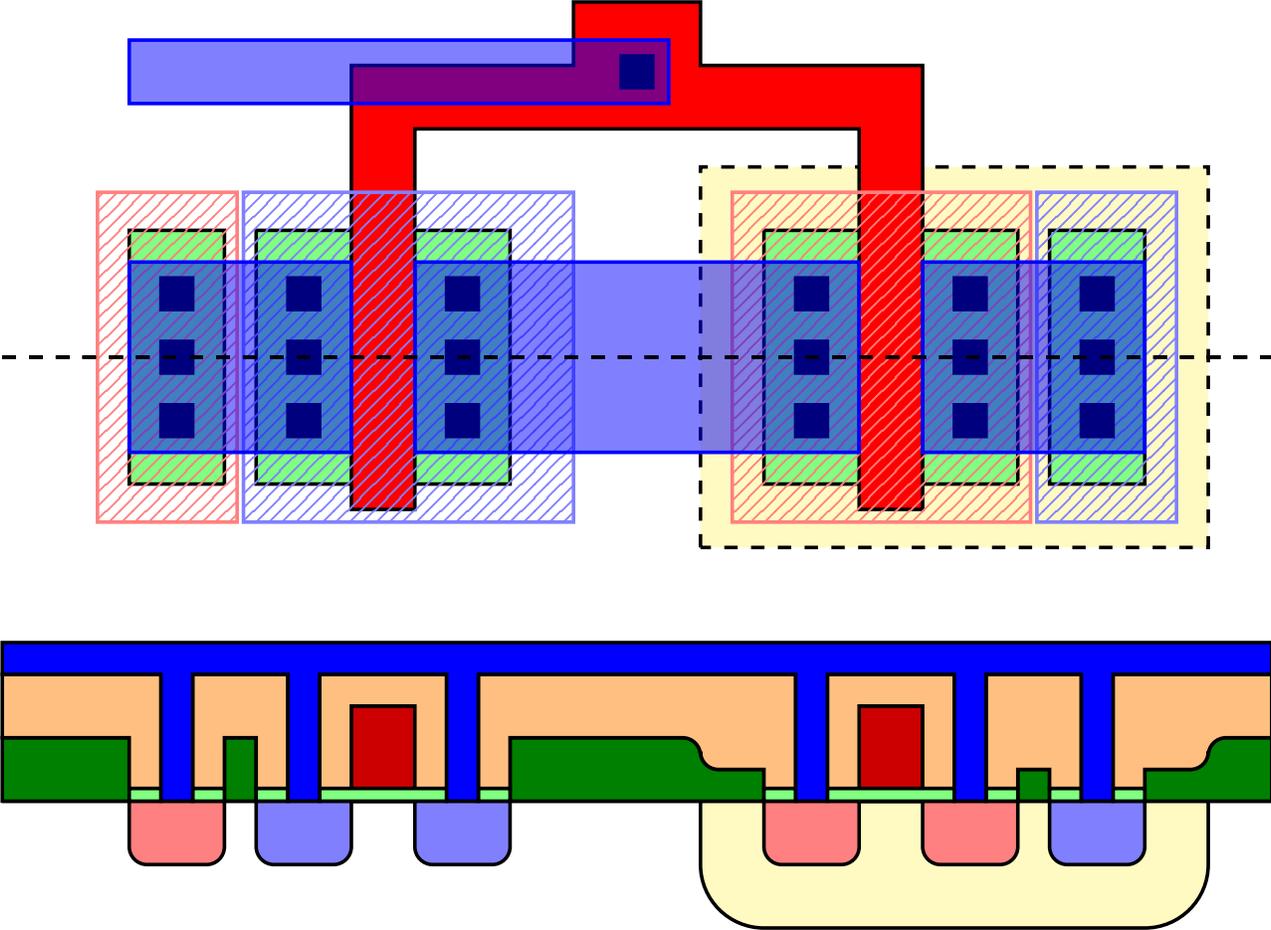
# Diseño del inversor CMOS

Metales



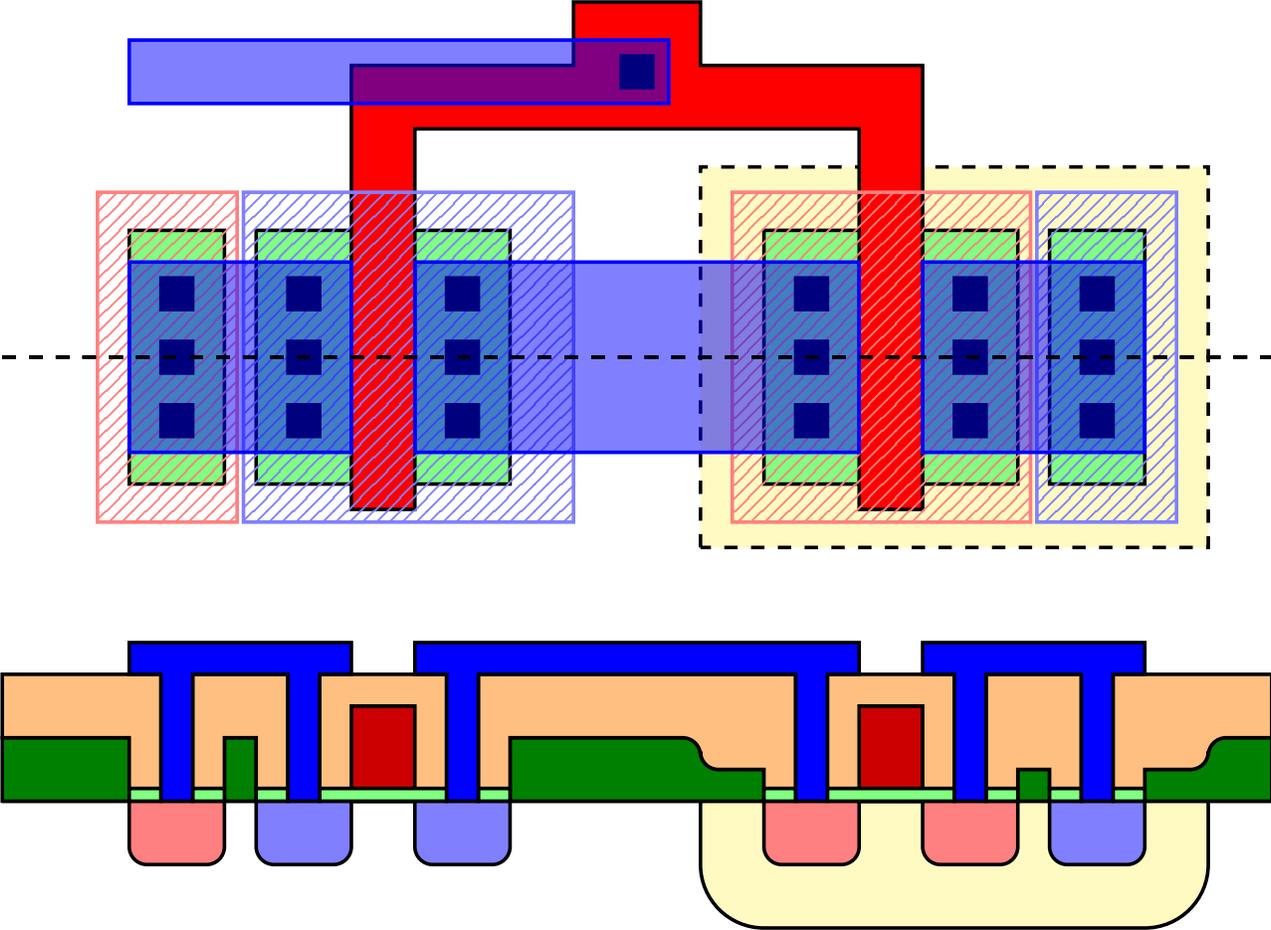
# Diseño del inversor CMOS

Metales



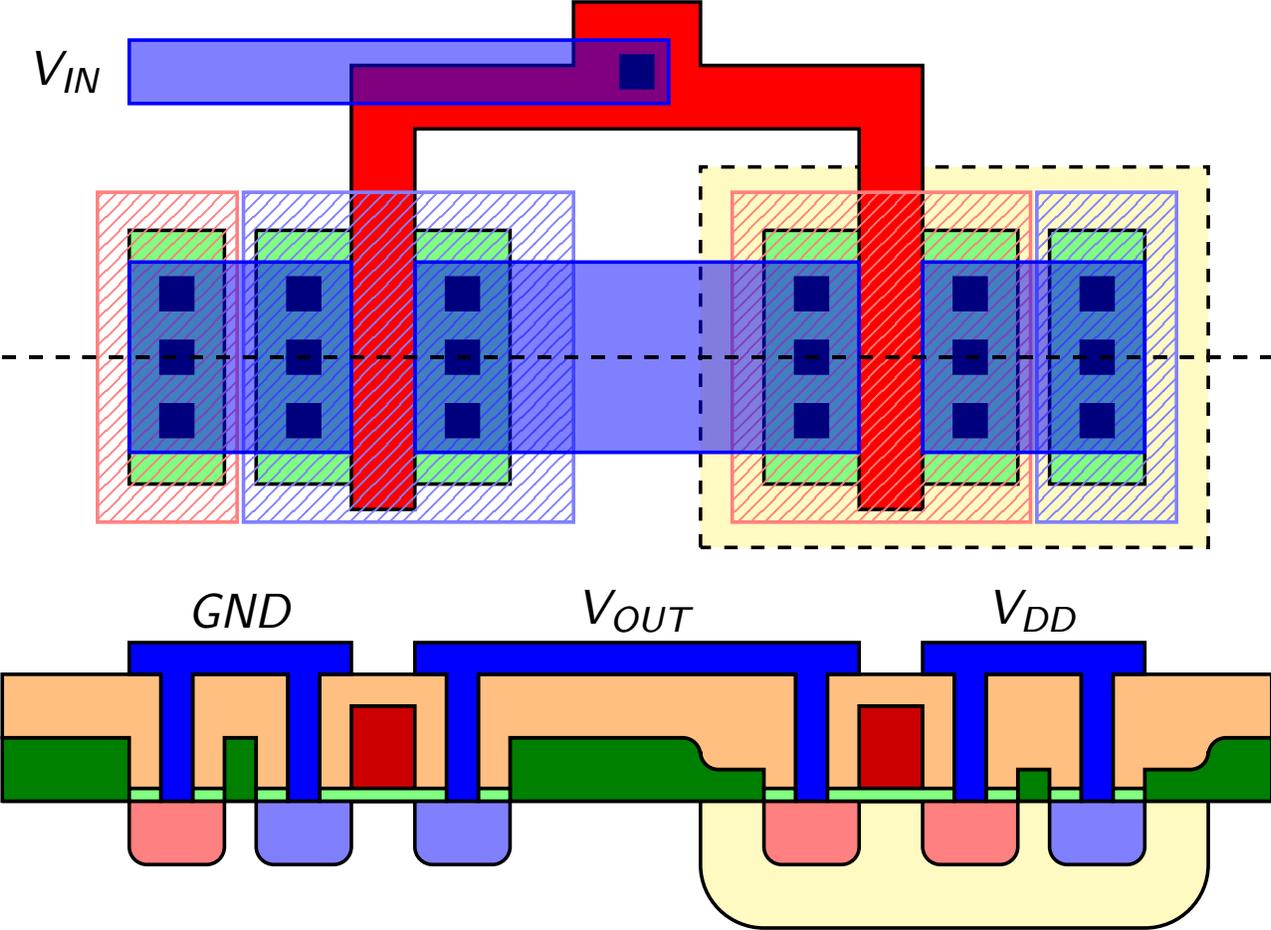
# Diseño del inversor CMOS

Metales



# Diseño del inversor CMOS

Terminales



## Conclusiones

- ▶ Para diseñar CIs es necesario conocer la estructura física de los transistores.
- ▶ Conocer el proceso de fabricación ayuda a mejorar los diseños a nivel físico.
- ▶ Gracias a programas académicos, las universidades pueden acceder a herramientas de diseño y procesos de fabricación.
- ▶ Materias para profundizar en estos temas:
  - 86.46 Microelectrónica
  - 86.47 Optoelectrónica
  - 86.42 Laboratorio de Sistemas Digitales

FIUBA - 86.03 Dispositivos Semiconductores

# Dispositivos de potencia

## Contenido:

1. Introducción a la electrónica de potencia
2. Diodos de potencia
3. Transistores de potencia
4. IGBT
5. Tiristores
6. Modelo térmico y disipadores



# Introducción a la electrónica de potencia

## ¿A qué nos referimos con “electrónica de potencia”?

Aplicación de dispositivos electrónicos a:

- Sistemas de control:
  - Accionamiento de motores (cargas inductivas)
  - Regulación de calefacción (cargas resistivas)
  - Sistemas de iluminación.
- Conversión de energía eléctrica:
  - Rectificadores
  - Fuentes de alimentación: reguladas o conmutadas
  - Onduladores (CC/CA).



# Introducción a la electrónica de potencia

## Efectos indeseados:

- Estos circuitos operan en conmutación constantemente:
  - Se introduce RUIDO en las señales.
  - Se introduce RUIDO en la fuente de alimentación.
  - Se produce interferencia electromagnética (EMI) en equipos cercanos.



# Introducción a la electrónica de potencia

## Efectos indeseados:

- Estos circuitos operan en conmutación constantemente:
  - Se introduce RUIDO en las señales. → Usar Filtros
  - Se introduce RUIDO en la fuente de alimentación. → Usar Filtros
  - Se produce interferencia electromagnética (EMI) → Usar Blindajes en equipos cercanos.



# Introducción a la electrónica de potencia

¿Qué diferencia a los dispositivos de potencia?

- Corrientes altas:  $I \uparrow = A \uparrow \times J \rightarrow$  El **área** de los dispositivos debe ser **grande**.
- Tensiones altas:
  - Junturas PN: Tensión inversa alta  $\rightarrow E_{\text{crit}} = \sqrt{\frac{2 q (\phi_B + V_R \uparrow) N_- \downarrow}{\epsilon_{\text{Si}}}}$
  - Transistores MOS: Tensión de Gate alta  $\rightarrow E_{\text{crit}} = \frac{\Delta V_{\text{ox}} \uparrow}{t_{\text{ox}} \uparrow}$
- Potencia alta:  $P \uparrow \uparrow = V \uparrow \times I \uparrow$
- Consecuencias
  - $N_- \downarrow \rightarrow$  Baja la conductividad  $\rightarrow \sigma \downarrow = q \mu N_- \downarrow \rightarrow R = \frac{L}{A \uparrow \sigma \downarrow}$   
Necesito regiones con mayor dopaje para reducir la resistividad.
  - Grandes capacidades  $\rightarrow$  Predomina el aumento del área

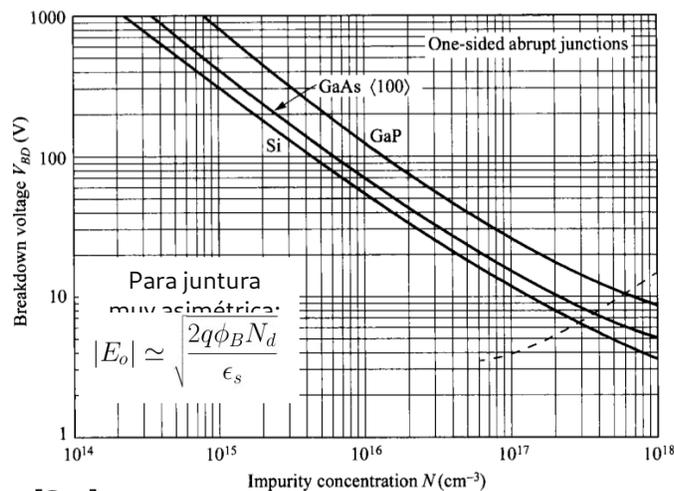
$$C \uparrow = A \uparrow \uparrow \sqrt{\frac{q \epsilon_{\text{Si}} N_- \downarrow}{2 (\phi_B + V_R)}} \quad C \uparrow = A \uparrow \uparrow \frac{\epsilon_{\text{ox}}}{t_{\text{ox}} \uparrow}$$

- En capsulados especiales



# Diodos de potencia

Los diodos de potencia son junturas PN construidas para soportar:



[Sze]

- 1) Altas tensiones en inversa
- 2) Grandes corrientes en directa

Para lograr tensiones de ruptura inversa elevadas (1) se debe reducir el nivel de dopaje del lado menos dopado.

Al reducir los niveles de dopajes cerca de la juntura aumenta la resistencia del material.

Para mitigar esto se usan dos estrategias:

- i. Aumentar el área de la juntura
- ii. Utilizar dopajes no uniformes en el cuerpo del dispositivo (menor cerca de la juntura, pero mayor dopaje cerca de los contactos)



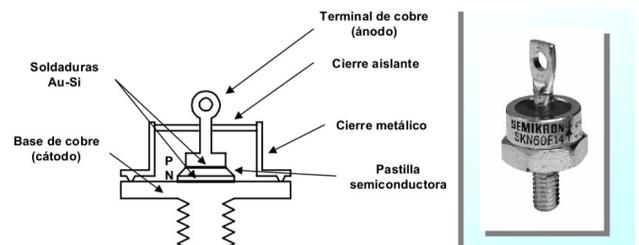
# Diodos de potencia

Los diodos de potencia son junturas PN con las siguientes características constructivas:

- Niveles de dopajes controlados para reducir la resistencia en directa y soportar altas tensiones en inversa.
- Gran área para soportar altas corrientes.
- Encapsulados especiales para favorecer la disipación térmica.

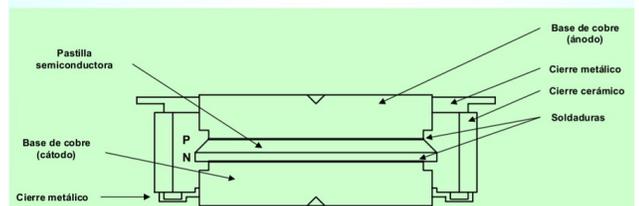
## Función del encapsulado:

- Conexión eléctrica
- Disipación térmica
- Aislamiento eléctrico



DO - 200AC

Grandes corrientes  
(3500 - 5000 A)



# Diodos de potencia

## Diodos de propósito general:

- Tiempo de recuperación  $\sim 10 \mu\text{s}$
- 1A-6000A / 400V-3600V /  $V_{\text{ON}} = 1,2\text{V}$
- Usados en aplicaciones de baja frecuencia (rectificadores de red)

## Diodos Fast-recovery:

- Tiempo de recuperación  $\sim 0,1 \mu\text{s}$  a  $10 \mu\text{s}$
- 30A-200A / 400V-1500V /  $V_{\text{ON}} = 1,2\text{V}$
- Usados como conversores DC-DC o DC-AC (inversores, UPS)

## Diodos Schottky (metal-semiconductor):

- Tiempo de recuperación  $\sim 5 \text{ns}$
- 1A-120A / 15V-150V /  $V_{\text{ON}} = 0,7\text{V}$
- Usados en alta frecuencia (fuentes conmutadas, cargadores de baterías)



# Transistores de potencia

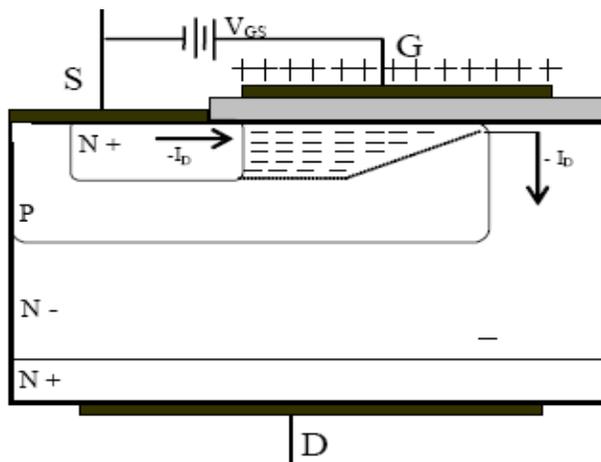
Se diseñan y fabrican para:

- Soportar corrientes y/o tensiones elevadas
- Favorecer la disipación de calor
- Poseer resistencia de encendido baja
- Poseer resistencia de apagado muy alta
- Conmutar rápidamente

**Por estos motivos poseen características diferentes a los transistores de pequeña señal...**



# MOSFET de potencia

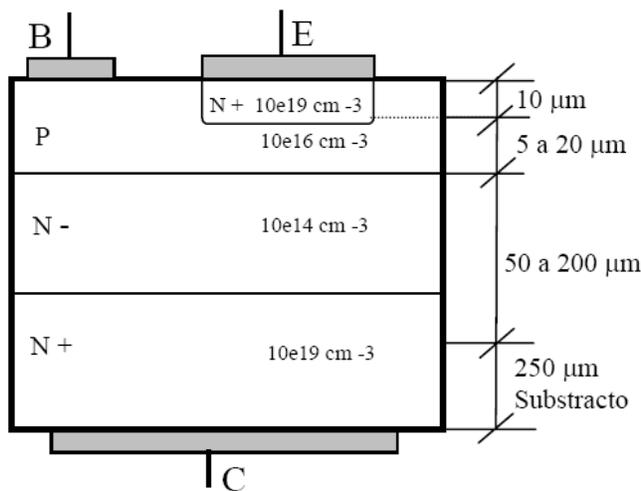


## Características

- Contactos de gran superficie y en caras opuestas para reducir las resistencias parásitas.
- Región de drain con dopaje gradual para aumentar la tensión de operación (dispositivo no simétrico).
- Debido a la gran área del Gate presenta una gran capacidad de entrada.
- $W \uparrow \uparrow$  para aumentar la corriente (superficial):
  - Soporta menos corriente que dispositivos de corriente en volumen (diodo, TBJ)
  - Mayor resistencia de encendido.



# TBJ de potencia



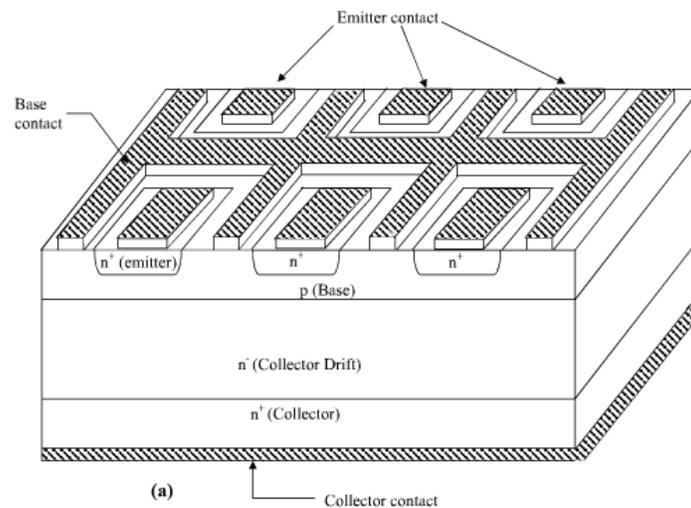
## Características:

- Contactos de gran superficie y en caras opuestas para reducir las resistencias parásitas.
- Región de colector con dopaje gradual para aumentar la tensión de operación ( $V_{CE}$ ).
- Gran área de la base → Mayor volumen → Mayor recombinación → Menor  $\beta$
- Mayores áreas que MOSFET:
  - Soporta mayor manejo de corriente
  - Menor resistencia de encendido.
  - Mayores capacidades



# Transistores de potencia

Diseño de transistores de potencia



Para evitar la aparición de puntos calientes (hot-spots) se usan diseños interdigitados (finger interleaving), donde se busca disminuir la densidad de corriente.



# Transistores de potencia

## Principios básicos de funcionamiento

- En un TBJ, IC se controla con  $I_B$ .
- En un MOS, ID se controla con  $V_{GS}$ .

Los objetivos son: aislar la malla de control de la malla de salida, y con una potencia pequeña se controlar otra mucho mayor.

## Características de un dispositivo ideal:

- Alta densidad de corriente (en conducción).
- Bloqueo de alta tensión  $V_{CE}$  o  $V_{DS}$  (en apagado)
- Bajo tiempos de conmutación  $t_{on}$ ;  $t_{off}$ .
- Que soporte grandes  $di/dt$  y  $dv/dt$ .

## Velocidad de conmutación:

En el TBJ las capacidades son mayores que en el MOSFET, entonces el TBJ es mas lento que el MOSFET.

## Resistencia de paso o de encendido:

En el TBJ la corriente circula a través del área del Emisor. En el MOSFET la circulación de la corriente es en superficie. Entonces el TBJ tiene menor resistencia de paso (maneja corrientes mayores) que el MOSFET.



# Transistores de potencia

Comparación aproximada de características:

Parámetros	MOS	Bipolar
Impedancia de entrada	Alta ( $10^{10} \Omega$ )	Media ( $10^4 \Omega$ )
Ganancia en corriente	Alta ( $10^7$ )	Media (10 a 100)
Resistencia ON (conducción)	Media / alta	Baja
Resistencia OFF (corte)	Alta	Alta
Voltaje CE/DS máx. aplicable	Alto (1000 V)	Alto (1200 V)
Máxima temperatura	Alta (200°C)	Media (150°C)
Frecuencia de trabajo	Alta (100-500 KHz)	Baja (10-80 KHz)
Costo	Alto	Medio

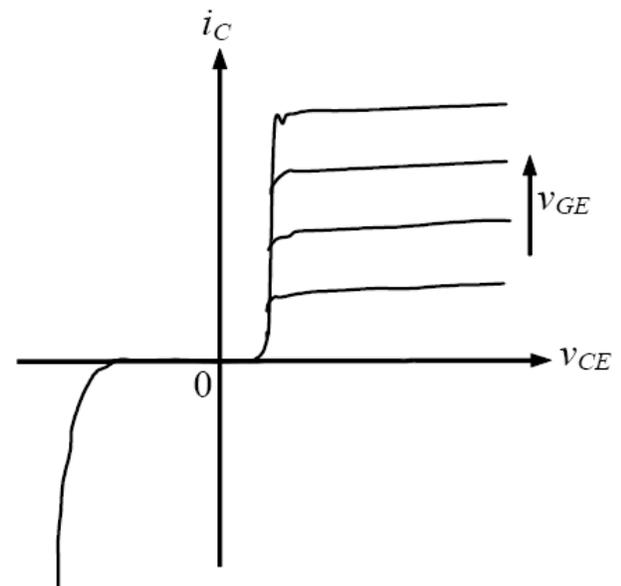
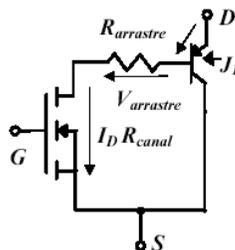
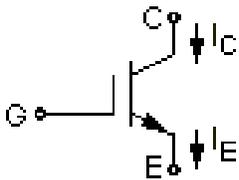


# IGBT

Insulated Gate Bipolar Transistor

Ofrece una entrada MOS y una corriente de TBJ:

- Se controla por tensión.
- Posee tiempos de conmutación bajos.
- Posee baja resistencia de encendido.
- Son costosos



El IGBT presenta las características de entrada del MOSFET y las de salida del TBJ.

# IGBT

IGBT (Insulated Gate Bipolar Transistor)

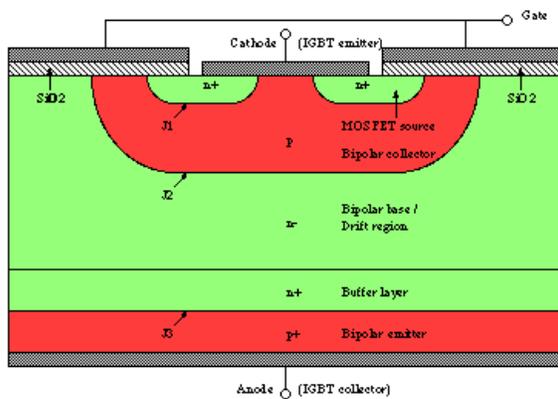


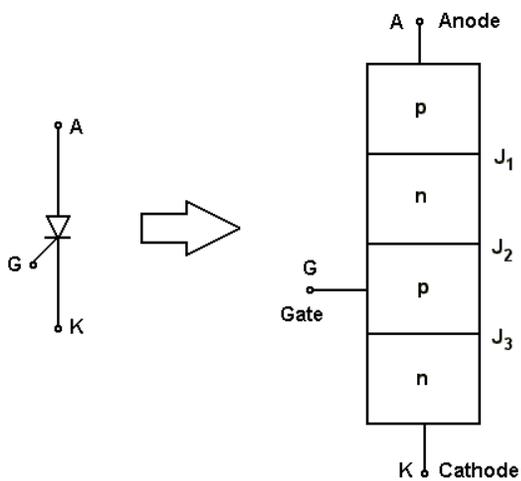
Fig.1: A typical IGBT structure

- La estructura MOS permite controlar la circulación de carga entre la regiones n+ y la región n-
- La región n- se comporta como la base de un transistor PNP
- La corriente que circula entre el emisor y colector del PNP es controlada por la tensión de gate



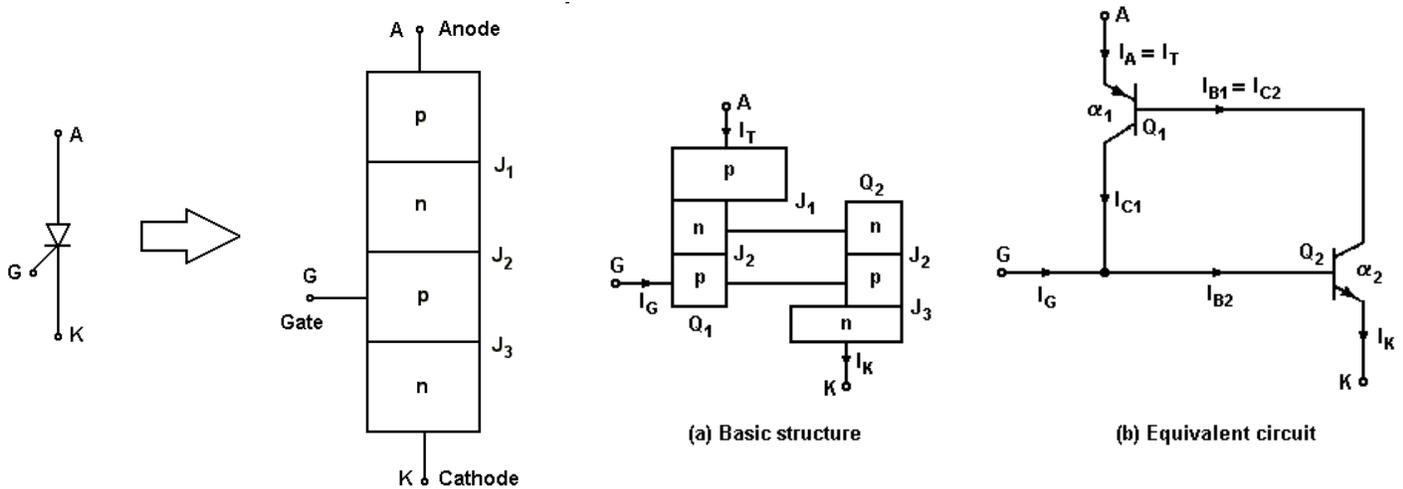
# Tiristores

El tiristor o SCR (Silicon Controlled Rectifier) es uno de los principales dispositivos de potencia. Consiste en un sandwich PNP:



# Tiristores

El tiristor o SCR (Silicon Controlled Rectifier) es uno de los principales dispositivos de potencia. Consiste en un sandwich PNPN:

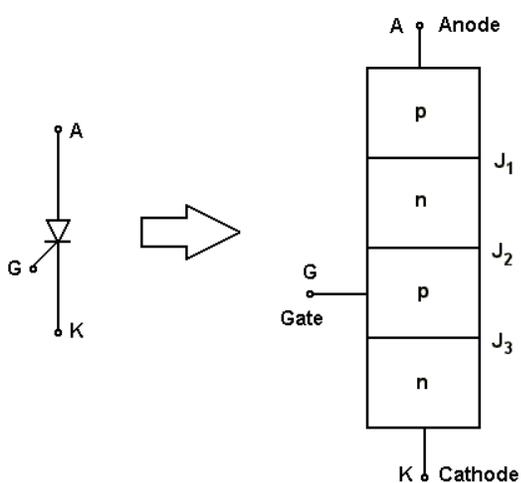


**Modelo equivalente de un SCR**  
Puede analizarse como dos TBJs



# Tiristores

El tiristor o SCR (Silicon Controlled Rectifier) es uno de los principales dispositivos de potencia. Consiste en un sandwich PNPn:

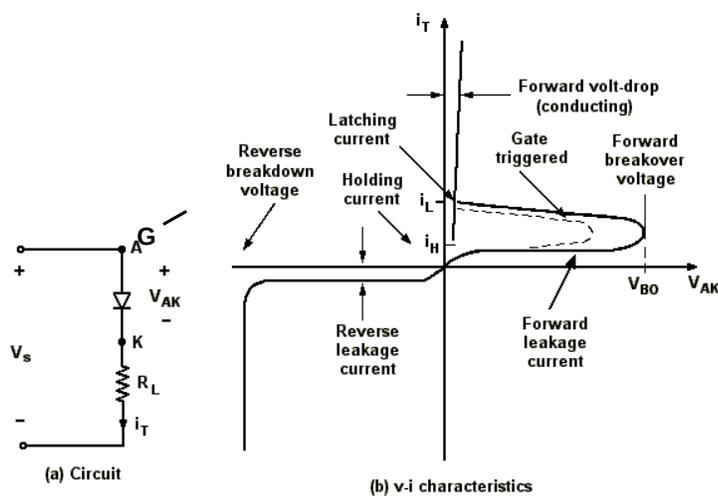


- Cuando  $V_K > V_A$  **siempre** hay 2 junturas en inversa → **No hay conducción.**
- Cuando  $V_A > V_K$  hay 1 juntura en inversa → **No hay conducción.**
- Al forzar  $I_G$  ( $I_{B2}$ ) se genera una realimentación positiva que mantiene al dispositivo en conducción.
- Para cesar la conducción se requiere quitar la corriente de ánodo a cátodo.



# Tiristores

Curva característica del tiristor



$V_{BO}$  (tensión de ruptura): mínima tensión de  $V_{AK}$  que dispara al tiristor.

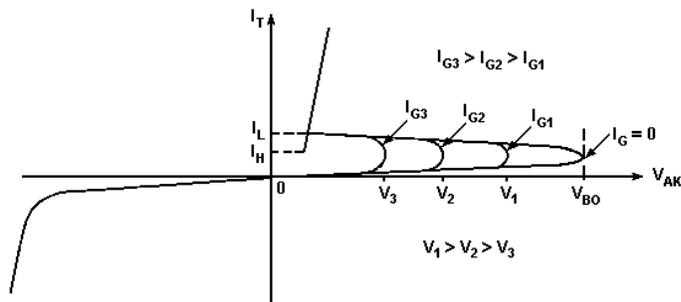
$I_L$ : Corriente de latch (enganche): es la mínima corriente de encendido del tiristor.

$I_H$ : Corriente de hold (retención): mínima corriente que lo mantiene encendido.

$I_R$ : Corriente reversa: corriente que circula para  $V_k > V_a$ .



# Tiristores

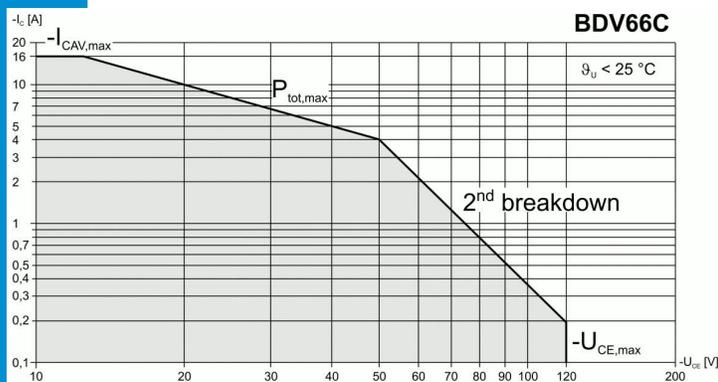


¿Cómo fuerza el estado de conducción?

- Un pulso  $I_G > 0$  y  $0 < V_{AK} < V_{BO}$ . ✓
- Tensión:  $V_{AK} > V_{BO}$ . ✗
- Temperatura: Aumenta la corriente de fuga. ✗
- Luz: Aumenta la corriente de fuga. ✗
- $dV/dt$ : Por efecto capacitivo, aumenta la corriente a través del dispositivo. ✗



# SOA: Safe Operating Area

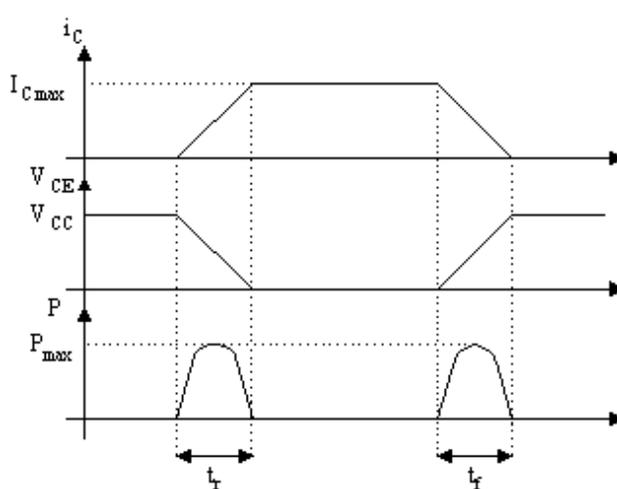


- $I_{MAX}$ : Corriente máxima limitada por los contactos.
- $V_{MAX}$ : Tensión limitada por alguna junta en inversa que entra en proceso de ruptura ( $E_{crítico}$ ).
- $P_{TOT}$ : Limitación de la potencia que puede disipar el dispositivo.
- Avalancha secundaria: Fenómeno de ruptura dado por "hot spots" (regiones de mayor energía, defectos del material).



# Potencia Disipada

Potencia instantánea vs. Potencia media



$$P(t) = I(t) \cdot V(t)$$

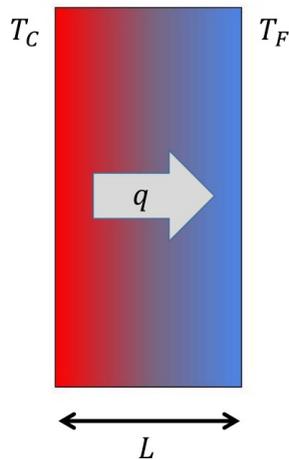
- Frecuencia de operación: 1 kHz – 100 Mhz.
  - Constante de tiempo eléctrica: 10 ns – 1 ms.
- Los procesos térmicos son más lentos:
  - Constante de tiempo térmica: 1 s – 100 s.
- Cuando se alcanza una temperatura "estacionaria", los cambios en la potencia instantánea son "invisibles".

**La potencia media es más representativa del calor disipado**

$$P_{med} = \frac{1}{T} \int_0^T P(t) dt$$



# Modelo Térmico Equivalente



**Conducción de calor:** Ley de Fourier

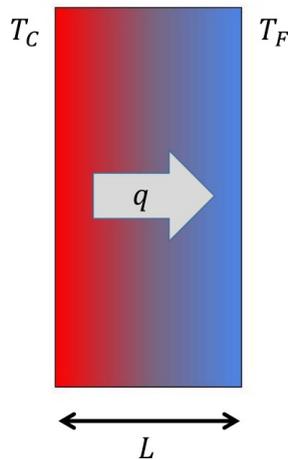
$$q = \frac{dQ}{dt} = k \cdot A \cdot \frac{dT}{dx} \rightarrow \frac{dQ}{dt} = \frac{k \cdot A}{L} \cdot (T_C - T_F)$$

**Convección de calor:** Ley de Newton

$$q = \frac{dQ}{dt} = h \cdot A \cdot (T_{\text{superficie}} - T_{\text{fluido}})$$



# Modelo Térmico Equivalente



**Conducción de calor:** Ley de Fourier

$$q = \frac{dQ}{dt} = k \cdot A \cdot \frac{dT}{dx} \rightarrow \frac{dQ}{dt} = \frac{k \cdot A}{L} \cdot (T_C - T_F)$$

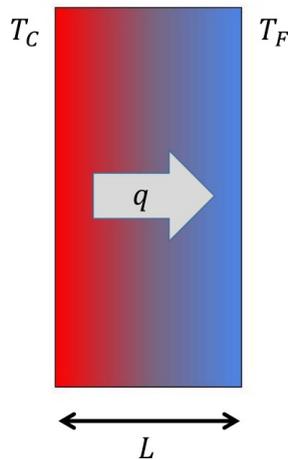
**Convección de calor:** Ley de Newton

$$q = \frac{dQ}{dt} = h \cdot A \cdot (T_{\text{superficie}} - T_{\text{fluido}})$$

Se puede escribir como:  $T_2 - T_1 = \theta_T P_{\text{DIS}} = \theta_T \frac{dQ}{dt}$   
( $V_2 - V_1 = R \cdot I$ )



# Modelo Térmico Equivalente



**Conducción de calor:** Ley de Fourier

$$q = \frac{dQ}{dt} = k \cdot A \cdot \frac{dT}{dx} \rightarrow \frac{dQ}{dt} = \frac{k \cdot A}{L} (T_C - T_F)$$

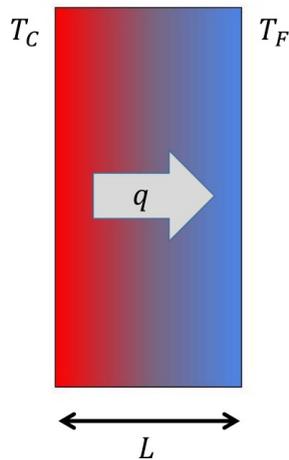
**Convección de calor:** Ley de Newton

$$q = \frac{dQ}{dt} = h \cdot A (T_{\text{superficie}} - T_{\text{fluido}})$$

Se puede escribir como:  $T_2 - T_1 = \theta_T P_{\text{DIS}} = \theta_T \frac{dQ}{dt}$   
 $(V_2 - V_1 = R \cdot I)$



# Modelo Térmico Equivalente



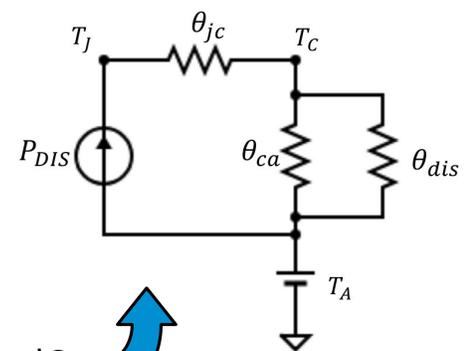
**Conducción de calor:** Ley de Fourier

$$q = \frac{dQ}{dt} = k \cdot A \cdot \frac{dT}{dx} \rightarrow \frac{dQ}{dt} = \frac{k \cdot A}{L} (T_C - T_F)$$

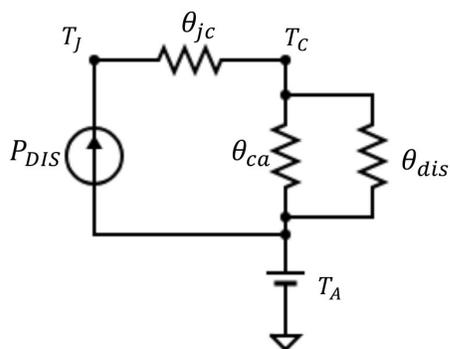
**Convección de calor:** Ley de Newton

$$q = \frac{dQ}{dt} = h \cdot A (T_{\text{superficie}} - T_{\text{fluido}})$$

Se puede escribir como:  $T_2 - T_1 = \theta_T P_{DIS} = \theta_T \frac{dQ}{dt}$   
 $(V_2 - V_1 = R \cdot I)$



# Modelo Térmico Equivalente



## Parámetros térmicos (ejemplos)

- $T_{j\text{máx}} = 125\text{ °C}$
- $\theta_{jc} = 1.4\text{ °C/W}$
- $\theta_{ca} = 2.6\text{ °C/W}$
- $\theta_{ja} = 4.0\text{ °C/W}$

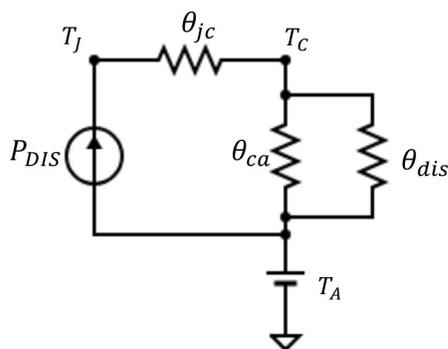
## Otras representaciones

- $P_{Dja}(@T_a = 25\text{ °C}) = 25\text{ W}$
- $P_{Djc}(@T_c = 25\text{ °C}) = 70\text{ W}$
- $\text{Derate} = 1/\theta_{ja} = 0.25\text{ W/°C}$

Todas estas formas son equivalentes



# Modelo Térmico Equivalente



## Parámetros térmicos (ejemplos)

- $T_{j\text{máx}} = 125\text{ °C}$
- $\theta_{jc} = 1.4\text{ °C/W}$
- $\theta_{ca} = 2.6\text{ °C/W}$
- $\theta_{ja} = 4.0\text{ °C/W}$

## Otras representaciones

- $P_{Dja}(@T_a = 25\text{ °C}) = 25\text{ W}$
- $P_{Djc}(@T_c = 25\text{ °C}) = 70\text{ W}$
- $\text{Derate} = 1/\theta_{ja} = 0.25\text{ W/°C}$

## Todas estas formas son equivalentes

- El disipador se coloca para disminuir la resistencia térmica entre la carcasa y el ambiente.
- Disminuye la temperatura de carcasa.
- Se admite más potencia hasta alcanzar  $T_{j\text{máx}}$ .



# Encapsulados y disipadores

RESISTENCIA TERMICA UNION -CONTENEDOR Y UNION-AMBIENTE		
Tipo contenedor	Rjc (°C/W)	Ria (°C/W) sin aleta
TO.5-TO.39	de 10 a 60	de 175a 220
TO.202	de 12 a 15	de 80a 90
TO.1.26-SOT.32	de 3 a 15	de 80a 100
TO.220	de 1,5a 4,2	de 60a 70
TO.66 plástico	de 1,5a 4,2	de 60a 70
TO.3 plástico	de 1 a 2	de 35 a 45
TO.66	de 4 a 5	de 75a 85
SOT.9	de 4 a 5	de 75a 85
TO.59	de 1,5a 3	de 70a 90
TO.60	de 1,5a 3	de 70a 90
TO.3	de 0,8a 3	de 30a 40
TO.117	de 15 a 35	de 70a 90
SOT.48	de 1,8a 6	de 40a 70



TO-92



TO-5



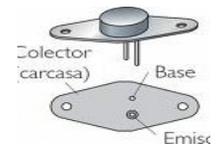
TO-220



TO-247



TO-18



TO-3

RESISTENCIA TERMICA CONTENEDOR -DISIPADOR				
Tipo de contenedor	Contacto directo sin mica	Contacto directo y silicona	Contacto con mica	Contacto con mica silicona
TO.5	1	0,7	--	--
TO.39	1	0,7	2	1,5
TO.126	1,4	1	1,4	1,3
TO.220	0,8	0,5	1,4	1,2
TO.202	0,8	0,5	1,4	1,2
TO.152	0,8	0,5	1,2	0,9
TO.90	0,5	0,3	1	0,7
TO.3P.	0,4	0,2	2,1	1,5
TO.59	1,2	0,7	--	--
TO.117	2	1,7	--	--
SOT.48	1,8	1,5	--	--
DIA.4L	1,1	0,7	--	--
TO.66	1,1	0,65	--	--



TO-220



TO-3

# Disipadores

## Incidencia de la posición

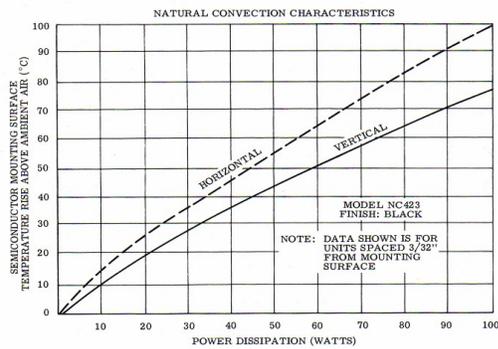
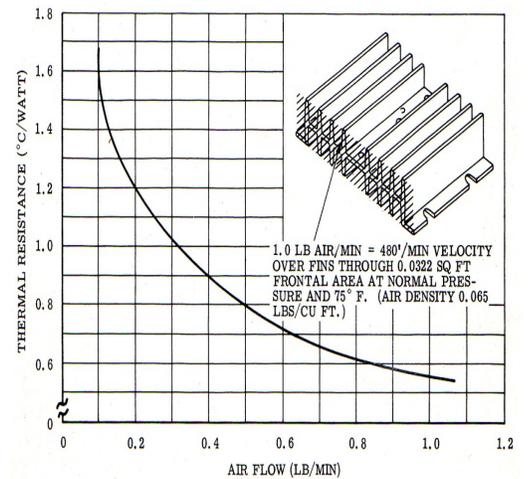


Figure 12-8. Wakefield Engineering — Delta T Model 423 Thermal Characteristics.

## Ventilación forzada



## Mantenimiento de disipadores

- Limpieza
- Pulido
- Lubricado
- Ajuste

